

## Divisor de frequência de 10MHz para 5MHz

RELATÓRIO DE ESTÁGIO DE MESTRADO

**Diogo Marco Fernandes Gouveia**

MESTRADO EM ENGENHARIA ELETROTÉCNICA - TELECOMUNICAÇÕES



UNIVERSIDADE da MADEIRA

*A Nossa Universidade*

[www.uma.pt](http://www.uma.pt)

junho | 2017

# **Divisor de frequência de 10MHz para 5MHz**

RELATÓRIO DE ESTÁGIO DE MESTRADO

**Diogo Marco Fernandes Gouveia**

MESTRADO EM ENGENHARIA ELETROTÉCNICA - TELECOMUNICAÇÕES

ORIENTADOR

Alberto de Jesus Nascimento



**Universidade da Madeira**  
**Faculdade de Ciências Exatas e da Engenharia**

# **Divisor de Frequência de 10 MHz** **para 5 MHz**

Diogo Marco Fernandes Gouveia

Relatório de estágio submetido à Universidade da Madeira para obtenção do Grau de Mestre em Engenharia de Electrotécnica e Telecomunicações

## **Orientadores:**

Prof. Alberto Nascimento

Eng. Nuno Coelho

Funchal, junho 2017

# **Divisor de Frequência de 10 MHz para 5 MHz**

Diogo Marco Fernandes Gouveia

Estágio realizado sob a orientação *Prof. Doutor* Alberto de Jesus Nascimento

Faculdade de Ciências Exatas e da Engenharia

Orientação externa Eng<sup>o</sup> Nuno Coelho

Eutelsat Madeira

## Resumo

A elaboração deste trabalho, realizado em contexto de estágio, foi fundamental, tanto a nível pessoal como a nível profissional, pela experiência adquirida no setor das telecomunicações, mais precisamente, nas telecomunicações por satélite.

O Grupo Eutelsat é líder europeu e um dos três maiores operadores de telecomunicações por satélite a nível mundial. No âmbito da sua atividade, fornece uma vasta gama de serviços de telecomunicações através da sua frota de satélites, de entre os quais se destacam a difusão de televisão, o acesso à Internet e as redes de comunicações empresariais. Realizar um estágio nesta empresa e participar nas rotinas diárias, foi muito enriquecedor, tanto a nível académico como profissional.

Um dos aspetos importantes a referenciar foram os conhecimentos adquiridos no decurso do estágio através da familiarização dos materiais utilizados na empresa onde abrangem essencialmente a gama da radiofrequência.

O presente trabalho consistiu na criação de um divisor de frequência, tendo como objectivo converter um sinal com frequência de 10 MHz para um sinal com 5 MHz. Assim, apresenta-se o projeto do divisor de frequência, bem como dos seus elementos constituintes. O projeto é simulado e, usando modelos apropriados para os componentes, consegue-se prever o comportamento da saída e conseqüente redução dos harmónicos. Deste modo, é permitido retirar conclusões relativamente aos valores obtidos experimentalmente.

## Palavras-chave

Divisor de frequência, Divisores de frequência digitais, Divisores de frequência regenerativos, Divisores de frequência paramétricos, *fft (Fast Fourier Transforma, transformada rápida de Fourier)*, Radiofrequência, Flip-flop D, referência externa.



## **Abstract**

The elaboration of this work carried out in an internship context was fundamental, both personally and professionally, for the experience gained in the telecommunication sector, most precisely in satellite telecommunications.

The Eutelsat group is the European leader and one of the largest operators of telecommunications satellites worldwide. In the scope of its activity it provides a wide range of telecommunications broadcast services through its fleet of satellites, including television broadcast, Internet access and corporate communications networks. Taking an internship in this company and participating in the daily routines was a very enriching experience.

One of the important aspects to refer, was the knowledge acquired during the internship through the familiarization of the materials used in the company where they essentially cover the range of radiofrequency.

The present work consisted in the creation of a frequency divider, aiming at converting a signal with frequency of 10MHz to a signal with 5MHz. This shows the design of the frequency divider as well as its constituent elements. The design is simulated and using appropriate models for the components it is possible to predict the behavior of the output and consequent reduction of harmonics. In this way it is allowed to draw conclusions regarding to the values obtained experimentally.



## **Agradecimentos**

A concretização deste trabalho não teria sido possível, sem o apoio de algumas pessoas, com as quais quero expressar o meu profundo e sentido agradecimento.

Agradeço primeiramente a toda a equipa Eutelsat Madeira pelo apoio incondicional e dedicação na elaboração deste trabalho, em especial ao engenheiro Nuno Coelho, Paulo Freitas e João Olival pela partilha do saber e pelas valiosas contribuições no decorrer do estágio realizado na área de rádio frequências e sobretudo, por estimular o meu interesse nesta área.

À Direção da empresa por não se opor em nenhum tipo de investimento necessário para a realização do projeto.

Ao Professor Alberto Nascimento pelo apoio em algumas correções realizadas no relatório.

Ao engenheiro Filipe Santos da Universidade da Madeira pelas informações cedidas e imprescindíveis dicas na realização do projeto.

Agradeço à minha família e aos meus amigos Pedro Mendes, Juan Bort e Beto Silva pela compreensão e apoio incondicional, não só durante o período de estágio, mas durante todos os anos de apoio aos meus estudos, principalmente no âmbito académico.



# Índice

1	Introdução.....	1
1.1	Motivação.....	1
1.2	Objectivos. ....	3
1.3	Organização do documento .....	3
2	Estado da arte .....	5
2.1	Divisores de frequência.....	5
2.1.1	Tipologias de divisores de frequência.....	5
2.2	Flip-flop .....	17
2.3	Série de Fourier .....	18
2.4	Filtros .....	19
2.4.1	Filtros LC .....	21
2.4.2	Função transferência .....	23
2.5	<i>Splitter</i> .....	24
2.6	Conectores RF .....	25
2.7	Fontes de tensão .....	27
2.8	Cartas de Smith .....	29
2.9	Conclusões .....	30
3	Projeto .....	33
3.1	Metodologia do projeto.....	33
3.2	Projeto do circuito divisor de frequência.....	35
3.2.1	Desacoplador DC e <i>Offset</i> do sinal.....	35
3.2.2	Desacoplador RF.....	38
3.2.3	Impedância de entrada .....	41
3.2.4	Flip-flop D .....	42
3.2.5	Conversor .....	42
3.2.6	Impedância de saída do divisor de frequência .....	46
3.2.7	Dimensionamento da Fonte de tensão .....	47
3.3	Conclusões .....	48
4	Simulação .....	49
4.1	Descrição dos simuladores Multisim e Matlab .....	49

4.2	Simulação no Matlab.....	50
4.2.1	Demonstração da série de Fourier .....	50
4.2.2	Simulação do conversor .....	52
4.2.3	Simulação do desacoplador de RF .....	54
4.3	Simulação em Multisim .....	56
4.3.1	Simulação do divisor de frequências .....	56
4.3.2	Offset DC do sinal e desacoplamento DC .....	58
4.3.3	Desacoplador de RF .....	60
4.3.4	Impedância de entrada .....	63
4.3.5	Flip-flop D .....	64
4.3.6	Conversor .....	65
4.3.7	Fonte de tensão.....	67
4.3.8	Conclusões.....	68
5	Análise de resultados.....	69
5.1	Realização experimental do circuito divisor de frequência.....	69
5.2	Verificações experimentais e testes realizados ao divisor de frequência	72
5.2.1	Verificações experimentais do circuito Offset DC do sinal e do desacoplamento DC .....	72
5.2.2	Verificações experimentais ao desacoplador de RF .....	74
5.2.3	Verificações experimentais ao Flip-Flop D .....	75
5.2.4	Verificações experimentais ao Conversor .....	77
5.2.5	Fonte de tensão.....	81
5.2.6	Verificação da gama dinâmica do divisor de frequência.....	83
5.2.7	Testes realizados com o sinal referência (10 MHz) .....	85
5.2.8	Teste de Estabilidade .....	88
5.3	Conclusões .....	89
6	Comentários finais e conclusões .....	91
6.1	Introdução .....	91
6.2	Observações finais e principais resultados obtidos no trabalho.....	91
6.3	Principais dificuldades na realização deste trabalho de estágio .....	92
6.4	Desenvolvimentos futuros.....	92
7	Bibliografia.....	95

8	Anexos.....	101
	Anexo A: Protótipo conversor com largura de banda de 2 MHz. ....	101
	Anexo B: Resultados experimentais do conversor com uma largura de banda de 2 MHz.....	101
	Anexo C: Demonstração da série de Fourier. ....	102
	Anexo D: Código para verificação dos parâmetros do conversor. ....	103
	Anexo E: Código para verificação dos parâmetros do conversor. ....	104
	Anexo F: Esquemático do divisor de frequência implementado.....	105
	Anexo G: Esquema do divisor de frequência na placa de circuito impresso. ....	105
	Anexo H: <i>Power sensor</i> utilizado para a medição da potência do <i>splitter</i> e do <i>elbow</i> .....	106
	Anexo I: Testes realizados ao <i>splitter</i> com o <i>power sensor</i> para frequências a variar entre os 10.5MHz e os 20MHz.....	107
	Anexo J: <i>Elbow</i> utilizado. ....	107
	Anexo K: Testes experimentais realizados ao <i>elbow</i> . ....	108
	Anexo L: Cabos coaxiais utilizados no <i>splitter</i> . ....	108
	Anexo M: Testes realizados aos cabos coaxiais.....	109
	Anexo N: Esquemático do conversor. ....	110
	Anexo O: Esquema do conversor na placa de circuito impresso. ....	110
	Anexo P: Esquemático da fonte de tensão. ....	110
	Anexo Q: Esquema da Fonte de tensão na placa de circuito impresso. ....	111



# Índice Figura

Figura 1.1. Representação do Site Eutelsat Madeira, onde foi realizado o trabalho.....	2
Figura 1.2.a) Antena receptora do sinal GPS; b) Receptor GPS; c) Distribuidor de sinal .....	2
Figura 2.1. Diagrama de blocos de um divisor de frequências por 2. ....	6
Figura 2.2. Flip-flop D configurado para fazer a divisão de frequência por 2. ....	7
Figura 2.3. Esquemático de uma Latch D. ....	8
Figura 2.4. Representação da entrada Clk e da saída em tensão $v_0(t)$ de uma Latch D na configuração de divisor de frequência por dois. ....	9
Figura 2.5. Máxima frequência normalizada de operação em função do produto gmR do Latch D SCL configurado como divisor de frequência por 2. ....	11
Figura 2.6. Diagrama de blocos de um divisor de frequência regenerativo. ....	12
Figura 2.7. Representação de um modelo ideal de um misturador. ....	13
Figura 2.8. Representação espectral do sinal de entrada. ....	14
Figura 2.9. Representação espectral do deslocamento do sinal para frequências $(f_1 - f_2)$ e $(f_1 + f_2)$ . ....	14
Figura 2.10. Representação de um esquemático de um misturador de rejeição de imagem. ....	14
Figura 2.11. Divisor de frequências paramétrico criado por Sterzer [13]. ....	15
Figura 2.12. Representação em blocos de um divisor de frequências paramétrico por dois utilizando apenas um varator [13]. ....	15
Figura 2.13. Representação circuito eléctrico de um divisor de frequências paramétrico. a) Blocos principais; b) Esquemático eléctrico [17] .....	16
Figura 2.14. Forma de onda quadrada no domínio das frequências. ....	19
Figura 2.15. Filtro passa-baixo [25]. ....	20
Figura 2.16. Filtro passa-alto [25]. ....	20
Figura 2.17. Filtro passa-banda [25]. ....	20
Figura 2.18. Filtro rejeita-banda [25]. ....	21
Figura 2.19. Simbologia e resposta em frequência dos filtros [24]. ....	21
Figura 2.20. Comportamento dos filtros LC [27]. ....	22
Figura 2.21. Splitter de RF em BNC com uma entrada e duas saídas (1:2). ....	25
Figura 2.22. Tipos de conectores versus frequência máxima utilizada. ....	26
Figura 2.23. Fonte de tensão [32]. ....	28
Figura 2.24. Formas de ondas considerando díodos ideais [33]. ....	28
Figura 2.25. Efeito provocado pelo condensador no retificador. ....	29

Figura 2.26. Generalidade da carta de Smith [34].	29
Figura 2.27. Natureza de impedâncias na carta de Smith [34].	30
Figura 3.1. Diagrama de blocos da topologia do divisor de frequência utilizada.	34
Figura 3.2. Limiares de tensão definidos pelo fabricante.	36
Figura 3.3. Circuito Offset DC e Desacoplador DC.	37
Figura 3.4. Desacoplador DC.	37
Figura 3.5. Desacoplador RF.	39
Figura 3.6. Elementos que contribuem para a impedância de entrada do circuito.	41
Figura 3.7. Circuito equivalente para análise de impedância.	41
Figura 3.8. Circuito do filtro Butterworth utilizado [38].	43
Figura 3.9. Curva das reactâncias de um filtro passa-banda constante k.	44
Figura 3.10. Impedância de saída do circuito.	46
Figura 3.11. Fonte de tensão utilizada [39].	47
Figura 4.1. Fluxograma utilizado para a demonstração da série de Fourier.	51
Figura 4.2. Verificação da série de Fourier de sinal com 2000 harmónicos.	51
Figura 4.3. Verificação da série de Fourier do sinal com 1 harmónicos.	52
Figura 4.4. Fluxograma ilustrativo do conversor.	53
Figura 4.5. Resultados obtidos pelas expressões do conversor.	53
Figura 4.6. Filtragem do primeiro harmónico com o conversor dimensionado.	54
Figura 4.7. Fluxograma do código em Matlab que permite obter as curvas de transferência do desacoplador RF.	55
Figura 4.8. Resultados obtidos pela função transferência do desacoplador RF.	55
Figura 4.9. Resultados obtidos no tempo pela função transferência do desacoplador RF.	56
Figura 4.10. Esquemático do divisor digital de frequência por dois.	57
Figura 4.11. Sinal de entrada 10 MHz (a vermelho) e sinal de saída 5 MHz (a verde) no domínio do tempo.	57
Figura 4.12. Harmónicos do sinal de saída. a) A 5 MHz; b) A 15 MHz.	58
Figura 4.13. Método utilizado para testar o circuito Offset do sinal.	58
Figura 4.14. Resultados obtidos na simulação do circuito Offset do sinal; A vermelho o sinal de entrada e a verde o sinal de saída centrado em 1,24 V.	59
Figura 4.15 Método utilizado para traçar a curva característica do circuito desacoplador DC.	60
Figura 4.16. a) Curva característica do desacoplador DC;	60
Figura 4.17. Método utilizado para testar o circuito de desacoplador RF.	61
Figura 4.18. Resultados do circuito Desacoplador RF.	61

Figura 4.19. Verificação da frequência inferior ( $f_{c1}$ ) e superior ( $f_{c2}$ ) de corte. ....	62
Figura 4.20. Resultados em regime transitório do desacoplador RF. ....	62
Figura 4.21. Método utilizado para a medição da impedância de entrada do divisor de frequência. ....	63
Figura 4.22. Impedância de entrada do Divisor de frequência. ....	63
Figura 4.23. Método utilizado para testar o funcionamento do flip-flop D. ....	64
Figura 4.24. Divisão de frequência realizada pelo FFD. ....	64
Figura 4.25. Método utilizado para a medição do circuito conversor. ....	65
Figura 4.26. Resposta em frequência do conversor. ....	65
Figura 4.27. Recuperação da primeira harmónica do sinal. O sinal a vermelho corresponde à saída saída do flip-flop D e o sinal a verde corresponde à saída do conversor. ....	66
Figura 4.28. Verificação da impedância do filtro passa-banda utilizando as cartas de Smith. ....	66
Figura 4.29. Método utilizado para a testar a Fonte de tensão. ....	67
Figura 4.30. Resultados da fonte de tensão simulada usando o osciloscópio virtual. .	67
Figura 5.1. Esquemático do circuito divisor de frequência implementado. ....	69
Figura 5.2. Circuito divisor de frequência dimensionado. ....	70
Figura 5.3. Caixa utilizada. a) Parte da frente da caixa. b) Parte de trás da caixa. ....	70
Figura 5.4. <i>Splitter</i> utilizado. ....	71
Figura 5.5. Equipamento implementado. ....	71
Figura 5.6. Divisor ligado ao distribuidor. ....	72
Figura 5.7. Circuito Offset de sinal (a preto) e desacoplamento de sinal (a branco). ....	73
Figura 5.8. Resultados experimentais do Offset de sinal. ....	73
Figura 5.9. Circuito desacoplador de RF ( circunferência a preto). ....	74
Figura 5.10. Representação da curva característica do desacoplador de RF. ....	74
Figura 5.11. Resultados experimentais do circuito desacoplador de RF. ....	75
Figura 5.12. Flip-flop D utilizado (circunferência a preto), condensador para eliminar sinais parasitas (circunferência a branco). ....	76
Figura 5.13. Fenómeno <i>overshoot</i> e <i>undershoot</i> provocado no Flip-flop D. ....	76
Figura 5.14. Resultados obtidos com a inserção do condensador de 47nF. ....	77
Figura 5.15. Circuito do conversor implementado. ....	77
Figura 5.16. Resposta em frequência do conversor em função dos diferentes testes de condensadores. ....	78
Figura 5.17. Resultados temporais no conversor em função do manuseamento dos condensadores. ....	79

Figura 5.18. Resposta do conversor com: a) Marcadores para a medição da largura de banda; b) Marcador para o segundo harmônico.....	80
Figura 5.19. Análise dos parâmetros mais importantes do conversor. a) Comportamento na frequência; b) VSWR; c) Fase. ....	80
Figura 5.20 Recuperação do primeiro harmônico. ....	81
Figura 5.21.a) Impedância de entrada; b) Impedância de saída. ....	81
Figura 5.22. Fonte de tensão utilizada .....	82
Figura 5.23. Verificação do ripple da fonte de tensão. ....	82
Figura 5.24. Verificação do novo valor de ripple simulado. ....	83
Figura 5.25. Sinal de saída após o regulador tensão. ....	83
Figura 5.26. Teste à gama dinâmica. a) Foto do teste; b) Diagrama do teste. ....	84
Figura 5.27. Sinal de entrada a 0,18 dBm; a) Sinal de saída obtido pelo Analisador de Espectros; b) Sinal de saída obtido pelo Osciloscópio. ....	84
Figura 5.28. Sinal de entrada a 30 dBm; a) Sinal obtido com o analisador de espectro; b) Sinal obtido com o osciloscópio. ....	85
Figura 5.29. Sinal de referência proveniente do GPS: a) Sinal obtido com o analisador de espectro; b) Sinal obtido com o osciloscópio.....	85
Figura 5.30. Diagrama de teste utilizado com o sinal de referência. ....	86
Figura 5.31. Sinal obtido na saída com o sinal de referência ligado ao divisor de frequência. a) Obtido pelo analisador de espectros; b) Obtido com o osciloscópio.....	86
Figura 5.32. Diferença de potência entre o sinal GPS e o sinal de saída. a) Sinal GPS; b) Sinal obtido com o divisor de frequência.....	87
Figura 5.33. Sinal obtido em um dos portos do <i>splitter</i> de saída. a) Sinal obtido no espectro; b) Sinal obtido no tempo. ....	87
Figura 5.34. Sistema de teste utilizado para verificar a estabilidade do circuito. ....	88
Figura 5.35. Teste de estabilidade (amplitude e frequência) realizado pelo Software .	89

# Lista de Tabelas

Tabela 1. Tabela de verdade correspondente ao Flip-flop D [7].	7
Tabela 2. Parâmetros de meta-estabilidade de algumas famílias de Flip-flops.	17
Tabela 3. Tabela ilustrativa dos Flip-flops mais rápidos dentro da família 74xx74 e seus respectivos tempos [23].	18
Tabela 4. Vantagens das topologias dos filtros LC.	22
Tabela 5. Tabela ilustrativa dos tipos de filtros, formas de onda pretendidas na frequência, polos e funções transferência de cada filtro [30].	24
Tabela 6. Especificações do <i>splitter</i> .	25
Tabela 7. Parâmetros dos conectores RF.	26
Tabela 8. As Características DC mais importantes do flip-flop D 74F74.	36
Tabela 9. Parâmetros do sinal 10MHz proveniente do GPS.	36
Tabela 10. Tabela ilustrativa do manuseamento dos condensadores utilizados para o acerto do conversor.	78



# Lista de Siglas/Acrónimos

BNC - Bayonet Neil-Concelman;

$C^2MOS$  - Cloked CMOS;

CMOS - Complementary Metal Oxide Semiconductor;

CFTV - Circuito Fechado de televisão;

DIM - Deutsches instituit Normung ;

DSP - *Digital Signal Processing*;

ECL - Emitter Couple Logic;

FET - Transístor de efeito de campo;

*fft* - Fast Fourier Transform;

Fc - Frequência de corte;

GaAS - Arsenieto de gálio;

GND - Terra;

HBT - The Heterojunction bipolar transistor;

LSB - *Lower Side Band*;

NI - National instruments ;

RF - Radiofrequência;

Rede PDN - *Pull-down*;

Rede PUN - *Pull-up*;

SMB - Subminiature Version B;

SMA - Subminiature Version A ;

SCL - Source Couple Logic;

TLU - Identificação da antena na qual será utilizado o divisor de frequência projectado, (T)-TCR (L)- CANIÇAL (U)-Urgence (emergência);

TNC - Threaded Neil-Concelman;

TSPC - True Single-Phase Clocked;

UHF - Ultra High Frequency (0,3 a 3GHz);

USB - *Upper Side Band*;

# 1 Introdução

O Homem, desde o início dos tempos, utiliza uma infinidade de métodos para interagir com os outros ou trocar informações, pelo que podemos considerar que as comunicações têm um papel fundamental no decorrer da evolução dos sentidos humanos impossibilitando-o de viver isolado. As telecomunicações surgiram com os primeiros sinais de fumo que eram visíveis a longas distâncias e que permitiam estabelecer ligações entre populações de acordo com um determinado protocolo.

Hoje em dia, em todos os países e estados, são transmitidos conteúdos de forma sincronizada e integrada, através de canais de satélite e fibra óptica, utilizando a Internet através da rede mundial de computadores que estão todos sincronizados.

Nas telecomunicações a sincronização é fundamental para que a informação possa ser recebida correctamente, esta sincronização é conseguida através de relógios de precisão baseados no sistema GPS.

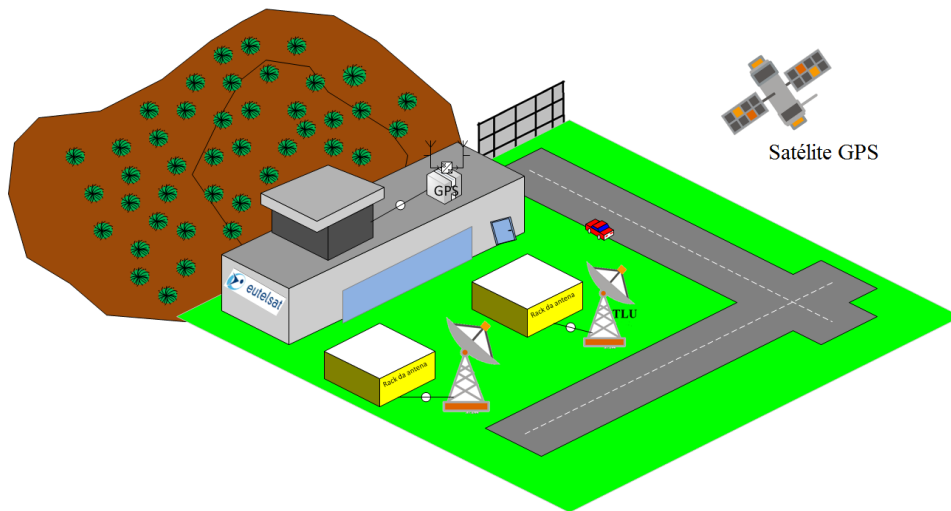
Nas telecomunicações por radiofrequência é essencial que a frequência interna em cada equipamento pertencente ao canal de comunicação esteja sincronizada para que todos os equipamentos comuniquem. Esta sincronização pode ser realizada através do oscilador local de cada equipamento, que hoje em dia são bastante precisos, ou através de um sinal de referência externo de 10 MHz ou 5 MHz proveniente do gerador / relógio de precisão baseado no sistema GPS. Esta última opção é fortemente usada em telecomunicações por satélite por ser mais precisa e pelo facto dos locais de emissão e recepção serem muito distintos constituindo assim a melhor forma de obter uma uniformização das frequências utilizadas.

## 1.1 Motivação

A sincronização dos osciladores internos é fundamental nos sistemas de telecomunicações sendo frequentemente feita através de sinais de 10 MHz, contudo existem equipamentos cuja entrada de referência é de 5 MHz.

O desenvolvimento deste projeto surgiu de um desafio lançado pela empresa Eutelsat, no contexto de uma dissertação de fim de curso na área das telecomunicações e radiofrequência. Assim, partindo de uma ideia inicial relativa ao desenvolvimento de um divisor de frequência, colocou-se a hipótese do trabalho se debruçar sobre o projecto, simulação e implementação de um divisor de frequência com frequência de funcionamento na banda dos MHz.

Com auxílio do *software* Microsoft Visio representou-se um esquemático da planta da empresa por forma a compreender a utilidade do projecto em questão.



**Figura 1.1. Representação do Site Eutelsat Madeira, onde foi realizado o trabalho.**

Na Figura 1.1 os sinais provenientes dos satélites GPS são recebidos por uma antena da *PCTEL* colocada no cimo do edifício, Figura 1.2a). Em seguida, o sinal é recebido no receptor GPS da *TimeLink Microsystems*, Figura 1.2b) presente no interior do edifício o qual vai gerar um relógio e um sinal de referência de 10 MHz de precisão que posteriormente é utilizado para sincronizar todos os equipamentos de radiofrequência e processamento de dados da estação.

A antena em questão, TLU (*TCR Caniçal emergência*), utiliza equipamentos de RF com entrada de referência a 5 MHz. Como o sinal de referência proveniente do GPS é de 10 MHz surgiu a necessidade de converter este sinal para 5 MHz, colocando um divisor de frequência por dois na entrada do distribuidor de sinal da *Symmetricom*, Figura 1.2c).



**Figura 1.2.a) Antena receptora do sinal GPS; b) Receptor GPS; c) Distribuidor de sinal**

Desta forma, definiu-se como objectivo principal o estudo, projecto, implementação e simulação de um divisor de frequência passando de 10 MHz

para os 5 MHz, com impedância nominal de 50  $\Omega$  típica dos dispositivos de radiofrequência.

## **1.2 Objectivos.**

O principal objectivo deste trabalho sugerido pela Eutelsat foi propor uma topologia de circuito que permita a divisão por dois e garanta a estabilidade necessária na frequência e no nível de saída.

No seguimento, os objectivos do trabalho proposto foram:

- Análise das diferentes topologias de divisores de frequência;
- Determinação de uma topologia que se adaptasse ao problema proposto pela Eutelsat;
- O desenvolvimento de uma metodologia de circuitos divisores de frequência por dois com minimização de perdas e operação na banda de frequência do equipamento a que se destina.
- Abordagem simulada e experimental, de forma a verificar a sua resposta em frequência e no tempo;
- Realização de testes ao circuito final por forma a comprovar o seu correcto funcionamento.

Assim sendo é esperado um sinal na saída do divisor de frequência de 5 MHz e com uma potência superior a 0 dBm que permitirá garantir o correcto funcionamento dos equipamentos para o qual foi dimensionado.

## **1.3 Organização do documento**

O presente relatório de estágio encontra-se dividido em 6 capítulos, organizados da seguinte forma:

O capítulo 1 apresenta as motivações que levaram à execução do trabalho bem como os objetivos a serem atingidos.

No capítulo 2 é apresentado o estado da arte, focando o processo de divisão de frequência bem como os principais tipos de divisores de frequência empregues actualmente. Neste capítulo é detalhado o procedimento seguido na escolha da melhor topologia que se adequa ao problema bem como a caracterização de alguns parâmetros que são essenciais para a compreensão do trabalho desenvolvido, tais como: a transformada de Fourier retratada através da série de Fourier que permite compreender o comportamento dos harmónicos nas formas de onda dos sinais e estudo dos filtros com o propósito de conversão de onda quadrada para sinusoidal, divisão de frequência auxiliada por flip-flops bem como a adaptação de impedâncias por forma a garantir a máxima transferência de potência.

No capítulo 3 é demonstrado passo a passo o projecto do divisor digital de frequência por dois ilustrando o seu diagrama de blocos e os principais parâmetros a ter em conta para o seu correcto dimensionamento. Neste capítulo fez-se também a escolha dos componentes a serem utilizados.

No capítulo 4 é realizada a simulação transitória do circuito divisor de frequência por forma a verificar a sua resposta em frequência e no tempo.

O capítulo 5 apresenta a metodologia requerida na implementação laboratorial do divisor de frequência sendo apresentados os resultados experimentais referentes ao circuito.

No capítulo 6, são apresentadas as conclusões do trabalho desenvolvido e são fornecidas sugestões para trabalho futuro.

# 2 Estado da arte

Pretende-se com este capítulo introduzir o conceito de divisor de frequência e apresentar algumas definições importantes para a compreensão do princípio de funcionamento do circuito. Neste capítulo são também apresentadas as topologias de divisores de frequências mais utilizadas.

## 2.1 Divisores de frequência

Um divisor de frequência tem a finalidade de converter / reduzir a frequência do sinal, permitindo que cada dispositivo receba as frequências para as quais foi designado.

Inicialmente os divisores de frequência surgiram com o intuito de permitir uma variabilidade de frequência de saída. Posteriormente, com o melhoramento da tecnologia, criaram-se novos métodos desenvolvendo divisores de frequência melhores e mais rápidos.

O desempenho de um divisor de frequência é determinado com base:

- Na estabilidade da frequência de saída;
- No tempo de comutação entre frequências distintas;
- Na sensibilidade às condições de operação (por exemplo a temperatura);

Os divisores de frequências estão sujeitos à atenuação que varia de acordo com os componentes utilizados [1]. Desta forma, é escolhida a topologia de divisores de frequências mais apropriados ao tipo de aplicação a que se destina.

### 2.1.1 Tipologias de divisores de frequência

Os divisores de frequências podem ser implementados e classificados segundo duas categorias distintas: analógicos e digitais.

Os divisores de frequências analógicos têm como características principais o reduzido consumo de energia, a simplicidade da sua arquitetura e melhor comportamento a altas frequências [2]. Esta classe de divisores de frequências representa os divisores de frequência regenerativos e os divisores de frequência paramétricos.

Os divisores de frequência digitais realizam uma divisão instantânea de frequência de um sinal em uma base cíclica [3] conseguindo também trabalhar em comprimentos de ondas muito reduzidos [4]. Os divisores de frequência digitais têm um maior consumo de energia comparativamente aos divisores de frequência analógicos.

### 2.1.1.1 Divisores de frequência digitais

Os divisores de frequência digitais subdividem-se em duas categorias [5]:

- Estáticos: São concebidos através de células de memória implementadas por circuitos biestáveis (ex. latches e flip-flops). São os divisores mais utilizados pela sua simplicidade de implementação;
- Dinâmicos: São concebidos através de células de memória implementadas por condensadores parasitas que permitem armazenar o sinal;

Um divisor de frequência digital é basicamente um contador. A principal diferença entre os divisores de frequências digitais e os divisores de frequência analógicos é que os digitais são facilmente desenhados para obter rácios de divisão maiores. Uma das principais características dos divisores de frequência digitais é que o seu consumo aumenta com o aumento da frequência de operação.

A Figura 2.1 apresenta um exemplo específico de um divisor de frequência digital que realiza uma divisão da frequência por 2. O circuito é constituído por duas Latch D e os seus detalhes de construção dependem da frequência de operação desejada.

Quando pensamos em trabalhar em baixas frequências a lógica CMOS torna-se mais desejável. Contudo, para frequências mais elevadas a lógica SCL é preferível por duas razões. Primeiro, devido à fiabilidade das Latches. Segundo em ambas as lógicas CMOS e SCL o consumo de potência ( $P=CV_{dd}V_{sf}$ ) é proporcional a frequência, onde  $V_s$  é a tensão de comutação,  $V_{dd}$  é a tensão de alimentação,  $f$  é a frequência e  $C$  é a capacidade. Uma vez que a tensão de comutação na lógica SCL é muito inferior o consumo será consideravelmente inferior para as altas frequências [6].

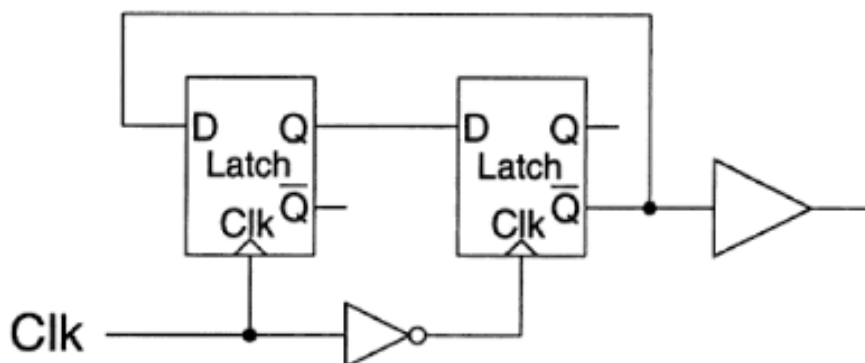


Figura 2.1. Diagrama de blocos de um divisor de frequências por 2.

A Figura 2.2 apresenta um flip-flop D configurado como divisor de frequência por dois. Este basicamente consiste no circuito apresentado na

Figura 2.1 onde a malha de realimentação é concebida pela saída invertida ligada diretamente à entrada D e que permite que seja realizada a divisão de frequência.

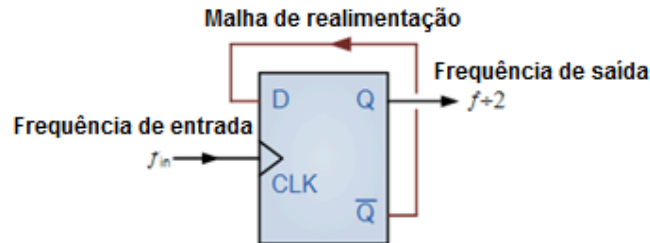


Figura 2.2. Flip-flop D configurado para fazer a divisão de frequência por 2.

Na tabela de verdade indicada na Tabela 1 encontram-se os estados lógicos do flip-flop D quando é realizada a divisão de frequência.

Tabela 1. Tabela de verdade correspondente ao Flip-flop D [7].

Estado	D(Data)	Relógio (Clk)	Q	$\bar{Q}$
1	0	1	0	1
2	1	0	0	1
3	1	1	1	0
4	0	0	1	0

O divisor representado na Figura 2.2 tem como entrada, através do relógio (Clk), o sinal que se pretende dividir, ou seja, a frequência de funcionamento do flip-flop corresponde à frequência do sinal de entrada. Como se pode ver na Tabela 1 se o relógio estiver ativo (Clk=1) o valor da saída Q terá o valor da entrada D e o seu valor invertido  $\bar{Q}$  é colocado na entrada D do estado seguinte. Caso contrário, se o valor do relógio for zero então o valor de D do estado anterior é colocado na saída Q. Em suma, a saída Q do flip-flop só altera nos flancos positivos do relógio (Clk=1) fazendo com que este necessite de um ciclo completo de relógio para comutar, criando assim um sinal de saída quadrado com metade da frequência do sinal de entrada.

A frequência máxima de operação de um divisor de frequência digital é determinada pela velocidade das latches. Um exemplo de uma Latch SCL é representado na Figura 2.3. Quando a entrada Clk (relógio) encontra-se no nível alto, o sinal na porta D passa para a saída através de uma largura de banda definida pela constante de tempo de saída. R representa a resistência de saída e C representa a capacidade total de saída. À medida que o relógio passa do nível alto para o nível baixo, os transístores cruzados M5 e M6 geram uma condutância negativa que fornece feedback regenerativo que bloqueia a saída.

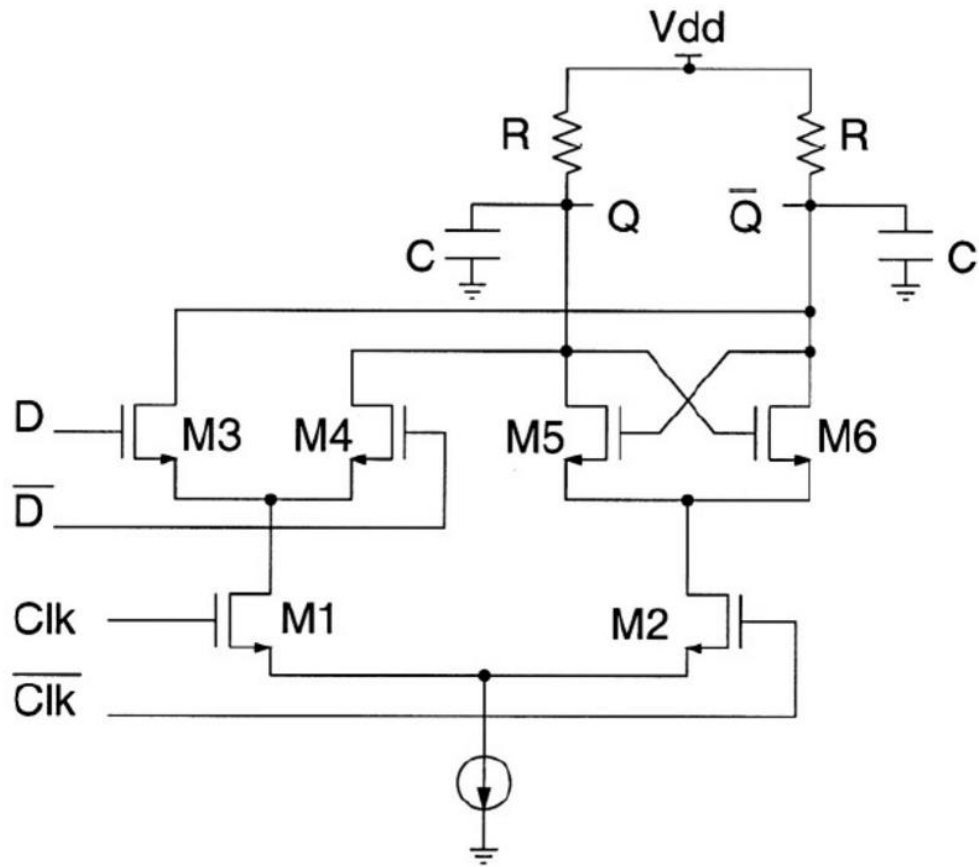


Figura 2.3. Esquemático de uma Latch D.

Para encontrar a máxima frequência de operação teórica destas latches assume-se que o relógio é um sinal de onda quadrada. A Figura 2.4 apresenta o sinal de relógio (Clk) e a tensão de saída  $v_o(t) = v(Q) - v(\bar{Q})$  numa configuração de divisão de frequência por dois. Assume-se que em  $t=0$  a tensão de saída transita do nível baixo para o nível alto  $V_o(0)=V_a$  onde  $V_a$  representa a amplitude do sinal de saída. Para o intervalo  $0 \leq t \leq \frac{T}{2}$ , onde  $t$  representa o período do relógio (Clk), a saída aumenta exponencialmente.

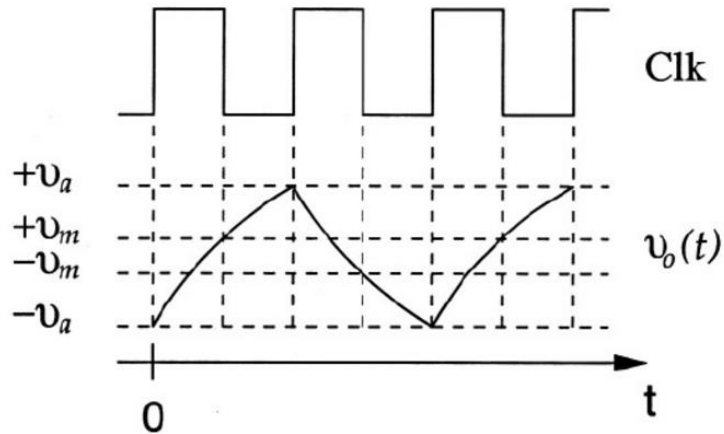


Figura 2.4. Representação da entrada Clk e da saída em tensão  $v_o(t)$  de uma Latch D na configuração de divisor de frequência por dois.

A tensão de saída do circuito é dada pela seguinte equação (2.1):

$$v_o(t) = \Delta v - (\Delta v + v_a)e^{-\frac{t}{\tau_1}} \quad 0 \leq t \leq \frac{T}{2} \quad (2.1)$$

onde  $\Delta v = IR$  e  $\tau_1 = RC$

Quando  $t = \frac{T}{2}$  o Clk transita do nível alto para o nível baixo e a tensão de saída é dada pela equação (2.2):

$$v_o\left(\frac{T}{2}\right) = v_m = \Delta v - (\Delta v + v_a)e^{-\frac{T}{2\tau_1}} \quad (2.2)$$

No ciclo seguinte de  $\frac{T}{2} \leq t \leq T$  os transístores M5 e M6 proporcionam uma condutância negativa diferencial  $G$  na saída. Para simplificar são ignorados os efeitos do canal e assume-se que os transístores são dispositivos que geram uma forma de onda quadrada  $i = K(V_{gs} - V_{TH})^2$ . Neste caso, a função da tensão de saída é dada pela condutância negativa expressa pela equação (2.3):

$$G = \begin{cases} \frac{2k^2v_0^2 - 2kI}{\sqrt{2kI - k^2v_0^2}} & \text{se } |v_0| \leq \sqrt{\frac{1}{k}} \\ 0, & \text{outro caso} \end{cases} \quad (2.3)$$

Quando  $|v_0| \geq \sqrt{\frac{1}{k}}$  se um dos transístor M5 ou M6 estiver desligado o valor de  $G=0$ . Quando  $V_0 = 0$  o valor da condutância de saída encontra-se no seu valor mais baixo ( $G = -g_m$ ), onde  $g_m$  é um pequeno sinal transcondutância

dos transístores M5 e M6 polarizados com uma corrente de dreno de  $\frac{I}{2}$ . Para simplificar assumimos que G é constante ao longo de toda metade do ciclo do Clk. Com esta suposição, a tensão de saída aumenta exponencialmente com o tempo como representado na equação (2.4):

$$v_0(t) = v_m e^{\frac{t-\frac{T}{2}}{\tau_2}} \quad \frac{T}{2} \leq t \leq T \quad (2.4)$$

Onde  $\tau_2 = \frac{RC}{(g_m R - 1)}$ . A tensão no final do ciclo quando  $t=T$  é representada pela equação (2.5):

$$v_0(t) = v_m e^{\frac{t-\frac{T}{2}}{\tau_2}} \quad \frac{T}{2} \leq t \leq T \quad (2.5)$$

Juntando a equação (2.2) e (2.5) é obtida a equação de saída representada na equação (2.6):

$$v_a = \Delta v \frac{1-x}{x+x^{(g_m R - 1)}} \quad (2.6)$$

onde  $x = e^{-\frac{T}{2\tau_1}}$ .

Substituindo  $\Delta v = IR$  e  $g_m = \frac{1}{2V_{od}}$  e sabendo que a tensão de saturação é dada por  $V_{od} = V_{gs}|_{i_d=\frac{1}{2}} - V_{TH}$  a equação (2.6) pode ser reescrita pela equação (2.7).

$$v_a = 2g_m R V_{od} \frac{1-x}{x+x^{(g_m R - 1)}} \quad (2.7)$$

Para direccionar a corrente substancialmente de um ramo da estrutura diferencial para o outro ramo, a amplitude de saída do sinal deve ser maior ou igual a aproximadamente  $\sqrt{2} V_{od}$ , assim sendo:

$$\sqrt{2} g_m R \frac{1-x}{x+x^{(g_m R - 1)}} \geq 1 \quad (2.8)$$

Para cada  $g_m R$ , a equação (2.8) define o valor mínimo para  $x$  ou o valor máximo para  $\frac{\tau_1}{T}$  para o qual o divisor de frequências ainda funciona correctamente. Assumindo que para um dado  $g_m R$ , por exemplo que  $g_m R = a$  o máximo valor  $\frac{\tau_1}{T}$  é  $b$  para  $\frac{\tau_1}{T} \leq b$ . Então substituindo  $\tau_1 = RC$  obtém-se o valor da frequência máxima de funcionamento pela equação (2.9):

$$f = \frac{1}{T} \leq \frac{b g_m}{a C} \quad (2.9)$$

Se assumirmos que o divisor de frequências apresentado na Figura 2.1 comanda um divisor idêntico, então  $C \geq 3C_{gs}$  onde  $C_{gs}$  representa a capacitância “gate-source” dos transístores M5 ou M6 da Figura 2.3. assim, a equação (2.9) é reescrita pela equação (2.10) ou pela equação (2.11).

$$f \leq \frac{b}{3a} \frac{g_m}{C_{gs}} \quad (2.10)$$

$$f \leq \frac{b}{3a} \quad (2.11)$$

A frequência máxima de operação normalizada em função do produto  $g_m R$  está representada no gráfico da Figura 2.5. e como se pode ver é sempre inferior a  $0,18f_t$  (frequência de trabalho). Na prática, a frequência máxima de operação será ainda menor do que a prevista por (2.11) porque os circuitos não geram uma forma de onda quadrada perfeita assim como o relógio (Clk) também não é uma forma de onda perfeita [6].

Para frequências mais altas, as técnicas analógicas são a única solução, assim sendo, são discutidas nas seções seguintes duas técnicas de divisão analógicas.

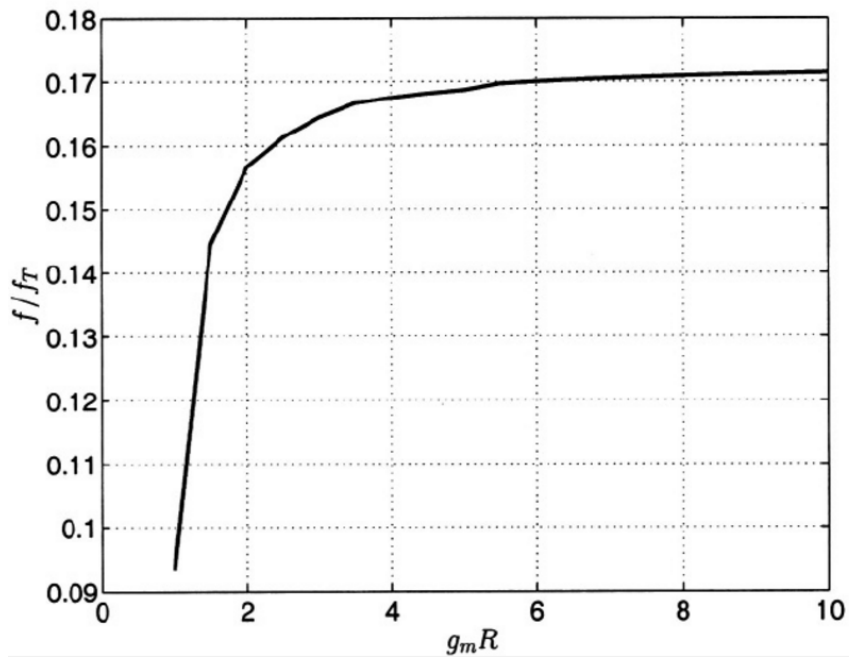


Figura 2.5. Máxima frequência normalizada de operação em função do produto  $g_m R$  do Latch D SCL configurado como divisor de frequência por 2.

### 2.1.1.2 Divisores de frequência regenerativos

O conceito de divisor de frequência regenerativo foi desenvolvido por Fortescue e Miller em 1939 e o seu diagrama de blocos genérico está representado na Figura 2.6 [7].

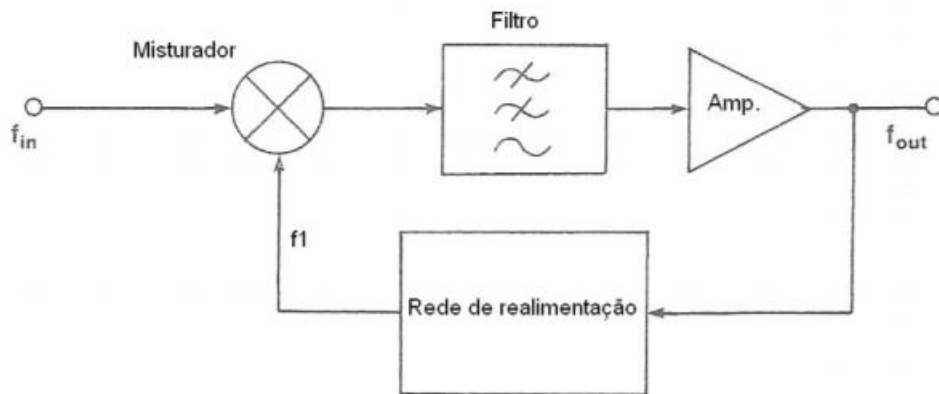


Figura 2.6. Diagrama de blocos de um divisor de frequência regenerativo.

Com base na Figura 2.6 pode-se deduzir o princípio de funcionamento de um divisor de frequência regenerativo. Este é composto por um misturador que tem por função deslocar a frequência através do produto da mistura de dois sinais, um filtro passa-baixo ou passa-banda [8] que permite rejeitar o produto indesejado e todos os sinais espúrios não pretendidos, um amplificador caso seja necessário para manter os níveis de potência, e por fim uma rede de realimentação para a estabilização de frequência necessária à sincronização do sinal. Os divisores de frequências regenerativos são muito utilizados em sintetizadores de frequência com baixo ruído pois têm um ruído de fase reduzido [9].

Para que ocorra o processo de regeneração devem ser verificadas as seguintes condições em simultâneo [3]:

- O ganho da malha deve exceder a unidade;
- Na falta do sinal de entrada o ganho de malha deve ser inferior à unidade para que sejam evitadas as oscilações espúrias;
- Na malha deve estar presente inicialmente um ruído de amplitude finita na frequência  $f$  de saída;

Um divisor de frequência implementado segundo o método de divisão regenerativa é afectado por diversos factores tais como [3]:

- Atraso do flanco de subida para sinais que utilizam impulsos;
- Perda parcial da informação de amplitude;
- Se o sinal incidente tiver mais do que uma frequência existente pode levar a um comportamento muito ruidoso do sinal;

Na configuração de divisão de frequências regenerativa o bloco principal que permite deslocar um sinal no domínio de frequência é o misturador. A partir deste resulta toda a teórica fundamental dos divisores de frequência regenerativos. A Figura 2.7 apresenta o modelo ideal do misturador.

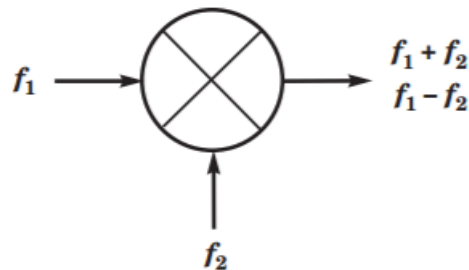


Figura 2.7. Representação de um modelo ideal de um misturador.

Quando dois sinais não modulados são aplicados à entrada de um misturador, são gerados um conjunto de sinais de saída que contenham múltiplos do sinal de entrada (harmónicos) que se baseiam em somas e diferenças de todos os sinais fundamentais e harmónicos. Este processo é descrito segundo a equação (2.12):

$$f_{out} = |nf_1 \pm mf_2| \quad (2.12)$$

Na equação (2.12),  $f_{out}$  representa todos os sinais de saída,  $f_1$  e  $f_2$  representam os sinais de entrada no misturador,  $m$  e  $n$  consistem na ordem dos harmónicos em função do harmónico fundamental.

Matematicamente, o misturador baseia-se numa série de Fourier infinita e a amplitude de cada sinal discreto depende do valor da frequência de saída.

A equação (2.13) representa a equação trigonométrica do sinal de saída:

$$\cos(2\pi t f_1) \cos(2\pi t f_2) = \frac{\cos(2\pi t (f_1 + f_2)) + \cos(2\pi t (f_1 - f_2))}{2} \quad (2.13)$$

Na equação (2.13), o fator  $\frac{1}{2}$  indica que a amplitude de entrada é dividida entre os dois produtos de saída. Na prática, isso representa uma perda de conversão de 6 dB.

Na Figura 2.8 é apresentada a forma espectral do sinal de entrada  $f_1$  enquanto na Figura 2.9 é representada a forma espectral da multiplicação do sinal  $f_1$  pelo sinal  $f_2$  na saída do misturador na forma de dois produtos ( $f_1 - f_2$ ) e ( $f_1 + f_2$ ).

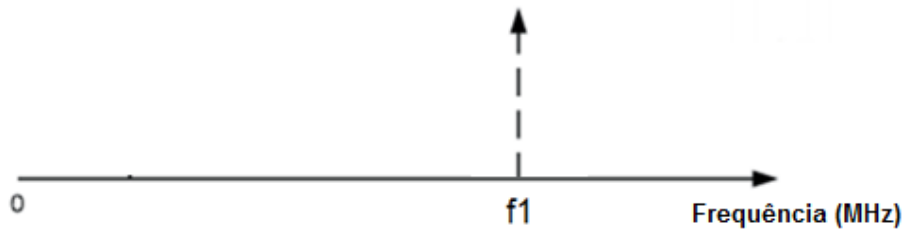


Figura 2.8. Representação espectral do sinal de entrada.

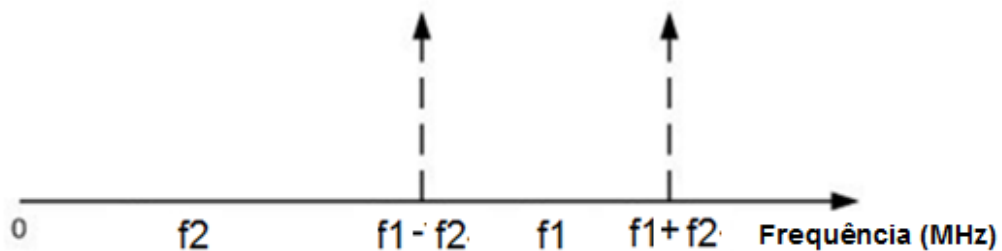


Figura 2.9. Representação espectral do deslocamento do sinal para frequências  $(f_1 \pm f_2)$  e  $(f_1 + f_2)$ .

Na realidade é pretendido apenas um dos sinais obtidos na saída do misturador, o sinal indesejado deve ser atenuado com auxílio de um filtro ou implementando uma topologia de misturador de rejeição de imagem [10].

A Figura 2.10 apresenta um esquemático de um misturador de rejeição de imagem. Estes misturadores utilizam técnicas de fase para cancelar os produtos de mistura indesejados. Para isso, utilizam dois misturadores balanceados e em quadratura ( $90^\circ$ ).

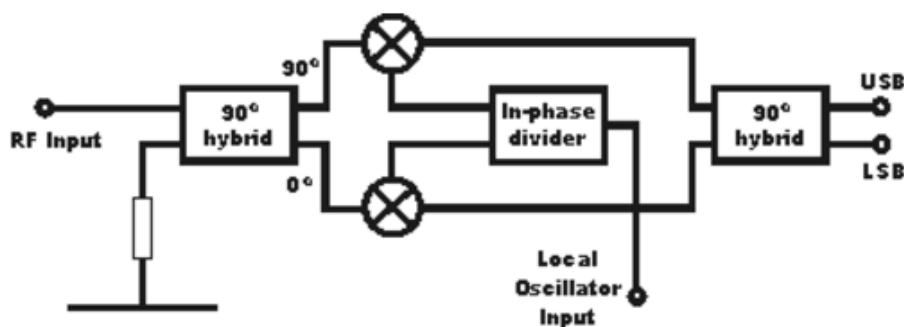


Figura 2.10. Representação de um esquemático de um misturador de rejeição de imagem.

Os misturadores equilibrados são accionados em quadratura pelo sinal de RF (sinal de entrada  $f_1$ ) multiplicado pelo sinal do oscilador local (sinal  $f_2$ ) em fase. Os produtos resultantes são combinados em quadratura obtendo-se duas saídas independentes LSB (*Lower Side Band*) ( $f_1 - f_2$ ) e USB (*Upper Side*

Band) ( $f_1 - f_2$ ). Uma desvantagem é a impossibilidade de obter o cancelamento perfeito através de um misturador de rejeição de imagem real [11].

### 2.1.1.3 Divisores de frequência paramétricos

A divisão de frequência paramétrica consiste em gerar sub-harmônicos a partir da excitação de um circuito não linear com memória ou reatância usando principalmente circuitos varatores. Estes dispositivos trabalham com reactâncias variáveis no tempo que transferem energia de uma fonte AC para a carga tendo a capacidade de transferir energia de uma frequência para outra frequência distinta.

Em 1959 Sterzer propôs o esquemático de um divisor de frequência paramétrico baseado em *microstrip* [12]. Estes divisores tinham uma eficiência de conversão a rondar os 1,58% para uma frequência de entrada e saída de 4 GHz e 2 GHz, respectivamente. A Figura 2.11 representa o divisor de frequências mencionado.

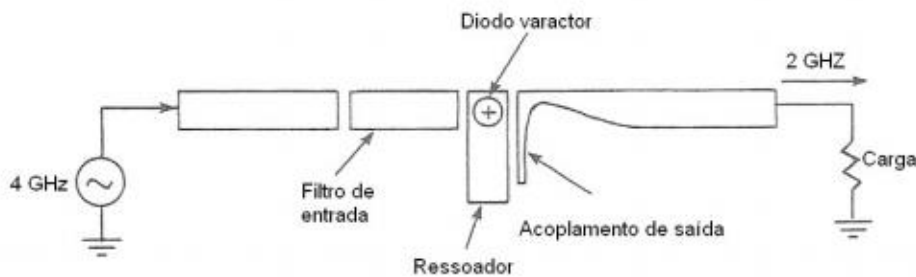


Figura 2.11. Divisor de frequências paramétrico criado por Sterzer [13].

Desde a apresentação do divisor de frequência paramétrico por dois propostos por Sterzer surgiram vários projetos de divisores de frequência paramétricos em placas de circuito impresso (PCB) [14].

A Figura 2.12 apresenta o diagrama de blocos de um divisor de frequências paramétrico utilizando um varator enquanto a Figura 2.13 apresenta o seu circuito elétrico. O circuito consiste num varator entre dois filtros ressonantes LC [15] [16].

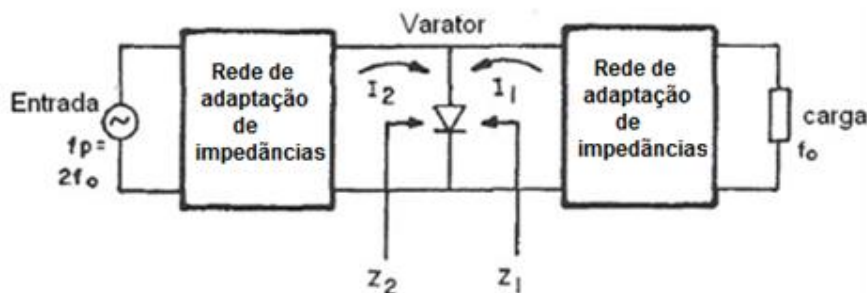


Figura 2.12. Representação em blocos de um divisor de frequências paramétrico por dois utilizando apenas um varator [13].

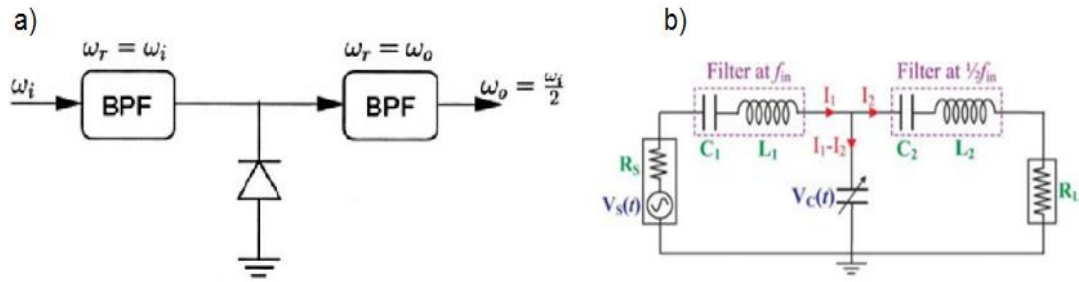


Figura 2.13. Representação circuito eléctrico de um divisor de frequências paramétrico. a) Blocos principais; b) Esquemático eléctrico [17]

Os varatores podem gerar energia em harmónicos e em sub-harmónicos da frequência de entrada [18]. Na Figura 2.12 o circuito é constituído por uma rede de adaptação de entrada e uma rede de adaptação de saída, ambas devem ser dimensionadas segundo a frequência pretendida nessa zona do circuito. As redes de adaptação actuam como filtros que, na sua forma mais simples, consistem em circuitos ressonantes LC tal como representado na Figura 2.13.

O filtro de entrada sintonizado na frequência do sinal de entrada permite que a energia fornecida pela fonte chegue ao varator e impede que os sub-harmónicos gerados pelo varator provoquem ruído na fonte. O filtro de saída, sintonizado na frequência do sub-harmónico pretendido permite atenuar os restantes sub-harmónicos gerados no varator e garantir que a energia deste atinja a carga. O circuito é analisado através das malhas de entrada e de saída. Analisando a entrada obtém-se a equação (2.14).

$$V_s(t) = V_1(t) + V_c(t) = i_1 R_s + L_1 \frac{di_1}{dt} + \frac{1}{C_1} \int i_1 dt + V_c(t) \quad (2.14)$$

Analisando a saída obtém-se a equação apresentada (2.15).

$$V_c(t) = V_2(t) = i_2 R_L + L_2 \frac{di_2}{dt} + \frac{1}{C_2} \int i_2 dt \quad (2.15)$$

Onde as tensões  $V_1(t)$  e  $V_2(t)$  são tensões geradas através do circuito RLC na entrada e na saída do divisor de frequências paramétrico. A tensão do varator é obtida pela equação (2.16).

$$V_c(t) = \phi - m((q(t) - q_\phi)^2) \quad (2.16)$$

Onde  $m$ , que representa o coeficiente de junção, que é obtido pela equação (2.17);

$$m = \frac{1}{4Cj_0^2 \phi} \quad (2.17)$$

Desde que;

$$C = \frac{dq}{dv} = \frac{C_{j0}}{\left(1 - \frac{v}{\phi}\right)^2} \quad (2.18)$$

Onde,

$C_{j0}$  - Capacitância de junção a 0 volts;

$\phi$  - Potencial interno de junção;

$q_{\phi}$  - Carga em  $v = \phi$ ;

$q(t)$  - Carregamento instantâneo no varator;

$v(t)$  - Tensão instantânea em todo o varator;

Os divisores de frequências paramétricos têm diversas vantagens tais como:

- Coerência de frequência;
- Precisão no processo de divisão;
- São insensíveis às variações extremas de temperatura;

A principal desvantagem desta configuração de divisores de frequências é que necessita de pré-amplificadores e pós-amplificadores para que possam suportar as perdas de inserção [19].

## 2.2 Flip-flop

Os Flip-flops têm diversas utilidades entre as quais a divisão de frequência como mostrado na Figura 2.2 secção 2.1.1.1.

Dentro da vasta gama de Flip-flops, enumerou-se os diferentes tempos de resposta para diversas famílias de Flip-flops ilustrados na Tabela 2. Estes valores podem variar dependendo do fabricante.

Tabela 2. Parâmetros de meta-estabilidade de algumas famílias de Flip-flops.

Dispositivo	$\tau$ (ns)	$T_o$ (s)	$T_t$ (ns)
74LSxx	1.35	$4.8 \times 10^{-3}$	63.97
74Sxx	2.80	$1.3 \times 10^{-9}$	90.33
74ALSxx	1.00	$8.7 \times 10^{-6}$	41.07
74ASxx	0.25	$1.4 \times 10^3$	14.99
74Fxx	0.11	$1.9 \times 10^8$	7.90
74HCxx	1.82	$1.5 \times 10^{-6}$	71.55
74AHCxx	0.20	$1.2 \times 10^3$	12.55

Segundo [20], a família de Flip-flops mais importante é a 74xx que são constituídos por 2 Flip-flops do tipo D independentes com disparados por flanco positivo. As versões mais rápidas dentro desta família são os Flip-flops 74F74 e o 74AHC74 sendo encontrados em aplicações de sincronização para sinais de entrada assíncronos e entre outros dispositivos. A Tabela 3 apresenta os Flip-

flops mais rápidos dentro da família 74xx com os respectivos tempos e frequências máximas de funcionamento [21].

Tabela 3. Tabela ilustrativa dos Flip-flops mais rápidos dentro da família 74xx74 e seus respectivos tempos [23].

Flip-flop	74AS74	74AHC74	74LS74	74F74
$t_{PHL}(\text{Clk})$	18 ns	4.6 ns	40 ns	6.8 ns
$t_{PLH}(\text{Clk})$	17 ns	4.6 ns	25 ns	8.0 ns
$t_s$	16 ns	5.0 ns	20 ns	2.0 ns
$t_h$	2.0 ns	0.5 ns	5 ns	1.0 ns
$t_W(\text{Clk alto})$	17.5 ns	5.0 ns	25 ns	4.0 ns
$t_W(\text{Clk baixo})$	17.5 ns	5.0 ns	25 ns	5.0 ns
$f_{max}$	34 MHz	170 MHz	25 MHz	100 MHz

### 2.3 Série de Fourier

A série de Fourier é uma forma de representar funções como séries infinitas de senos e cossenos. Esta consiste num somatório de harmónicos acrescidos de um termo constante [22] - [23].

$$y(t) = a_0 + \sum_{n=1}^{\infty} a_n \cos(nw_0t) + b_n \sin(nw_0t) \quad (2.19)$$

Onde,

- $a_0$  - Offset do sinal;
- $w_0$  - Frequência da fonte;
- $a_n$  e  $b_n$  - Correspondem aos coeficientes complexos de Fourier de ordem um;
- $n$  - corresponde número de harmónicos;

Um caso particular da série de Fourier é o Teorema de Fourier que corresponde a um sinal periódico único composto pelo somatório de diversos sinais sinusoidais com várias amplitudes  $A_n$  e frequências ( $nw_0$ ). O teorema de Fourier é dado pela seguinte equação (2.20).

$$y(t) = A_0 + A_1 \sin(w_0t + \phi) + A_2 \sin(2w_0t + \phi) + \dots + A_n \sin(nw_0t + \phi) \quad (2.20)$$

Onde,

- $A_0$  - Offset do sinal;
- $w_0$  - Frequência da fonte;
- $A_n$  - Corresponde às amplitudes dos sinais;
- $n$  - Corresponde número de harmónicos;
- $t$  - Tempo;

Pelo teorema de Fourier um sinal periódico com forma de onda quadrada, corresponde à soma de uma série de sinais sinusoidais. Correspondendo o

primeiro à frequência fundamental e restante aos (n) harmônicas ímpares, como se pode verificar na equação (2.21). Onde a amplitude dos harmônicos é dada por  $\left(\frac{A}{n}\right)$  e para simplificar considera-se a fase ( $\phi$ ) igual a zero.

$$y(t) = A_0 + A \sin(\omega_0 t) + \left(\frac{A}{3}\right) \sin(3\omega_0 t) + \dots + \left(\frac{A}{n}\right) \sin(n\omega_0 t) \quad (2.21)$$

Na Figura 2.14 está representado um sinal periódico com forma de onda quadrada no domínio das frequências, onde se pode visualizar a frequência fundamental ( $f_1$ ) e os diversos harmônicos ímpares do sinal representado na equação (2.21).

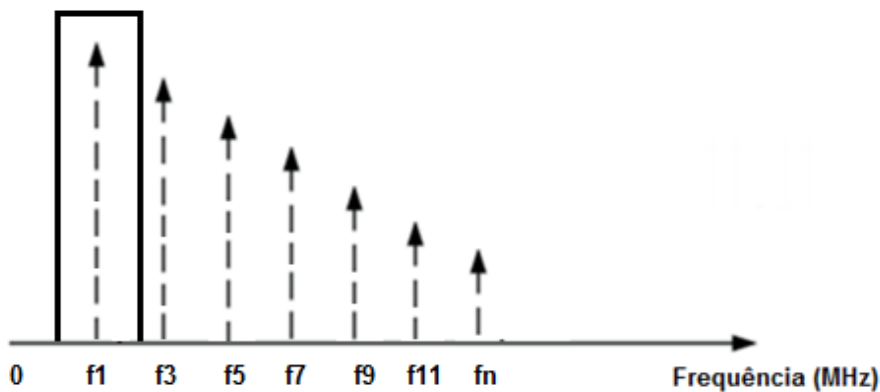


Figura 2.14. Forma de onda quadrada no domínio das frequências.

Através de um filtro passa-banda ou passa-baixo é possível isolar o harmônico fundamental, obtendo assim um sinal sinusoidal (2.22) com frequência igual à frequência fundamental da onda quadrada.

$$y(t) = A_0 + A \sin(\omega_0 t) \quad (2.22)$$

## 2.4 Filtros

Um filtro é um circuito selectivo na frequência porque permite a passagem de algumas frequências rejeitando a passagem de outras, permitindo desta forma rejeitar todos os sinais espúrios indesejados para fora do circuito.

Os filtros podem ser passivos ou ativos. Os filtros dimensionados com bobinas, resistências e condensadores são denominados filtros passivos. Por outro lado, os filtros activos são aqueles que são implementados com o uso de circuitos como amplificadores operacionais, condensadores, cristais e DSP (*Digital Signal Processing*).

Os filtros, quanto à sua característica de transferência, podem-se dividir em quatro tipos [24]:

- **Filtro passa-baixo** - Este tipo de filtro permite a passagem de frequências abaixo de uma determinada frequência chamada frequência

de corte ( $f_c$ ) ao mesmo tempo que atenua as frequências que se situam acima dela. A Figura 2.15 apresenta um exemplo de um filtro passa-baixo.

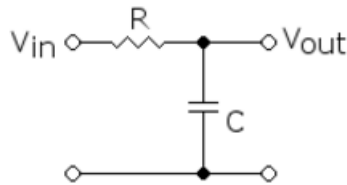


Figura 2.15. Filtro passa-baixo [25].

- **Filtro passa-alto** - Permite a passagem de todas as frequências que estão acima da frequência de corte ( $f_c$ ), ao mesmo tempo que atenua as frequências abaixo da frequência de corte. A Figura 2.16 apresenta um exemplo de um filtro passa-alto.

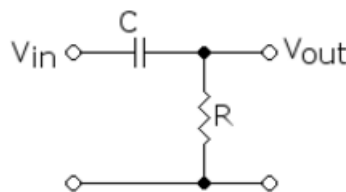


Figura 2.16. Filtro passa-alto [25].

- **Filtros passa-banda** - Este tipo de filtro permite a passagem de todas as frequências que estão dentro de uma gama de frequências ( $f_1$  a  $f_2$ ), ao mesmo tempo que atenua todas as outras frequências fora da banda determinada ( $f_1$  a  $f_2$ ). A Figura 2.17 apresenta um exemplo de um filtro passa-banda.

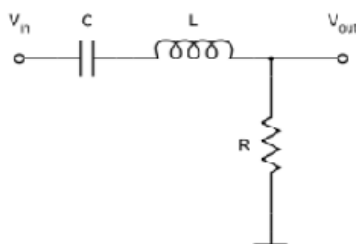


Figura 2.17. Filtro passa-banda [25].

- **Filtro rejeita-banda** - Permite atenuar as frequências dentro de uma gama de frequências determinadas entre ( $f_1$  a  $f_2$ ), ao mesmo tempo que permite a passagem de todas as outras frequências fora da gama ( $f_1$  a  $f_2$ ). A Figura 2.18 apresenta um exemplo de um filtro rejeita-banda.

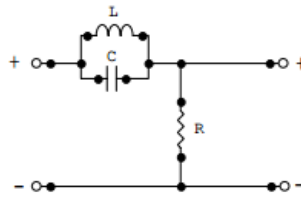


Figura 2.18. Filtro rejeita-banda [25].

A Figura 2.19 ilustra a simbologia de cada um dos quatro tipos teóricos de filtros e a sua resposta em frequência ideal e a função de transferência real:

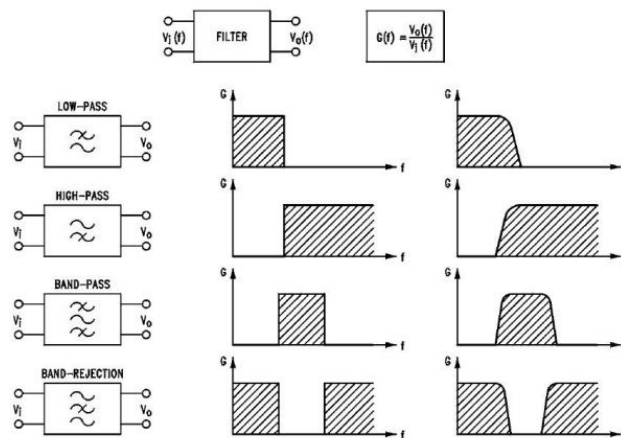


Figura 2.19. Simbologia e resposta em frequência dos filtros [24].

### 2.4.1 Filtros LC

O filtro LC baseia-se na combinação de componentes passivos (bobines, condensadores e resistências) sendo adequado à filtragem de sinais RF. A atenuação das componentes espectrais deste tipo de filtro é maior comparativamente aos filtros ativos na medida que a frequência de corte aumenta com o quadrado da frequência. Outra característica dos filtros passivos é pelo fato do ganho de tensão ser sempre menor ou igual a 1 (0 dB) pois não possuem nenhum dispositivo ativo capaz de amplificar os sinais. Os filtros LC mais utilizados são Chebyshev, Butterworth, Elíptico e Bessel.

A Figura 2.20 apresenta o comportamento de cada um dos filtros LC permitindo verificar a sua resposta em frequência [26].

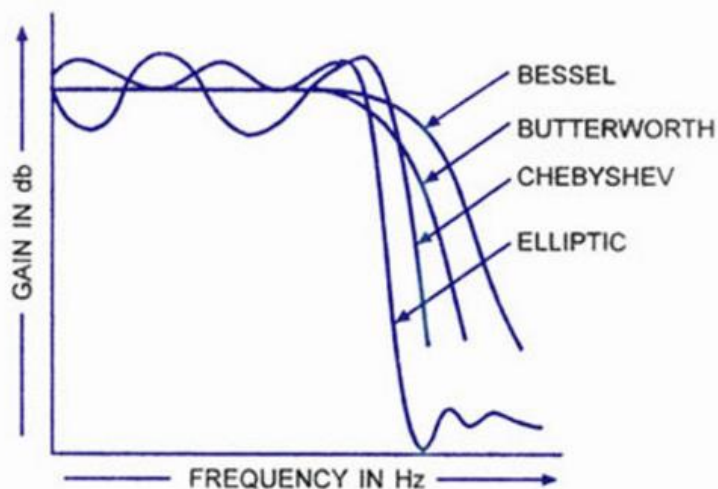


Figura 2.20. Comportamento dos filtros LC [27].

A Tabela 4 apresenta as vantagens de cada um dos filtros LC.

Tabela 4. Vantagens das topologias dos filtros LC.

Topologia	Vantagem
Chebyshev	Máxima rejeição fora da banda passante
Elíptico	Máxima rejeição fora da banda passante
Bessel	Resposta de fase linear na banda passante
Butterworth	Ganho constante na banda passante

#### 2.4.1.1 Filtro Chebyshev

Este filtro caracteriza-se por ter uma forte atenuação dentro e fora da banda de passagem e a sua resposta é constante ao longo da frequência. A principal desvantagem desta configuração é que apresenta uma elevada oscilação na zona de passagem, não sendo adequado para aplicações que necessitam maiores largura de banda mas por outro lado tem como vantagem apresentar uma banda de corte estreita (roll-off elevado).

#### 2.4.1.2 Filtro Butterworth

O filtro Butterworth tem uma atenuação uniforme com a frequência tendo uma resposta plana na banda de passagem.

Uma grande vantagem desta configuração é que a atenuação na banda de passagem é bastante pequena.

A relação complexidade/qualidade do filtro também é muito favorável tornando-se uma boa alternativa na realização do projecto.

### **2.4.1.3 Filtro Bessel**

O filtro Bessel implica um atraso constante e uma resposta em frequência extremamente plana na banda de passagem permitindo a passagem dos impulsos e da mesma forma reduzir ao máximo a atenuação na banda de passagem.

Este apresenta atraso de grupo constante (atraso das variações de amplitude em relação a entrada) sendo muitas vezes necessário para evitar a distorção dos sinais na banda de passagem devido a variação nos deslocamentos de fase com a frequência, pois à medida que a frequência do sinal varia na banda de passagem o atraso introduzido é constante.

Dado um conjunto de características para um filtro, a aproximação feita pelo filtro de Bessel é a que origina uma maior complexidade de circuito comparativamente com aproximações feitas por outros filtros. Com outros filtros com configurações mais simples consegue-se obter resultados semelhantes.

### **2.4.1.4 Filtro Elíptico**






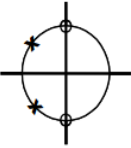


Este filtro proporciona uma taxa de atenuação maior do que os outros filtros abordados dentro e fora da banda de passagem. Este filtro, introduz uma elevada oscilação não sendo por esta razão dos filtros mais requisitados.

## **2.4.2 Função de transferência**

Para ser realizado um projecto de um filtro um dos princípios consiste em verificar a sua função de transferência. Para isso, calcula-se a impedância de entrada bem como os polos, zeros e elementos do protótipo a utilizar com o auxílio de álgebra matemática obtendo respostas exactas das características do filtro.

As funções transferências dos filtros estão indicadas na Tabela 5 bem como o respectivo circuito que o caracteriza [28].

Tabela 5. Tabela ilustrativa dos tipos de filtros, formas de onda pretendidas na frequência, polos e funções transferência de cada filtro [24].

Tipo de filtro	Magnitude	Localização dos polos	Função transferência
<b>Passa-baixo</b>			$\frac{w_0^2}{s^2 + \frac{w_0}{Q}s + w_0^2}$
<b>Passa-banda</b>			$\frac{\frac{w_0}{Q}s}{s^2 + \frac{w_0}{Q}s + w_0^2}$
<b>Rejeita-banda</b>			$\frac{s^2 + w_0^2}{s^2 + \frac{w_0}{Q}s + w_0^2}$
<b>Passa alto</b>			$\frac{s^2}{s^2 + \frac{w_0}{Q}s + w_0^2}$

## 2.5 Splitter

Os *splitters* são equipamentos passivos baseados em resistências que permitem fazer a divisão da potência do sinal de radiofrequência por várias portas de saída. No mercado atual, existem *splitters* desde 1:2 até 1:64 e quanto maior for a relação de divisão do *splitter* mais atenuação será introduzida ao sinal transmitido.

A divisão do sinal de entrada por múltiplas portas de saída resulta em perdas de acoplamento que são definidas como a razão entre a potência presente em uma determinada porta de saída e a potência de entrada. Além das perdas características de acoplamento (numa divisão de sinal para duas portas a perda característica é de 3 dB), podem existir perdas adicionais dado que são componentes passivos [29].

No splitter 1:2 da Figura 2.21 (com uma entrada e duas saídas), o sinal na entrada é dividido pelas duas saídas atenuado cerca de 3dB, que corresponde à divisão da potência por 2 mais as perdas por inserção. Um eventual sinal injectado numa das saídas (OUTPUT 1 ou OUTPUT 2) é encaminhado para a entrada (INPUT) atenuado devido às perdas por inserção, este sinal não afecta a outra saída devido à propriedade intrínseca de isolamento entre as duas saídas, cerca de 30 dB.



Figura 2.21. Splitter de RF em BNC com uma entrada e duas saídas (1:2).

As suas especificações encontram-se na Tabela 6.

Tabela 6 .Especificações do *splitter*.

Especificação	Valor
Gama de frequências	1-100MHz
Isolamento	30dB
Perdas por inserção	0,5dB máximo
Balanco de amplitude	0.2dB máximo
Acoplamento comum	3dB
Impedância característica	50ohms
Temperatura de operação	0°C até 40°C

Os *splitters* têm muitas aplicações incluindo: fornecimento de uma amostra de sinal para medição ou monitorização, combinação de alimentações para antenas, desvio do sinal para outros dispositivos, fornecimento de derivações para sistemas distribuídos por cabo, tais como TV por cabo.

## 2.6 Conectores RF

Sabe-se que os conectores apresentam diferentes níveis de qualidade e têm diversas aplicações apoiando o uso em metrologia, produção e instrumentação. A escolha do conector depende de diversos factores sendo os mais relevantes a frequência de trabalho, dimensões físicas e potência nominal.

Existem várias categorias de conectores RF sendo os mais utilizados os da série UHF, BNC, SMB, N,SMA, TNC.

Na Figura 2.22 estão enumerados alguns tipos de conectores RF disponíveis no mercado e as suas frequências máximas de funcionamento e, na Tabela 7 apresenta-se alguns parâmetros dos conectores em questão.

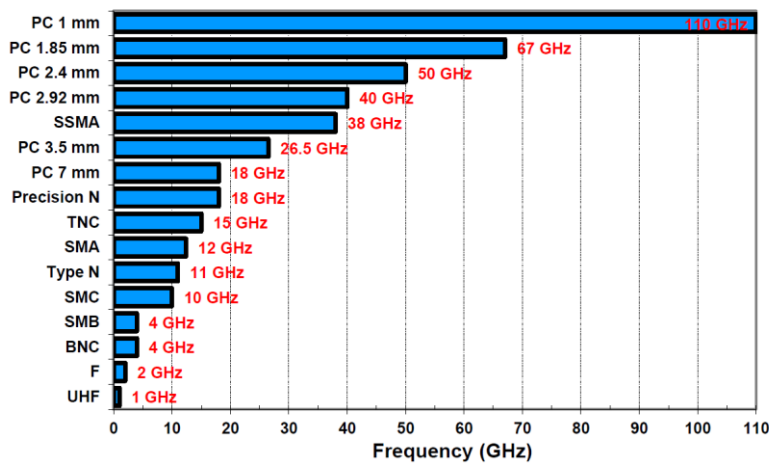


Figura 2.22. Tipos de conectores versus frequência máxima utilizada.

Tabela 7. Parâmetros dos conectores RF.

Parâmetros	UHF	BNC	SMB	N	SMA	TNC
Impedância	50 Ω	50/75 Ω	50 Ω	50/75 Ω	50 Ω	50 Ω
Frequência de operação	0 – 2,5 GHz	0 – 4 GHz	0 – 4 GHz	0-11 GHz	0 – 18 GHz	0-11 GHz
Tensão máxima de operação	380 V	500 V	150 V	1300 V	750 V	500 V
Tensão máxima de teste	1000 Vrms	1500 Vrms	750 V rms	2500 Vrms	1000 Vrms	1500 Vrms
VSWR	≤ 1,25 até 2,5 GHz	≤ 1,3 até 4 GHz	≤ 1,2 até 4 GHz	1,3 na faixa 0-11 GHz	≤ 1.05+0,0 1f(GHz)	≤ 1,3 até 4 GHz
Perdas de retorno	19 dB até 2,5 GHz	18 dB até 4 GHz	20 dB até 1 GHz	18 dB até 4 GHz	20 dB até 4 GHz	18 dB até 4 GHz
Perdas por inserção	0,2 dB até 432 MHz	0,1 dB até 4 GHz	0,3 dB até 1.5 GHz	0.15 dB até 4 GHz	Max. 0,1 √f(GHz) dB	0.2 dB até 4 GHz
Resistência de isolamento (min)	≥ 5 GΩ	≥ 5 GΩ	≥ 5 GΩ	≥ 5 GΩ	≥ 5 GΩ	≥ 5 GΩ
Resistência de isolamento após conexão (min)	≥ 200 MΩ	≥ 200 MΩ	≥ 200 MΩ	≥ 200 MΩ	≥ 200 MΩ	≥ 200 MΩ
Temperatura de operação	-55°C a 85°C	-65°C a 165°C	-65°C a 155°C	-65°C a 155°C	-65°C a 165°C	-65°C a 155°C
Referências	[30]	[30]	[30]	[30]	[30]	[30]

Os conectores da gama de frequências UHF são fabricados segundo a norma IEC 169-12 e são utilizados em equipamentos de rádio comunicação, telefones sem fios de longo alcance, e estações de rádio difusão [30].

Os conectores BNC (Bayonet Neil Concelman), têm aplicação nos cabos coaxiais do tipo RG-58 e RG-59. Estes conectores, são fabricados de acordo com as normas IEC 169-8 e MIL-C 30912 e são usados em equipamentos de radiofrequência baixas, equipamentos CFTV e instrumentos de medida estando

na base das primeiras redes Internet. Estes conectores são muito utilizados em sinais de referência nas telecomunicações especialmente em sinais de referência de 10 MHz.

Os conectores da série SMB (*Subminiature version B*) foram desenvolvidos na década de 1960 e são fabricados segundo a norma IEC 169-10 e MIL-C39012. Têm aplicação nos sistemas de vídeo, de protecção, controlo de processos e instrumentação sendo recomendados para substituir os conectores SMA quando a frequência de utilização é inferior a 4 GHz. Estes conectores apresentam um desempenho excelente para acoplamentos DC para essa gama de frequências.

Os conectores do tipo N são fabricados segundo as normas IEC 169-16, MIL-C-39012 e MIL-55339 e são maioritariamente utilizados em antenas, radares, rádio de microondas e rádio difusão [31]. Foram concebidos para trabalhar até frequências de 11 GHz podendo atingir frequências até 18 GHz quando usam um dieléctrico de ar. Estes conectores são utilizados para suportar sinais de potências elevadas.

Os conectores SMA foram desenvolvidos na década de 1960 e são fabricados de acordo com as normas IEC 169-15 e MIL-C 39012 sendo muito utilizados em aplicações de instrumentação, telecomunicações, redes e controlo de processos onde têm um bom desempenho eléctrico para DC a uma frequência de 12 GHz. Estes conectores têm um tamanho compacto e são muito usados em RF na zona das microondas [30]. Estes conectores são utilizados para suportar sinais de baixa potência sendo esta a principal diferença entre os conectores do tipo N e do tipo SMA.

Os conectores da série TNC são fabricados segundo as normas IEC 169-17 e MIL-C 39012 e são construídos de forma idêntica aos conectores da série BNC. A única excepção consiste no sistema de acoplamento que usa um sistema de rosca enquanto a BNC é do tipo baioneta. Estes tipos de conectores são utilizados em telefonias celulares, telecomunicações, radares, estações base, instrumentação e antenas de GPS.

## **2.7 Fontes de tensão**

Os retificadores de onda completa são um dos componentes mais utilizados para o dimensionamento de fontes de tensão. Na Figura 2.23 é apresentado um modelo geral de um retificador.

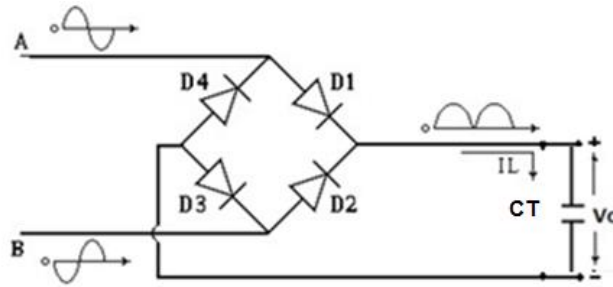


Figura 2.23. Fonte de tensão [32].

Nas extremidades A e B é ligado um transformador por forma a reduzir o nível de tensão de 230 Vac para 20 Vac. Esta tensão alternada, com desfasamento de  $180^\circ$  entre ambas as extremidades, faz com que A seja positivo enquanto B seja negativo e vice-versa.

Considerando que o ponto A é positivo a corrente irá passar através da ponte rectificadora mais precisamente pelo diodo  $D_1$  que está polarizado directamente. Em seguida, a corrente passará por um condensador ou uma resistência permitindo diminuir o *ripple* seguindo caminho novamente para a ponte rectificadora em direcção aos diodo  $D_3$  para assim fechar circuito no ponto B.

Nas alternâncias negativas existe uma inversão dos pontos positivos e negativos. Assim, B passa a ser positivo e A negativo. O processo repete-se mas, nesta situação os diodos ativos passam a ser os diodos  $D_2$  e  $D_4$ .

Considerando diodos ideais, as formas de onda no circuito são exemplificadas na Figura 2.24.

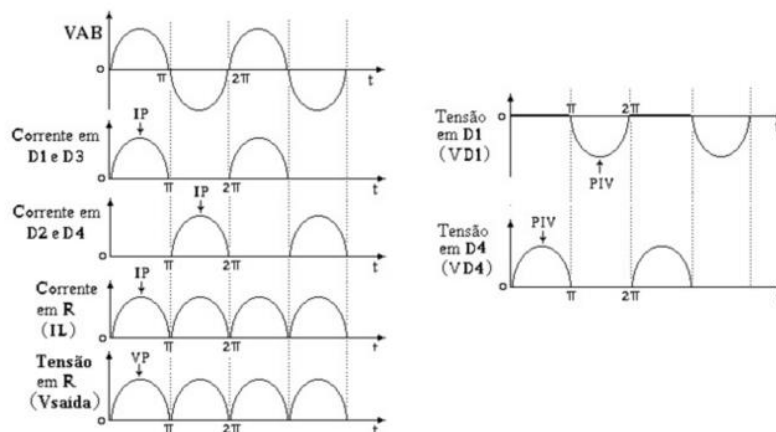


Figura 2.24. Formas de ondas considerando diodos ideais [33].

A filtragem é realizada pelo condensador de alta capacidade à saída do retificador. O condensador tipicamente utilizado é um condensador electrolítico. A função do condensador é reduzir a ondulação (*ripple*) nominal à saída do retificador. O valor de *ripple* é obtido pela equação 2.23.

$$V_r = \frac{V_0}{2fRC_T} \quad (2.23)$$

Quanto maior for o valor do condensador menor será a oscilação do sinal na saída da fonte. A Figura 2.25 ilustra esse comportamento.

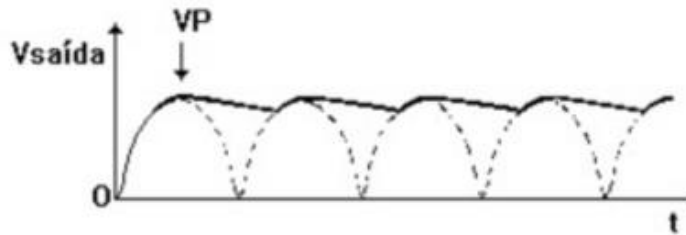


Figura 2.25. Efeito provocado pelo condensador no retificador.

## 2.8 Cartas de Smith

As cartas de Smith permitem fornecer de forma rápida e eficiente, informações acerca das linhas de transmissão, guias de onda, medição de impedâncias dos circuitos radiofrequência entre outros, tendo um papel muito importante no estudo de sinais.

A carta de Smith é apresentada na Figura 2.26.

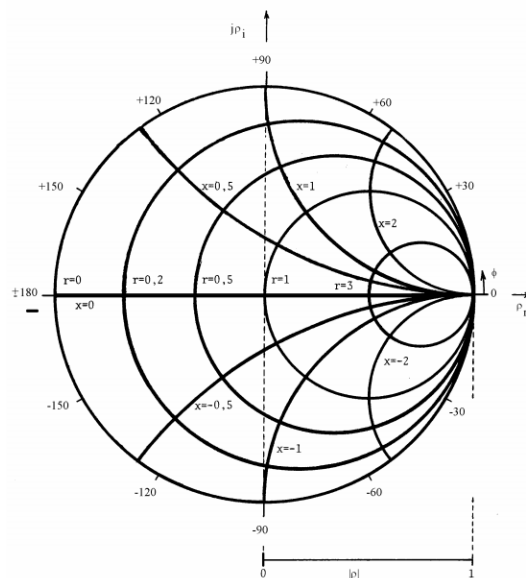


Figura 2.26. Generalidade da carta de Smith [34].

Na carta de Smith estão desenhadas circunferências de valores de  $r$  e  $x$  constantes com valores de precisão razoável para a leitura de impedâncias.

A carta é constituída por 2 escalas graduadas em graus e comprimentos de onda.

A circunferência de raio unitário é simultaneamente o lugar geométrico dos coeficientes de reflexão de módulo igual à unidade e o lugar geométrico das impedâncias normalizadas com parte real nula ( $r=0$ ).

Outros três parâmetros devem ser considerados na análise das impedâncias. Quando  $z=r$  ( $x=0$ ) a circunferência onde o valor de  $x$  é constante resulta numa recta de raio infinito onde o eixo real está graduado na escala de resistência normalizada. Caso o módulo do coeficiente de reflexão seja unitário para quando  $z=0$  (curto-circuito),  $z=\infty$  (circuito-aberto) e para  $z=\pm jx$  (reactâncias puras), a circunferência de raio unitário encontra-se graduada em reactâncias normalizadas.

Existem diferentes regiões na carta de Smith que representam diferentes naturezas de impedância. Estas podem ser observadas na Figura 2.27.

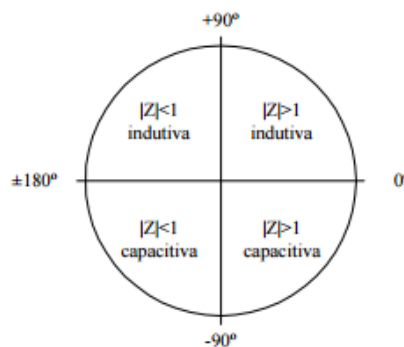


Figura 2.27. Natureza de impedâncias na carta de Smith [34].

A carta de Smith, permite avaliar a impedância de um circuito e adaptar os módulos interligados obtendo assim a máxima transferência de potência entre os módulos [34].

## 2.9 Conclusões

Neste capítulo foram apresentados os diferentes tipos de divisores de frequência bem como os seus métodos de funcionamento, características, vantagens e desvantagens das topologias estudadas. Foram também abordados os conceitos mais importantes para a construção do divisor de frequência.

Verificou-se que qualquer uma das topologias utilizadas de divisores de frequência pode trabalhar a altas frequências e com baixo consumo de energia. Os divisores de frequência digital embora tenham consumos superiores de energia (em relação aos divisores de frequência analógicos), utilizando a tecnologia SCL permitem reduzir o consumo de energia, permitindo obter resultados semelhantes.

A topologia digital tornou-se uma das topologias de divisores de frequência mais utilizadas pois apresentam baixa oscilação a variações de temperaturas e estabilidade na frequência à frequência de funcionamento mas, em contrapartida, trabalham com uma gama de frequências inferiores.

A diferença principal entre um divisor de frequência paramétrico e um divisor de frequência regenerativo é que na configuração regenerativa existe sempre harmônicos presentes no circuito independentemente do valor da potência de entrada. No divisor de frequência que utiliza uma configuração paramétrica existe sempre um limiar de potência abaixo do qual os sub-harmônicos deixam de existir. Esse nível de limiar é a potência necessária para provocar perdas ao circuito para gerar sub-harmônicos.

Na prática, os divisores regenerativos requerem muitos blocos funcionais para garantir o bom funcionamento. Portanto, divisores de frequência regenerativos, embora capazes de operar em altas frequências, não são a melhor solução para sistemas de baixa potência.



### **3 Projeto**

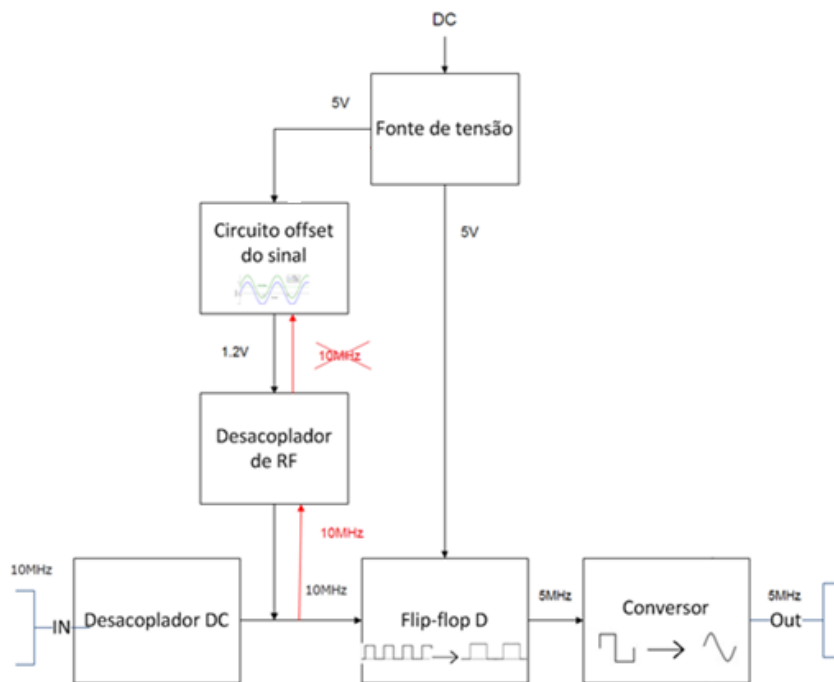
Neste capítulo, apresenta-se a metodologia utilizada para o projeto do divisor de frequência, aborda-se os seus elementos constituintes e quais os parâmetros considerados no seu dimensionamento.

#### **3.1 Metodologia do projeto.**

Surgiu a necessidade de implementar um dispositivo que convertesse o sinal de referência (10 MHz) proveniente de um receptor GPS para uma frequência de 5 MHz (correspondente à frequência de entrada de referência dos equipamentos da antena TLU). Desta forma, o emprego deste tipo de dispositivos necessitam ser muito exactos na frequência. Assim sendo, é de extrema utilidade usar dispositivos que conseguem reduzir instantaneamente a frequência. Portanto, um dispositivo que favorece essas condições é sem dúvida um divisor de frequência.

Os divisores de frequência têm uma natureza instável. Devido a esse facto, podem produzir oscilações espúrias. Desta forma, utilizaram-se simulações por forma a prever o comportamento/desempenho do circuito.

O primeiro factor a ter em conta é a frequência de funcionamento (5 MHz). Em seguida, fez-se a escolha da topologia a ser implementada no projeto, sendo acordado com a Eutelsat que seria usada uma topologia de divisor de frequência digital devido aos benefícios inerentes na amplitude do sinal, resposta em frequência, velocidade de transição fornecida pelos flip-flops, baixo ruído na gama de frequência pretendida, boa estabilidade a variações de temperatura, facilidade de realização e baixo custo de implementação. No entanto, eles também apresentam desvantagens pois requerem maior consumo de energia em relação aos divisores de frequência analógicos [35]. O diagrama de blocos do divisor de frequência digital implementado encontra-se indicado na Figura 3.1.



**Figura 3.1. Diagrama de blocos da topologia do divisor de frequência utilizada.**

O Divisor de frequência digital é constituído por 5 blocos mais a fonte de alimentação. O sinal vindo do GPS a 10 MHz entra no desacoplador DC composto por um condensador de 47 nF e uma resistência 50  $\Omega$  formando um filtro passa-alto. O condensador permite evitar que a componente DC passe para a entrada e a resistência garante a impedância de entrada do circuito adaptada a 50  $\Omega$ . O circuito de Offset do sinal (baseado num divisor de tensão resistivo) serve para elevar o sinal para que oscile em torno de 1.2 V atingindo os limiares máximos e mínimos para que o flip-flop D entre em funcionamento. No bloco seguinte, o sinal sinusoidal a 10 MHz entra no Flip-flop D, Usando a configuração indicada na Figura 2.2 capítulo 2.1.1.1, dividindo a frequência por dois. Assim, optou-se pelo flip-flop D SN74F74N que é bastante rápido sendo que a frequência máxima de funcionamento atinge os 100 MHz. Segundo a secção 2.2, Tabela 3, é um dos Flip-flops que melhores características apresenta em termos de velocidade tomando em conta a relação entre o custo e o desempenho.

No Flip-flop D, por se tratar de um circuito digital, o sinal de saída a 5 MHz encontra-se com uma forma de onda quadrada. Desta forma, o sinal passa por um conversor baseado num filtro passa-banda na configuração Butterwoth de segunda ordem indicado pela Figura 3.8 secção 3.2.5.1. O filtro passa-banda baseando-se na série de Fourier, secção 2.3, permite retirar a primeira harmónica do sinal a 5 MHz e atenuar os diversos sub-harmónicos tornando a forma de onda de saída sinusoidal.

A fonte de tensão foi dimensionada por forma a receber os 230 V da rede elétrica e converter numa tensão de saída de 5 V permitindo alimentar o flip-flop D e o circuito *Offset* de sinal para que estes obtivessem os comportamentos pretendidos.

Para o circuito desacoplador de RF implementou-se um filtro rejeita-banda secção 3.2.2.1 para bloquear os 10 MHz de forma a não serem injectados na fonte de tensão e provocar ruído na alimentação do flip-flop D. Optou-se por esta configuração por ter boas características quando aplicada a sistemas de radiofrequência e por permitir de uma forma pouco complexa atenuar a frequência de interesse.

A interligação dos módulos foi realizada através de cabos coaxiais, estes são constituídos por um condutor central que transporta o sinal RF e uma blindagem que evita que a energia seja radiada para fora. Esta blindagem, também permite evitar que interferências exteriores sejam introduzidas no condutor central. Assim as perdas por radiação são minimizadas.

Quanto aos conectores optou-se por utilizar BNC, uma vez que a frequência de trabalho se encontra dentro das suas especificações e por ser o mais utilizado neste tipo de sinais como visto na secção 2.6.

Os outros componentes, como as bobines e os condensadores, foram escolhidos por terem as características indicadas para aplicação em circuitos RF como por exemplo impedância de 50  $\Omega$  para que a desadaptação devido a sua inserção fosse a mais reduzida possível.

## **3.2 Projeto do circuito divisor de frequência**

Em seguida, faz-se o dimensionamento completo do circuito apresentando todos os cálculos necessários para o projeto do circuito divisor de frequência.

### **3.2.1 Desacoplador DC e Offset do sinal**

A Tabela 8 [36] apresenta alguns dos parâmetros do flip-flop D 74F74 fornecidos pelo fabricante considerados importantes para o dimensionamento do circuito, a Tabela 9 descreve os parâmetros do sinal em estudo.

Tabela 8. As Características DC mais importantes do flip-flop D 74F74.

Símbolo	Parâmetros	Mínimo	Máximo	Unidades	Condições
$V_{IH}$	Input high voltage	2,0		V	Reconhecido como sinal alto
$V_{IL}$	Input low voltage		0,8	V	Reconhecido como sinal baixo
$V_{OH}$	Output high voltage	2,7		V	$i_{OH}=-1\text{mA}$
$V_{OL}$	Output low voltage		0,5	V	$i_{OL}=20\text{mA}$

Tabela 9. Parâmetros do sinal 10MHz proveniente do GPS.

Caracterização	Valor
Forma de onda	Sinusoidal
Amplitude do sinal de pico	1,3V
Offset	0V
Frequência	10MHz

Sabendo os parâmetros do sinal de entrada e do flip-flop D, dimensionou-se o divisor de tensão por forma a deslocar o sinal de entrada para valores máximos ( $V_{IH}$ ) e mínimos ( $V_{IL}$ ) de tensão atingíveis pelo flip-flop D tornando possível detetar os níveis lógicos um e zero. Na Figura 3.2 estão representados os níveis alto (1) e baixo (0) bem como o limiar+ (2 V) e limiar- (0,8 V) apresentados na Tabela 8. Note-se que a saída mudará do nível alto para o nível baixo somente quando passar o limiar- e vice-versa.

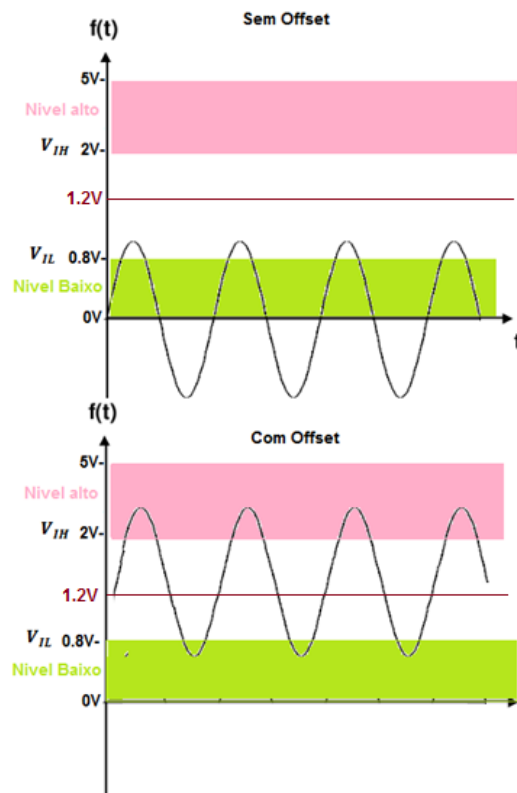


Figura 3.2. Limiares de tensão definidos pelo fabricante.

Sabendo que deve ser mantida a impedância de entrada para garantir a máxima transferência de potência, fez-se um compromisso entre garantir os níveis máximos e mínimos para actuação do flip-flop D e a impedância de entrada.

A Figura 3.3 apresenta o circuito Offset DC bem como o desacoplador DC utilizado.

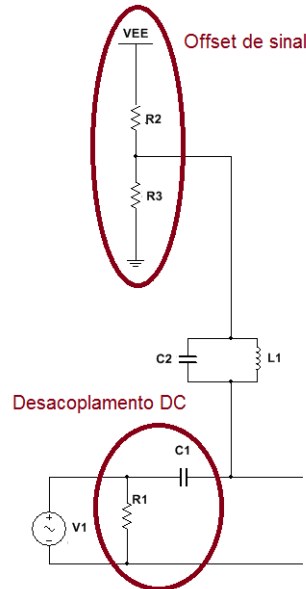


Figura 3.3. Circuito Offset DC e Desacoplador DC.

O circuito Offset DC é obtido pelo divisor de tensão formado pelas resistências R2 e R3, o qual é dimensionado pela equação (3.1).

$$V_{out} = \frac{R_3}{R_2 + R_3} \times VEE \quad (3.1)$$

Assumindo  $V_{out} = 1,28 \text{ V}$ , que corresponde ao offset necessário para garantir os níveis de entrada do flip-flop,  $V_{EE} = 5 \text{ V}$ , definiu-se  $R_2 = 100 \ \Omega$  e obteve-se  $R_3 = 33 \ \Omega$  pela expressão (3.1).

O circuito desacoplador DC está indicado na Figura 3.34

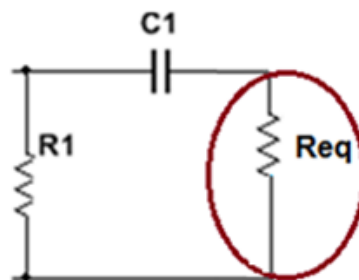


Figura 3.4. Desacoplador DC.

O desacoplador DC consiste num filtro passa-alto (Figura 2.16), o qual serve para garantir que não seja injectada a componente DC proveniente do circuito Offset no sinal de referência presente na entrada do divisor. O filtro é constituído pelo condensador  $C_1$  e pela resistência equivalente  $R_{eq}$  (Figura 3.3 a)). Fazendo a análise em frequência do circuito, considerando VEE e GND com o mesmo potencial ( $V_{EE} = GND$ ) e desprezando a influência do condensador  $C_2$  e da bobina  $L_1$  pelo facto de que os mesmos serão dimensionados por forma a serem um curto-circuito nas baixas frequências, calculou-se a resistência equivalente resultante das resistências  $R_2$  e  $R_3$  com a seguinte equação (3.2).

$$R_{eq} = \frac{R_2 \times R_3}{R_2 + R_3} \quad (3.2)$$

Substituindo os valores das resistências  $R_2 = 100 \Omega$  e  $R_3 = 32 \Omega$  na equação (3.2) obteve-se um valor de  $R_{eq} = 25 \Omega$ .

Tendo em conta que o filtro equivalente resultante é do tipo RC a sua frequência de corte é obtida pela equação (3.3). Optou-se por uma frequência de corte de 100 KHz, por ser razoavelmente acima da componente de DC e não demasiadamente próxima da frequência de trabalho para evitar perdas desnecessárias na banda de passagem.

$$f_c = \frac{1}{2\pi R_{eq} C_1} \quad (3.3)$$

Substituiu-se  $R_{eq} = 25 \Omega$ ,  $f_c = 100$  KHz na equação (3.3) e obteve-se o valor do condensador  $C_1 = 63$  nF. Como o condensador disponível era de 47 nF, recalculou-se a frequência de corte pela equação (3.3) obtendo-se  $f_c = 135$  KHz enquadrando-se nos requisitos acima mencionados.

### 3.2.2 Desacoplador RF

Foi dimensionado um filtro rejeita-banda para bloquear a passagem do sinal de 10 MHz para a fonte de alimentação, pois este sinal iria prejudicar o bom funcionamento do Flip-flop D. Os filtros rejeita-banda na configuração paralela, como representados na Figura 3.5, são normalmente utilizados na eliminação de frequências ou ruído indesejado onde a banda de frequência seja limitada.

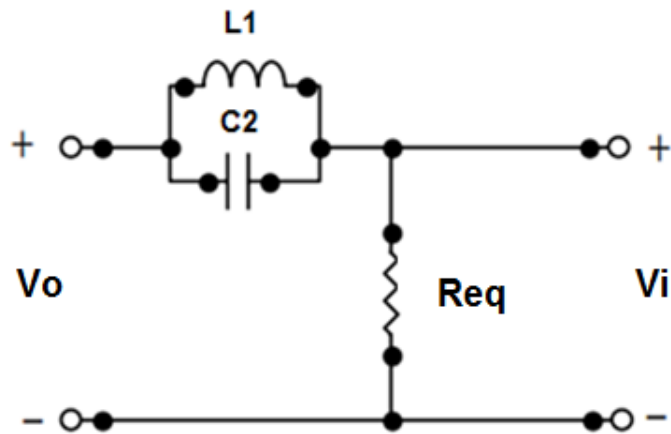


Figura 3.5. Desacoplador RF.

No cenário de operação às baixas frequências, o condensador  $C_2$  apresenta uma reatância capacitiva elevada comportando-se como um circuito aberto. Por outro lado, a bobina  $L_1$  apresenta uma reatância indutiva baixa comportando-se como um curto-circuito deixando a componente DC passar e permitindo a passagem de sinais a baixas frequências. Porém, para sinais a altas frequências, o processo inverte-se. A bobina  $L_1$  apresenta uma reatância indutiva elevada comportando-se como um circuito aberto e o condensador  $C_2$  apresenta uma reatância capacitiva baixa comportando-se como um curto-circuito permitindo a passagem dos sinais a altas frequências.

Tratando-se de sinais na banda próxima à frequência de ressonância do circuito, ou seja 10 MHz, a bobina  $L_1$  e o condensador  $C_2$  juntos apresentam uma elevada reatância comportando-se como um circuito aberto. Assim a maior parte da tensão de entrada encontra-se presente em ambos, fazendo com que a tensão na saída seja praticamente nula, permitindo uma atenuação do sinal nessa gama de frequências.

### 3.2.2.1 Dimensionamento do desacoplador RF

Calculou-se a função de transferência do circuito da Figura 3.5 que representa o filtro rejeita-banda na configuração paralela. Assim, a partir das equações obtidas, determinou-se os valores dos componentes para o circuito em questão.

A equação do circuito indicado em baixo é dada pela equação  $Z_{eq}$  indicada em (3.4) sendo dada pelo paralelo entre  $L_1$   $C_2$ .

$$Z_{eq} = C_2 // L_1 = \frac{\frac{1}{sC_2} sL_1}{\frac{1}{sC_2} + sL_1} \quad (3.4)$$

Manipulando a equação (3.4) obtém-se a equação indicada em (3.5).

$$Z_{eq} = \frac{sL_1C_2}{C_2 + s^2C_2^2L_1} \quad (3.5)$$

Considerando a resistência  $R_{eq}$ , previamente calculada na secção 3.2.1, obtém-se um divisor de tensão e a sua função de transferência é dada pela equação (3.6).

$$\frac{V_o}{V_i} = \frac{R_{eq}}{R_{eq} + \frac{sL_1C_2}{C_2 + s^2C_2^2L_1}} \quad (3.6)$$

Manipulando a equação anterior, obtém-se a equação (3.7). Esta coincide com a função transferência do filtro rejeita-banda na configuração paralela. Comparando-a com expressão na forma canónica do filtro rejeita-banda apresentado na Tabela 5 secção 2.4.2, verifica-se a concordância da função transferência deduzida.

$$\frac{V_o}{V_i} = \frac{s^2C_2L_1 + 1}{s^2C_2L_1 + \frac{L_1}{R_{eq}}s + 1} \quad (3.7)$$

Para determinar os polos e os zeros tem-se que igualar o numerador e o denominador a zero da expressão (3.7). Desta forma, pelo numerador é possível determinar a frequência central do filtro rejeita-banda e pelo denominador é possível determinar a frequência de corte.

Pelo numerador da equação (3.7) obtém-se a equação (3.8):

$$f = \frac{\sqrt{\frac{1}{C_2L_1}}}{2\pi} \quad (3.8)$$

Na expressão (3.8), atribui-se o valor da bobine  $L_1=3.9 \mu\text{H}$  por ser uma bobine existente no laboratório e um valor da frequência de ressonância  $f=10 \text{ MHz}$  obtendo-se o valor de condensador  $C_2=64 \text{ pF}$ .

Pelo denominador da equação (3.7) obtém-se a equação (3.9). Uma vez que se trata de uma função de segundo grau, obtém-se a frequência de corte inferior ( $f_{c1}$ ) e superior ( $f_{c2}$ ) do filtro em questão aplicando a fórmula resolvente.

$$f_{c1,2} = \frac{-\frac{L_1}{R_{eq}} \pm \sqrt{\left(\frac{L_1}{R_{eq}}\right)^2 - 4C_2L_1}}{2C_2L_1} \quad (3.9)$$

Substituindo os valores  $L_1=3.9 \mu\text{H}$ ,  $C_2=64 \text{ pF}$  e  $R_{eq}=25\Omega$  na expressão (3.9) obteve-se  $f_{c1}=1 \text{ MHz}$  e  $f_{c2}=98 \text{ MHz}$ .

### 3.2.3 Impedância de entrada

A impedância de entrada do circuito é obtida pela análise da Figura 3.6.

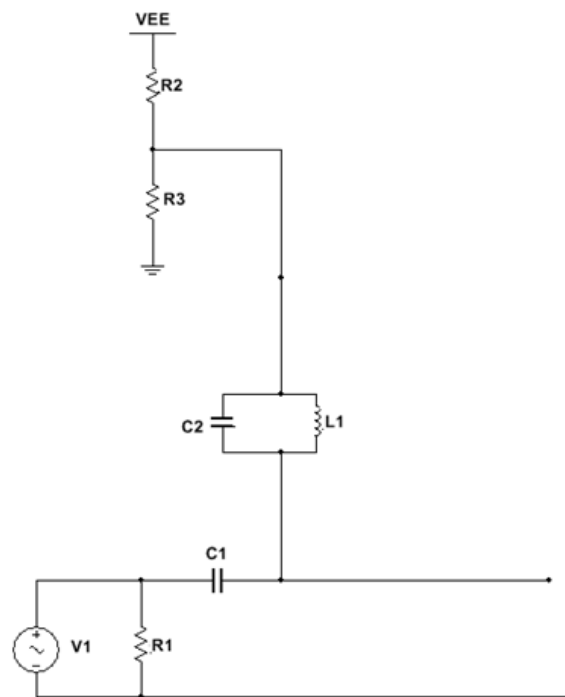


Figura 3.6. Elementos que contribuem para a impedância de entrada do circuito.

Tal como já foi referido anteriormente em altas frequências  $V_{EE} = \text{GND}$ , logo  $R_2$  e  $R_3$  encontram-se conectados ao mesmo ponto GND. Assim, é obtido o circuito equivalente da Figura 3.7 para a análise da impedância de entrada ( $Z_{in}$ ).

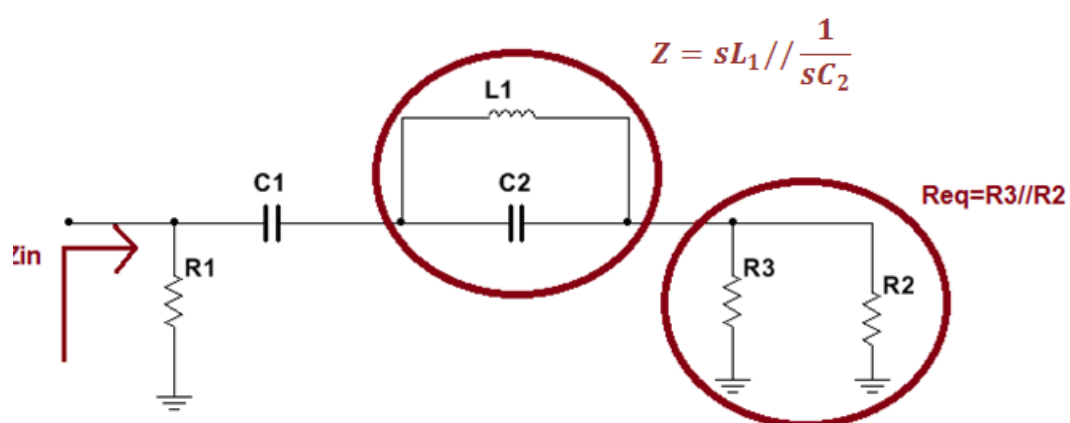


Figura 3.7. Circuito equivalente para análise de impedância.

Pela análise da Figura 3.7 obtém-se a equação (3.10) referente à impedância de entrada.

$$Z_{in} = R_1 // \left[ \frac{1}{sC_1} + Z + R_{eq} \right] \quad (3.10)$$

O valor da impedância  $Z$  correspondente a impedância paralela entre a bobine ( $L_1$ ) e o condensador ( $C_1$ ) é dada pela expressão indicada em (3.11).

$$Z = \frac{sL_1 \frac{1}{sC_2}}{\frac{1}{sC_2} + sL_1} = \frac{sL_1}{1 + s^2 L_1 C_2} \quad (3.11)$$

Substituindo a expressão (3.11) na expressão (3.10) e os valores dos componentes  $R_{eq} = 25 \Omega$ ,  $R_1 = 50 \Omega$ ,  $C_1 = 47 \text{ nF}$ ,  $C_2 = 64 \text{ pF}$  e  $L_1 = 3,9 \text{ uH}$  obteve-se uma impedância de entrada de cerca de  $Z_{in} = 48 \Omega$ .

### 3.2.4 Flip-flop D

O flip-flop D utilizado foi o 74F74 que, segundo [21] é dos Flip-flops mais rápidos e dos que apresenta melhores características de sincronização.

Como é pretendido dividir a frequência por dois utiliza-se apenas um único Flip-flop ( $2^1 = 2$ ). Logo, na saída Q do flip-flop D a frequência da entrada Clk é dividida por dois. Uma vez que o flip-flop é circuito digital, o sinal de saída apresenta uma forma de onda quadrada.

Na secção 2.1.1.1 é apresentada na Figura 2.2 a configuração utilizada para o processo de divisão de frequência.

### 3.2.5 Conversor

Foi dimensionado um filtro passa-banda para converter o sinal digital com uma forma de onda quadrada num sinal com forma de onda sinusoidal. No seu dimensionamento teve-se em conta a sua atenuação na banda de passagem bem como a eliminação dos harmónicos para frequências inferiores e superiores de forma a obter o melhor sinal possível.

Optou-se pela utilização de um filtro passa-banda em vez de um filtro passa-baixo, porque com este não seria possível eliminar possíveis harmónicos nas frequências inferiores que causariam distorção no sinal de saída. O filtro teria de ter uma ordem superior para conseguir eliminar os harmónicos impares aumentando assim a atenuação na banda de passagem.

A tipologia de filtro escolhida foi o Butterworth por apresentar um equilíbrio mais constante entre a inclinação nas bandas de transição e a linearidade da banda de passagem. Outra vantagem do filtro de Butterworth é que tem um ganho constante na banda de passagem conseguindo obter baixas perdas. Comparativamente ao Bessel é um filtro mais fechado o que permite obter transições mais rápidas para ordens inferiores. Relativamente ao

Chebyshev e ao Elíptico é um tipo de filtro que apresenta uma banda de passagem constante e com menores perdas.

### 3.2.5.1 Dimensionamento do Conversor

Inicialmente dimensionou-se um filtro passa-banda Butterworth com 2 MHz de largura de banda uma vez que era pretendido um filtro suficientemente estreito para obter exclusivamente a primeira harmónica do sinal. Este filtro apresentava os resultados pretendidos em simulação (Anexo A), mas quando implementado o mesmo não aconteceu demonstrando ser demasiado estreito, colocando a frequência de corte superior muito próxima da frequência central dos 5 MHz. Desta forma, redefiniu-se o filtro com largura de banda de 5 MHz e frequência central 5 MHz [37].

O filtro encontra-se representado na Figura 3.8.

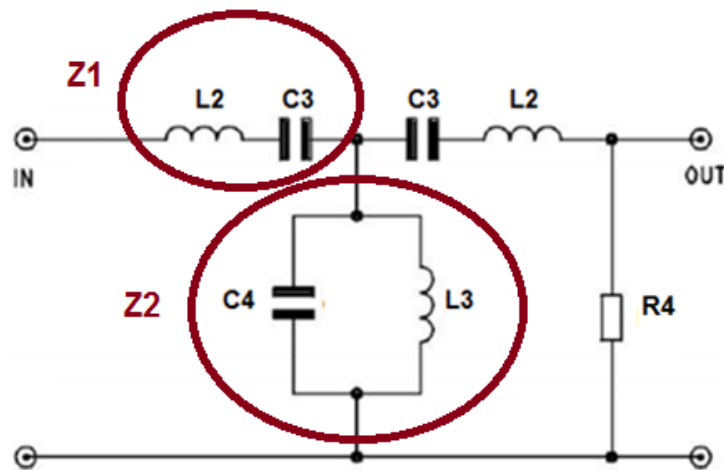


Figura 3.8. Circuito do filtro Butterworth utilizado [38].

O filtro implementado é conhecido como um filtro passa-banda do tipo constante k. O ramo  $Z_1$  é ressonante para uma frequência de corte definida e o ramo  $Z_2$  é anti ressonante para a mesma frequência. A impedância  $Z_1$  oferece uma impedância próximo de zero e  $Z_2$  oferece uma impedância infinita [37]. Para que o filtro em questão, o qual permite a passagem de apenas uma banda de frequências, seja considerado um filtro do tipo constante k na configuração passa-banda considera-se as seguintes equações (3.12), (3.13) e (3.14).

$$L_2 = \frac{L'_2}{2} \wedge C_3 = 2C'_3 \quad (3.12)$$

$$w_0 \frac{L'_2}{2} = \frac{1}{w_0 2C'_3} \quad (3.13)$$

$$\omega_0 L_3 = \frac{1}{\omega_0 C_4} \quad (3.14)$$

Pela equação (3.13) e (3.14) obtém-se a frequência angular (3.15).

$$\omega_0 = \frac{1}{\sqrt{C'_3 L'_2}} = \frac{1}{\sqrt{C_4 L_3}} \quad (3.15)$$

A igualdade  $C'_3 L'_2 = C_4 L_3$  é uma das condições necessárias para projectar um filtro constante k passa-banda.

Pela análise dos ramos  $Z_1$  e  $Z_2$  obtém-se as equações (3.16) e (3.17) referentes às impedâncias dos componentes em série e em paralelo do filtro. Na equação (3.18) está representado o produto das duas impedâncias igual à constante  $k^2$  que é uma das condições necessárias neste tipo de filtro.

$$Z_1 = j\omega L'_2 + \frac{1}{j\omega C'_3} = j \frac{\omega^2 L'_2 C'_3 - 1}{\omega C'_3} \quad (3.16)$$

$$Z_2 = \frac{j\omega L_3 \frac{1}{j\omega C_4}}{j\omega L_3 + \frac{1}{j\omega C_4}} = \frac{j\omega L_3}{1 - \omega^2 L_3 C_4} \quad (3.17)$$

$$Z_1 Z_2 = j \left( \frac{\omega^2 L'_2 C'_3 - 1}{\omega C'_3} \right) \left( \frac{j\omega L_3}{1 - \omega^2 L_3 C_4} \right) = \frac{L_3}{C'_3} \left( \frac{\omega^2 L'_2 C'_3 - 1}{1 - \omega^2 L_3 C_4} \right) = \frac{L_3}{C'_3} = \frac{L'_2}{C_4} = k^2 \quad (3.18)$$

Pelo gráfico da Figura 3.9 verifica-se que a frequência de ressonância ( $f_0$ ) é dada pela média geométrica da frequência de corte inferior ( $f_1$ ) e frequência de corte superior ( $f_2$ ). Estas frequências de corte, ( $f_1$ ) e ( $f_2$ ), definem a banda de passagem do filtro.

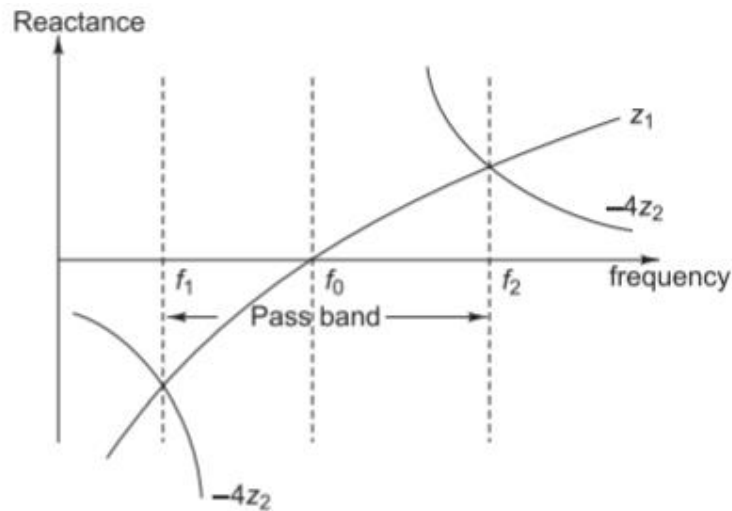


Figura 3.9. Curva das reactâncias de um filtro passa-banda de constante k [55].

Analisando a figura anterior, verifica-se que para um filtro passa-banda do tipo constante k as frequências de corte são dadas pela seguinte equação (3.19).

$$Z_1 = -4Z_2 \quad (3.19)$$

Multiplicando ambos os membros por  $Z_1$  obtém-se a equação (3.20).

$$Z_1^2 = -4Z_1Z_2 = -4Z_1Z_2 \quad (3.20)$$

Substituindo a equação (3.18) na equação (3.20) obtém-se a equação (3.21).

$$Z_1 = \pm j2k \quad (3.21)$$

Sabendo que para a frequência de corte inferior  $f_1$  temos  $-Z_1$  e para a frequência de corte superior  $f_2$  temos  $Z_1$  obtém-se a seguinte equação (3.22).

$$-\frac{1}{j\omega_1 C'_3} - j\omega_1 L'_2 = j\omega_2 L'_2 + \frac{1}{j\omega_2 C'_3} \quad (3.22)$$

Manipulando a equação (3.22) obtém-se a equação (3.23).

$$1 - \omega^2 L'_2 C'_3 = \frac{\omega_1}{\omega_2} (\omega^2 L'_2 C'_3 - 1) \quad (3.23)$$

Substitui-se a equação (3.15) na equação (3.23) obtém-se a equação (3.24).

$$1 - \frac{\omega_1^2}{\omega_0^2} = \frac{\omega_1}{\omega_2} \left( \frac{\omega_2^2}{\omega_0^2} - 1 \right) \quad (3.24)$$

Manipulando a equação (3.24) obtém-se a equação (3.25), a partir da qual obtém-se a frequência central do filtro passa-banda ( $f_0$ ).

$$f_0 = \sqrt{f_1 f_2} \quad (3.25)$$

Sabendo que o filtro é terminado por uma resistência, k é dado por  $k=R_4$ . Assim sendo para a frequência de corte inferior, substituindo a equação (3.16) na equação (3.21) obtém-se a equação (3.26).

$$j\omega L'_2 + \frac{1}{j\omega C'_3} = -j2R_4 \quad (3.26)$$

Manipulando algebricamente a equação (3.26) obtém-se a equação (3.27).

$$1 - \frac{f_1^2}{f_0^2} = 4\pi R_4 f_1 C_3 \quad (3.27)$$

Substitui-se  $f_0=f_1 f_2$  na equação (3.27) e aplicando a equação (3.12) obtém-se a equação (3.28) que permite obter o valor do condensador  $C_3$ .

$$C'_3 = \frac{f_2 - f_1}{4\pi R_4 f_2 f_1} \Leftrightarrow C_3 = \frac{f_2 - f_1}{2\pi R_4 f_2 f_1} \quad (3.28)$$

Substitui-se a equação (3.28) e aplicando a equação (3.12) na equação (3.15), obtém-se a equação (3.29) correspondente ao valor da bobine  $L_2$ .

$$L'_2 = \frac{1}{\omega_0^2 C_3} = \frac{R_4}{\pi(f_2 - f_1)} \Leftrightarrow L_2 = \frac{R_4}{2\pi(f_2 - f_1)} \quad (3.29)$$

Obtém-se o valor da bobine  $L_3$  substituindo a equação (3.28) na equação (3.18).

$$L_3 = C'_3 k^2 = \frac{R_4(f_2 - f_1)}{4\pi f_2 f_1} \quad (3.30)$$

Analogamente obtém-se o valor do condensador  $C_4$  substituindo a equação (3.29) na equação (3.18).

$$C_4 = \frac{L'_2}{k^2} = \frac{1}{\pi R_4(f_2 - f_1)} \quad (3.31)$$

O valor da impedância da carga corresponde à impedância nominal dos circuitos de radiofrequência, ou seja  $50\Omega$ . Desta forma, obtiveram-se os valores de  $L_2=1.5 \mu\text{H}$ ,  $C_3=820 \text{ pF}$ ,  $L_3=1 \mu\text{H}$  e  $C_4=1200 \text{ pF}$ .

### 3.2.6 Impedância de saída do divisor de frequência

Para a análise em frequência, a saída do Flip-flop é considerada como uma saída de alta impedância, logo os valores de  $L_2$  e  $C_3$  na entrada do filtro são desprezados. Assim sendo a impedância de saída é determinada pela análise do circuito equivalente da Figura 3.10.

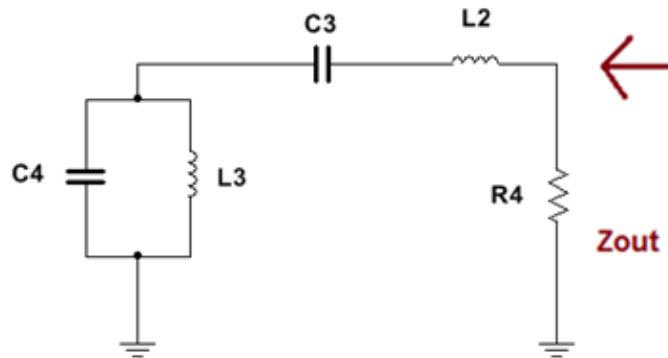


Figura 3.10. Impedância de saída do circuito.

Da análise do circuito obtém-se a equação (3.32).

$$Z_{out} = ((C_4 // L_3) + C_3 + L_2) // R_4 \quad (3.32)$$

Onde  $(C_4 // L_3)$  é dado por (3.33).

$$(C_4 // L_3) = \frac{\frac{1}{sC_4} sL_3}{\frac{1}{sC_4} + sL_3} = \frac{sL_3}{1 + s^2 L_3 C_4} \quad (3.33)$$

Substitui-se a equação (3.33) na equação (3.32) obtém-se a equação a expressão (3.34).

$$Z_{out} = \frac{sL_3 C_3 + L_3 C_4 + \frac{1}{s^2} + s^2 L_3 C_4 C_3 L_2 + L_3 L_2}{sL_3 C_4 C_3 + \frac{C_3}{s}} // R_4 \quad (3.34)$$

Sabendo que  $s=2\pi f$ , substituiu-se  $f=5$  MHz,  $C_4=1200$  pF,  $C_3=820$  pF,  $L_3=1$   $\mu$ H e  $R_4=50$   $\Omega$  na equação (3.34) e obteve-se uma impedância de saída de 49  $\Omega$ .

### 3.2.7 Dimensionamento da Fonte de tensão

Para a alimentação do circuito utiliza-se um transformador de 220 V<sub>AC</sub> para 15 V<sub>AC</sub>, um retificador de onda completa e um regulador de 5 V (LM7805). O circuito da mesma encontra-se representado na Figura 3.11.

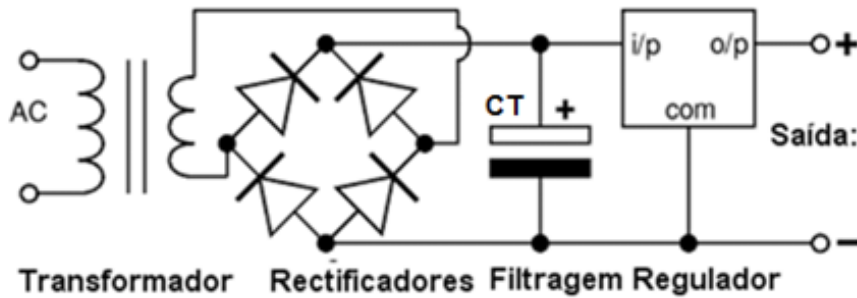


Figura 3.11. Fonte de tensão utilizada [39].

Após a passagem pelo transformador, a tensão de saída nos terminais ( $V_{AB}$ ) é de 20 V<sub>CA</sub> de pico. A ponte rectificadora tem uma queda de tensão de aproximadamente 0,7 V por diodo, assim sendo, através da equação (3.35), calcula-se o valor de tensão de saída da ponte de rectificadora  $V_0$ .

$$V_o = V_{AB} - V_d - V_d = 20 V - 0,7 V - 0,7 V = 18.6 V \quad (3.35)$$

A fonte de tensão alimentará o Flip-flop e o circuito Offset com uma tensão de saída VEE de 5 V. Assim, por forma a verificar a corrente máxima debitada na carga  $I_C$ , calcula-se a potência total consumida pela equação (3.36).

$$P_T = P_{FF} + P_{div} \quad (3.36)$$

Para o cálculo da potência consumida pelo Flip-Flop considera-se a tensão VEE e a corrente de consumo  $I_{CC} = 16$  mA retirada do datasheet do Flip-Flop [40], equação (3.37).

$$P_{FF} = V_{EE}I_{cc} = 112 \text{ mW} \quad (3.37)$$

A potência consumida pelo divisor de tensão é obtida pela equação (3.38).

$$P_{div} = R_{div}I_{div}^2 \quad (3.38)$$

Conhecendo VEE e  $R_{div} = R_2 + R_3 = 133 \Omega$ , obtém-se a corrente do divisor  $I_{div}$  pela lei de Ohm de 3,75 mA.

Substituindo na equação (3.37) verifica-se que a potência de funcionamento do circuito Offset é de 180 mW.

Pela equação (3.36) obtém-se uma potência total  $P_T$  cerca de 0,3 W. Assim, pela equação (3.39) obtém-se a corrente máxima debitada para a carga  $I_C = 60 \text{ mA}$ .

$$I_C = \frac{P_T}{V_{EE}} \quad (3.39)$$

Para efeitos de simulação calcula-se a carga equivalente do circuito pela equação (3.40).

$$R_{eq} = \frac{V_0}{I_C} = 310 \Omega \quad (3.40)$$

Pela equação (3.39) já introduzida no capítulo 2.7, sabendo que  $f = 50 \text{ Hz}$ ,  $R_{eq} = 310 \Omega$ ,  $V_0 = 18,6 \text{ V}$  e definindo o valor de ripple  $V_r = 50 \text{ mV}$  obtém-se um condensador de 8.4 mF.

$$V_r = \frac{V_0}{2fRC_T} \Leftrightarrow C_T = \frac{V_0}{2fRV_r} \quad (3.41)$$

Como não estavam disponíveis condensadores com este valor, colocou-se 2 condensadores em paralelo de 4,7 mF perfazendo uma capacidade total de 9.4 mF. A utilização de um condensador superior não compromete os resultados, bem pelo contrário, pois irá diminuir o ripple ( $\Delta_V$ ). Tendo em conta os componentes escolhidos recalcula-se o valor de ripple, obtendo-se um valor de 45 mV.

### 3.3 Conclusões

Neste capítulo foi apresentada a metodologia para o desenvolvimento do projecto do divisor de frequência por dois sendo apresentando sucintamente cada módulo implementado e o motivo do seu desenvolvimento. Foram também apresentados os cálculos necessários para o seu dimensionamento.

O conversor foi calculado para ter uma largura de banda de 5 MHz em vez dos 2 MHz inicialmente idealizados pelo facto de ser demasiado estreito e comprometer a amplitude da harmónica fundamental na saída.

## 4 Simulação

Neste capítulo realiza-se a simulação do circuito, parcial e completo, como forma de prever o seu comportamento tanto no domínio temporal como no domínio da frequência. Após estas simulações, algumas das partes poderão ser ajustadas com o objectivo de melhorar o seu desempenho.

Pressupõe-se como simulação o acto de imitar a realidade. Assim, emulando o comportamento de sistemas é possível analisar a sua resposta caso sejam realizados fisicamente. Com o auxílio de ferramentas de simulação tornou-se possível prever o comportamento de um sistema e realizar uma análise pormenorizada do mesmo. Desta forma a simulação torna-se uma ferramenta extremamente útil ao projecto de sistemas sejam estes eléctricos ou de outro tipo.

Recorrendo aos simuladores (Matlab e Multisim) fez-se uma análise temporal e espectral ao circuito divisor de frequência.

### 4.1 Descrição dos simuladores Multisim e Matlab

O Multisim é considerado um dos melhores ambiente de simulação SPICE de padrão industrial, que permite realizar a análise em regime transitório, DC (Direct Current) e AC (Alternating Current). Este simulador é considerado como uma peça fundamental no ensino de circuitos da NI (*National Instruments*), permitindo o desenvolvimento de competências e aquisição de conhecimentos técnicos através da aplicação prática em projetos, prototipagens e testes de circuitos eléctricos.

A abordagem de projeto com base na simulação por Multisim permite ao utilizador economizar iterações no desenvolvimento do protótipo e otimizar os projetos de placas de circuito impresso (PCI) logo nas fases iniciais do processo de construção.

O MATLAB (MATrix LABoratory) é um software interactivo de alta performance, orientado para o cálculo numérico. Este software permite fazer uma análise numérica e efectuar cálculos com matrizes, processamento de sinais e construir gráficos num ambiente fácil que foca a facilidade de uso onde problemas e soluções são expressos somente como eles são escritos matematicamente [41].

A principal vantagem deste sistema é que permite a resolução de problemas relacionados com os cálculos em apenas uma fração do tempo que se gastaria, onde as soluções dos problemas são representadas quase da mesma forma como elas são escritas matematicamente.

## **4.2 Simulação no Matlab**

Por forma a compreender melhor o comportamento dos harmónicos e a importância da utilização do conversor para a recuperação do harmónico fundamental é feita uma demonstração da série de Fourier.

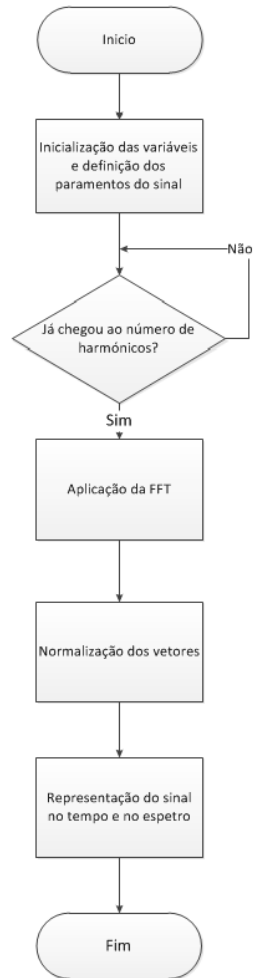
Neste capítulo utilizam-se as equações obtidas no capítulo 3 referentes ao conversor e ao desacoplador de RF por forma a simular o seu comportamento na frequência e a validar os cálculos realizados.

### **4.2.1 Demonstração da série de Fourier**

Sabe-se que um sinal puro sem harmónicas é um sinal cujo formato da onda é uma sinusóide perfeita. Quando acontece alguma alteração no circuito faz com que este opere no modo não-linear causando alterações no sinal tratando-se assim de uma sinusóide modificada. Estas alterações são provenientes da introdução de harmónicas no sinal.

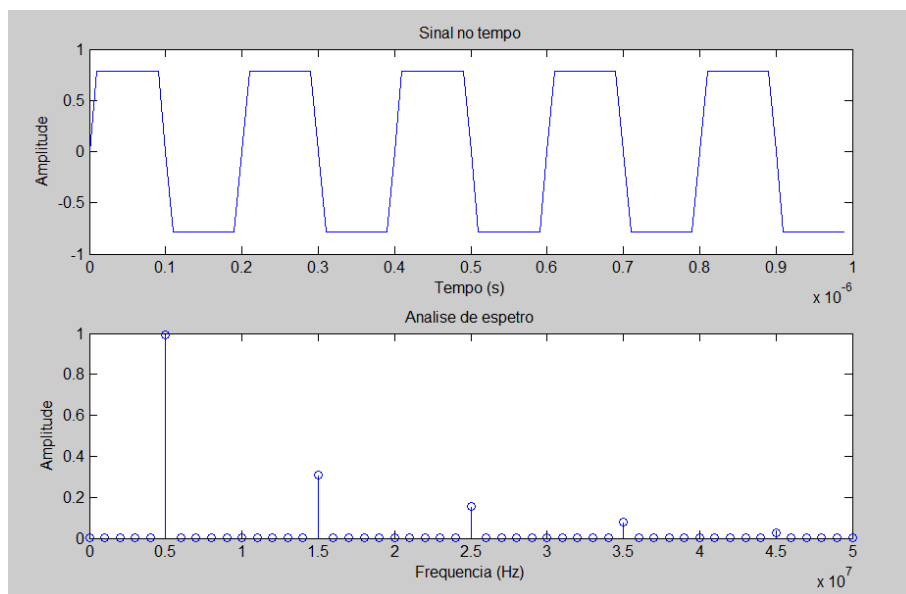
Pretende-se demonstrar a série de Fourier para explicar o processo utilizado para converter um sinal de forma de onda quadrada (sinal digital) num sinal com forma de onda sinusoidal (sinal analógico). Para isso, utilizou-se o simulador Matlab fazendo uma análise transitória de um sinal de 5 MHz.

Na Figura 4.1 representa-se o fluxograma do programa que permite simular a série de Fourier e visualizar as diferenças, no domínio das frequências, de um sinal com uma forma de onda quadrada e um sinusoidal. O código encontra-se no anexo C.



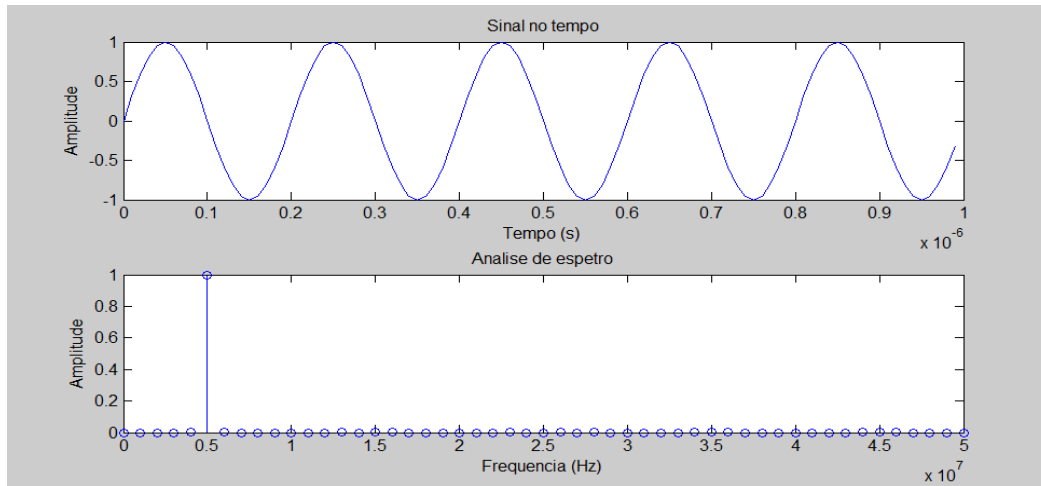
**Figura 4.1. Fluxograma utilizado para a demonstração da série de Fourier.**

Na Figura 4.2 representa-se o sinal com uma forma de onda quadrada no tempo e no espectro. Para isso, definiu-se o número de harmônicos de 2000.



**Figura 4.2. Verificação da série de Fourier de sinal com 2000 harmônicos.**

Na Figura 4.3 redefiniu-se o código com apenas 1 harmónico e obteve-se um sinal com uma forma de onda sinusoidal a 5 MHz.

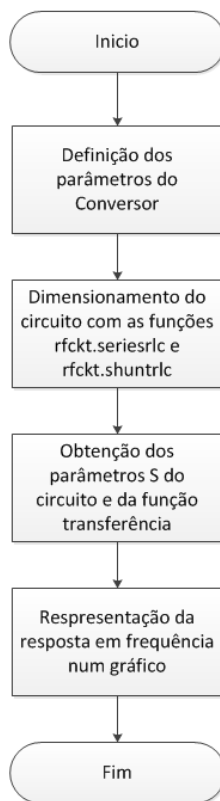


**Figura 4.3. Verificação da série de Fourier do sinal com 1 harmónicos.**

Como se pode verificar pelas duas figuras anteriores, a diferença no domínio das frequências entre um sinal com uma forma de onda quadrada e um sinal com uma forma de onda sinusoidal é o número de frequências que os constituem. Ou seja, na Figura 4.2 temos um sinal de onda quadrada que é constituído pela frequência fundamental e 2000 harmónicos ímpares enquanto na Figura 4.3 a onda sinusoidal é constituída unicamente pela frequência fundamental. Assim sendo, para converter um sinal quadrado num sinusoidal basta filtrar o sinal quadrado de forma a obter a frequência fundamental.

#### **4.2.2 Simulação do conversor**

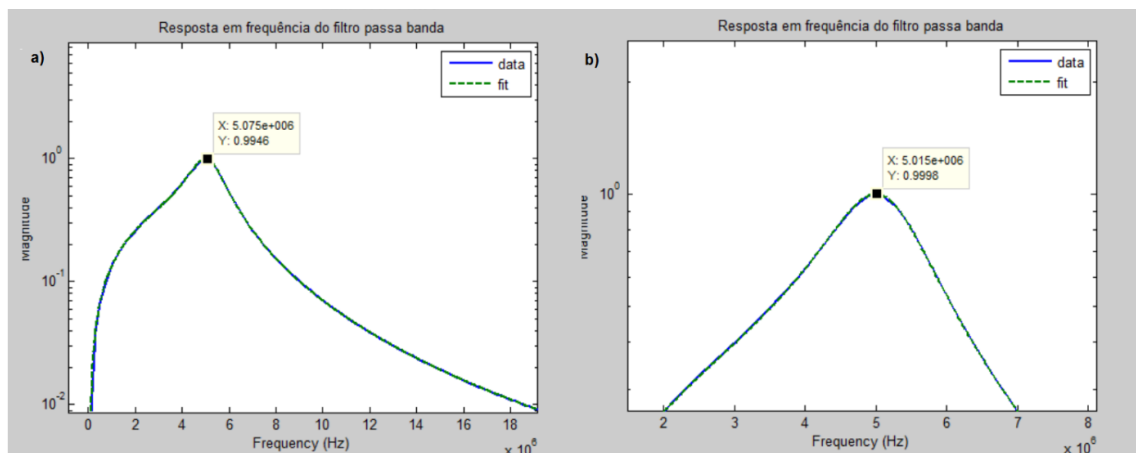
Criou-se uma aplicação em Matlab a partir das funções obtidas na secção 3.2.5.1 por forma a verificar o comportamento do conversor ao longo da frequência. O fluxograma da Figura 4.4 apresenta o programa criado e o código encontra-se no Anexo D.



**Figura 4.4. Fluxograma ilustrativo do conversor.**

Como já foi referido anteriormente o módulo de conversão é constituído por um filtro passa-banda que tem por objectivo isolar a frequência fundamental e assim converter o sinal de onda quadrada em sinusoidal.

Na Figura 4.5a) apresenta-se a curva de resposta do filtro numa gama de frequências dos 100 KHz aos 20 MHz. Na Figura 4.5b) representa-se o filtro numa gama mais reduzida de frequências, de 1 MHz a 8 MHz. Verifica-se que o filtro apresenta a forma pretendida, ou seja, trata-se de um passa-banda com frequência central em torno dos 5MHz e com magnitude de 1 dB.



**Figura 4.5. Resultados obtidos pelas expressões do conversor.**

Como visto na secção 2.3, através de um filtro passa-banda é possível isolar o harmónico fundamental. Na Figura 4.6 aplicou-se o filtro passa-banda dimensionado anteriormente a um sinal de 5 MHz com uma forma de onda quadrada. Como se pode constatar o primeiro harmónico é perfeitamente isolado.

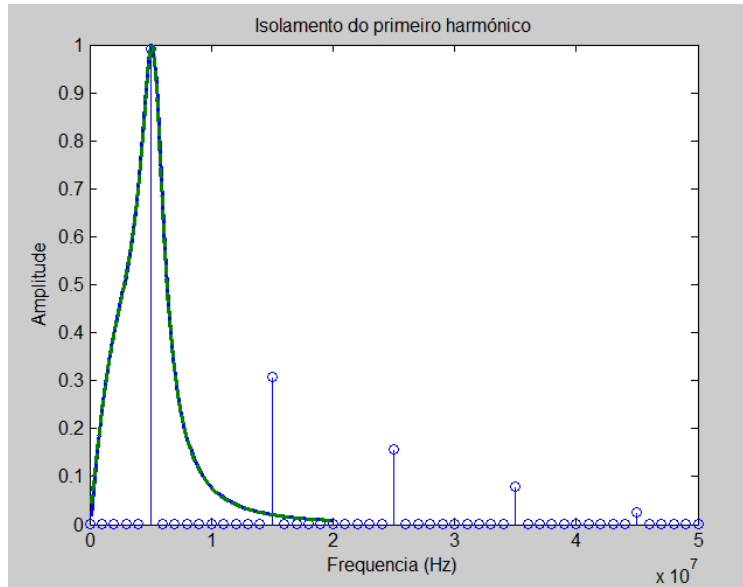
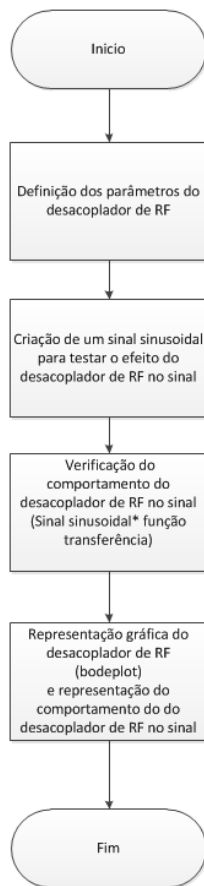


Figura 4.6. Filtragem do primeiro harmónico com o conversor dimensionado.

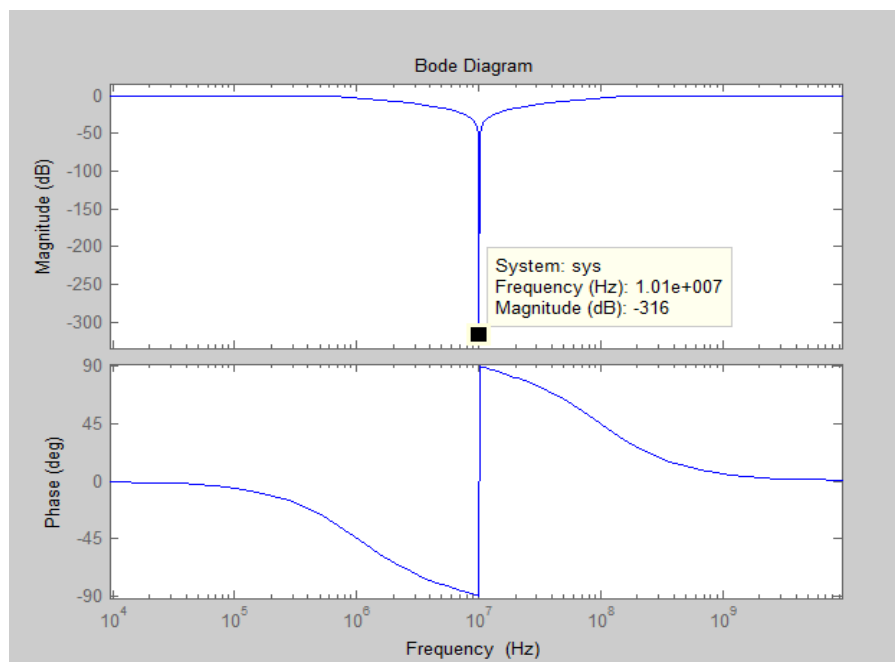
#### 4.2.3 Simulação do desacoplador de RF

Criou-se uma aplicação em Matlab cujo fluxograma encontra-se na Figura 4.7 e o código correspondente no anexo E. Representou-se a função transferência obtida na equação (3.7) secção 3.2.2.1 com os respetivos valores dos componentes de  $L_1$  e  $C_2$ , por forma a verificar o comportamento do desacoplador de RF.



**Figura 4.7. Fluxograma do código em Matlab que permite obter as curvas de transferência do desacoplador RF.**

Na Figura 4.8, verifica-se o comportamento do circuito na frequência através da representação do diagrama de Bode.



**Figura 4.8. Resultados obtidos pela função transferência do desacoplador RF.**

Na Figura 4.9 demonstra-se o funcionamento do desacoplador de RF. Injectando um sinal sinusoidal de 10 MHz com 2,6 Vpp na entrada verifica-se que este é atenuado à saída, tal como era pretendido, ficando com uma amplitude cerca de 0,1 Vpp.

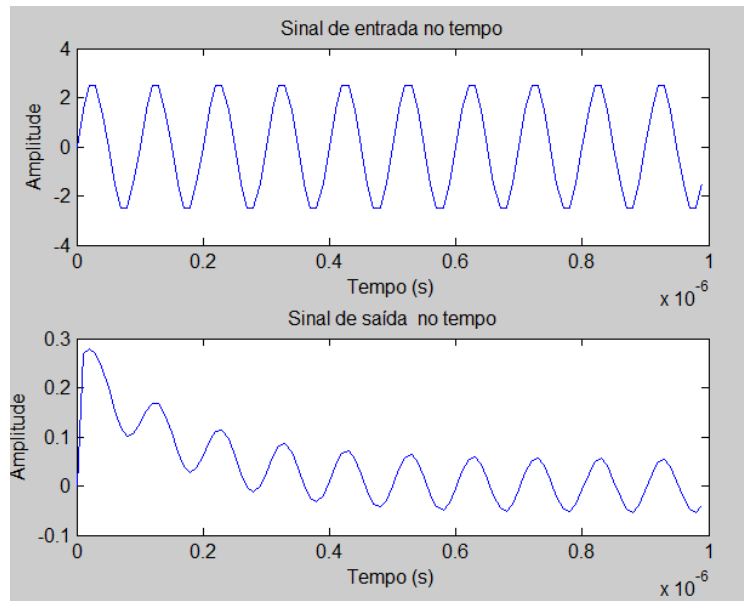


Figura 4.9. Resultados obtidos no tempo pela função transferência do desacoplador RF.

### 4.3 Simulação em Multisim

Nesta secção realiza-se a simulação do divisor de frequência digital completo e por blocos, prevendo o seu comportamento no domínio do tempo e no domínio das frequências.

Este método de simulação apresenta-se como o método mais próximo da realização experimental onde circuito e componentes são o mais próximo da realidade.

#### 4.3.1 Simulação do divisor de frequências

Na Figura 4.10 apresenta-se o esquemático do protótipo desenvolvido.

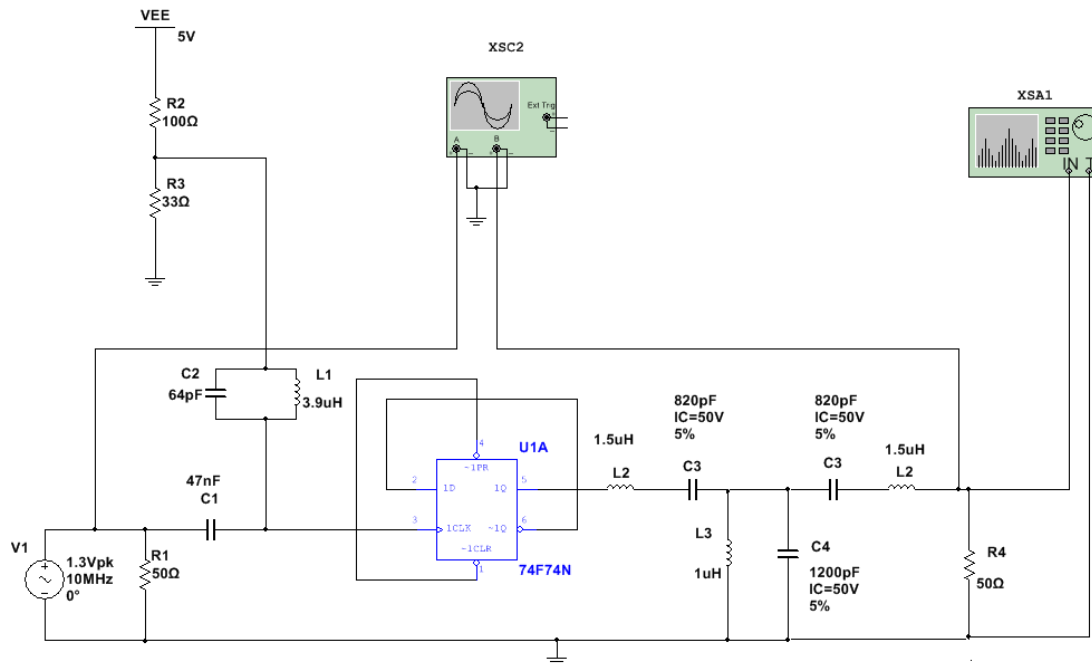


Figura 4.10. Esquemático do divisor digital de frequência por dois.

Para efeitos de simulação, realizou-se uma análise no regime transitório através do osciloscópio (XSC2) da qual os resultados são apresentados na Figura 4.11. A vermelho o sinal de entrada com uma frequência de 10 MHz e a verde o sinal de saída com uma frequência de 5 MHz. Verifica-se que o sinal de saída apresenta metade da frequência de entrada e uma potência de saída mais elevada devido a potência fornecida pelo flip-flop D.

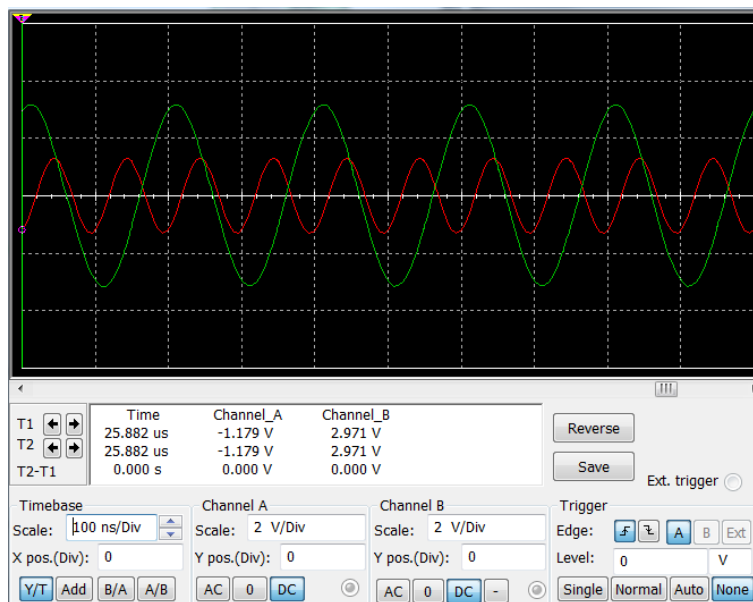


Figura 4.11. Sinal de entrada 10MHz (a vermelho) e sinal de saída 5MHz (a verde) no domínio do tempo.

Na Figura 4.12 representa-se o espectro do sinal de saída obtido através do analisador de espectros (XSA1). O harmónico fundamental, a 5MHz, apresenta uma diferença de amplitude em relação ao segundo harmónico, a 15

MHz, de 23 dB. Como se pode verificar pela figura anterior esta diferença de amplitudes é suficiente para que o segundo harmónico seja insignificante, originado assim um sinal puro de um único harmónico, ou seja um sinal sinusoidal.

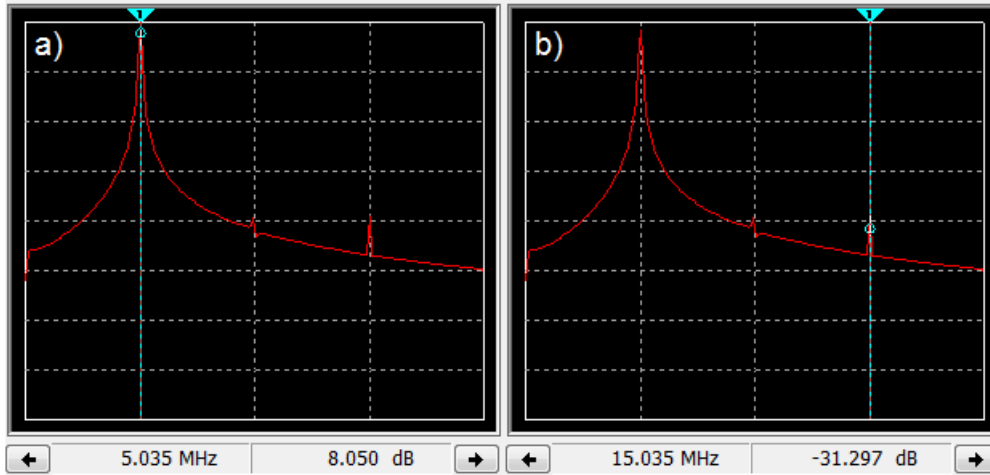


Figura 4.12. Harmónicos do sinal de saída. a) A 5MHz; b) A 15MHz.

#### 4.3.2 Offset DC do sinal e desacoplamento DC

A Figura 4.13 apresenta o esquemático do teste realizado ao circuito Offset do sinal.

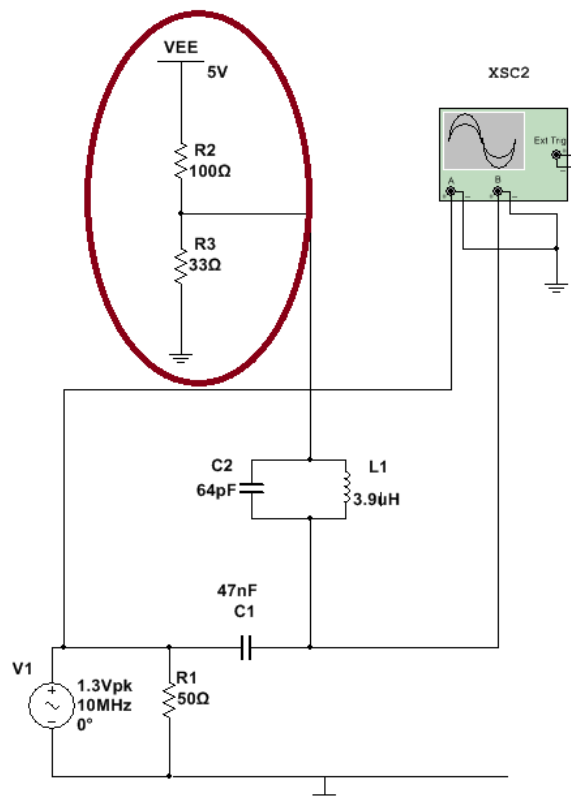
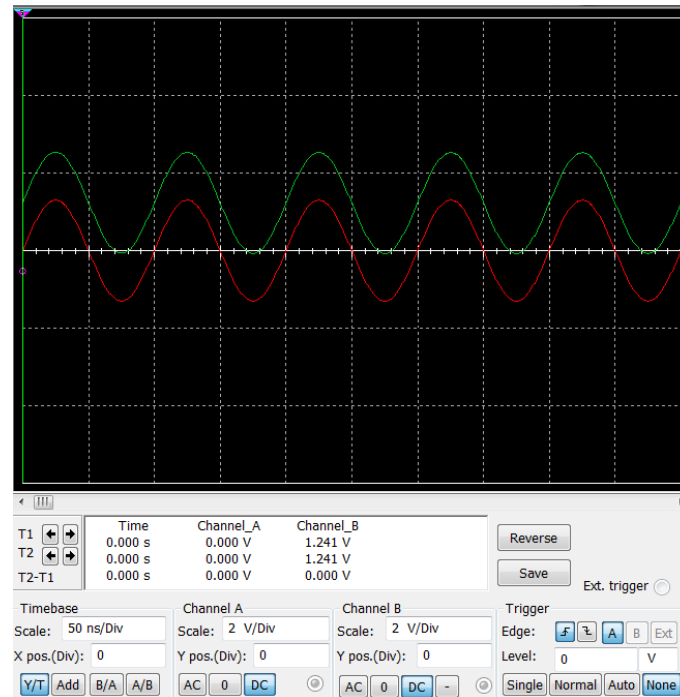


Figura 4.13. Método utilizado para testar o circuito Offset do sinal.

A Figura 4.14 apresenta os resultados obtidos na simulação através do osciloscópio (XSC2). O sinal a vermelho corresponde ao sinal de entrada do divisor de frequência e o sinal a verde corresponde ao sinal de saída centrado em 1,24 V. Tendo em conta que se dimensionou o circuito Offset para obter 1,2 V na saída e sabendo que o desacoplador de RF não deve influenciar a nível DC, os resultados obtidos são os esperados.



**Figura 4.14. Resultados obtidos na simulação do circuito Offset do sinal; A vermelho o sinal de entrada e a verde o sinal de saída centrado em 1,24 V.**

Na Figura 4.15 apresenta-se o esquemático utilizado para demonstrar o comportamento do circuito de desacoplador DC representando a sua curva característica.

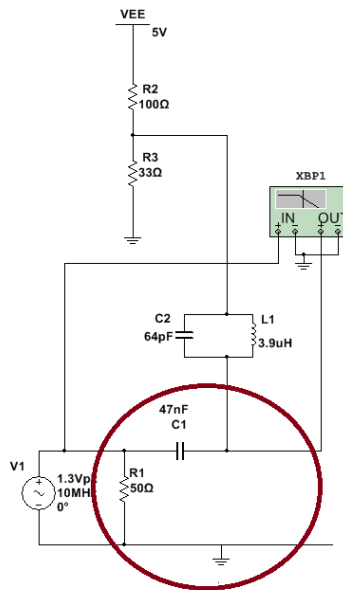


Figura 4.15 Método utilizado para traçar a curva característica do circuito desacoplador DC.

Os resultados experimentais obtidos através do analisador de Bode (XBP1) encontram-se na Figura 4.16. Verifica-se que a frequência de corte (a -3 dB) é cerca de 121,6 KHz e que o circuito elimina tudo a baixo desta frequência como era pretendido, impedindo desta forma que a componente DC gerada pelo circuito *offset* seja injectada nos equipamentos ligados na entrada do divisor.

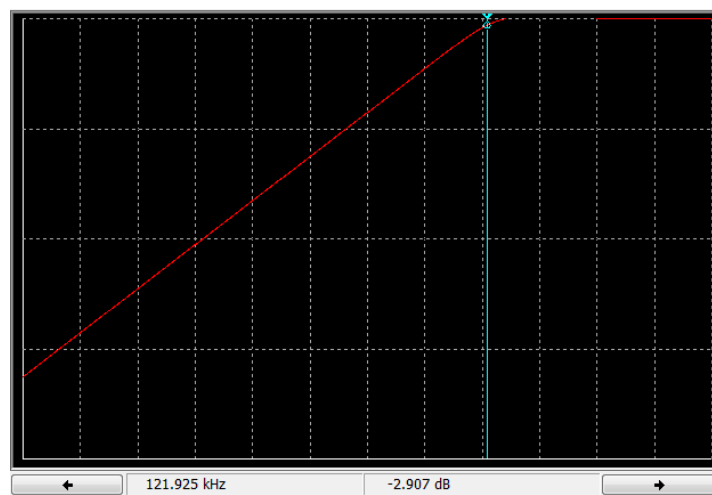


Figura 4.16. Curva caraterística do desacoplador DC.

### 4.3.3 Desacoplador de RF

Na Figura 4.17 apresenta-se o esquema de teste utilizado para o circuito desacoplador RF.

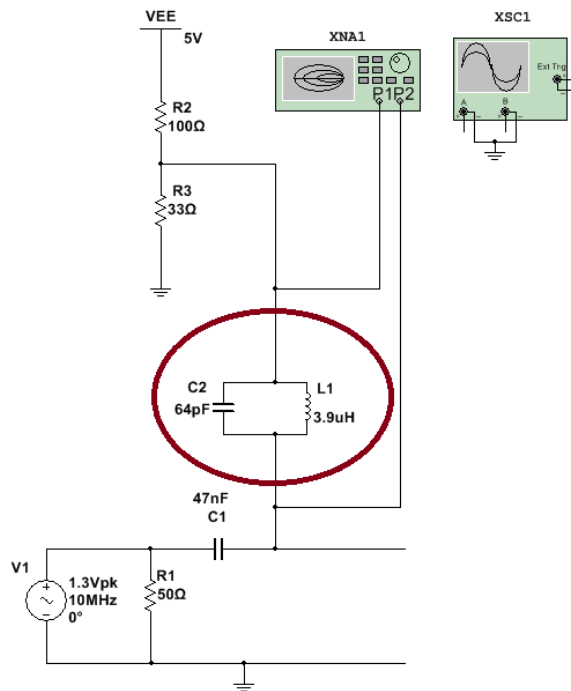


Figura 4.17. Método utilizado para testar o circuito de desacoplador RF.

Na Figura 4.18 apresenta-se os resultados da simulação obtidos através do analisador vectorial (XNA1). Verifica-se que a curva de resposta corresponde ao pretendido, ou seja, a resposta de um filtro rejeita-banda. A frequência de 10 MHz é fortemente atenuada cerca de 42 dB e por outro lado a componente DC não sofre atenuação o que vai permitir a passagem da tensão de offset. Verifica-se também que a entrada do circuito encontra-se adaptada a 50 Ω tal como era pretendido.

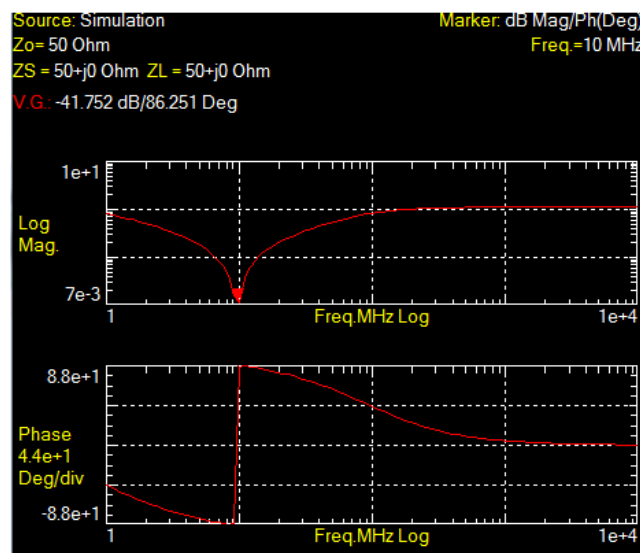


Figura 4.18. Resultados do circuito Desacoplador RF.

Na Figura 4.19 verifica-se os resultados experimentais da frequência de corte inferior ( $f_{c1}$ ) e superior ( $f_{c2}$ ) do desacoplador de RF. Analisando os

resultados da simulação a -3 dB, o circuito apresenta  $f_{c1} = 1$  MHz e  $f_{c2} = 98$  MHz. Segundo dimensionado no secção 3.2.2.1 os resultados teóricos encontram-se de acordo com os resultados simulados.

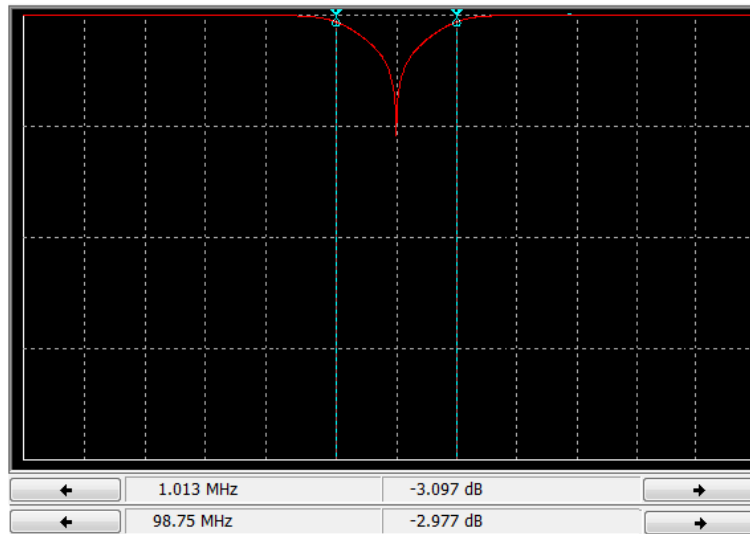


Figura 4.19. Verificação da frequência inferior ( $f_{c1}$ ) e superior ( $f_{c2}$ ) de corte.

Na Figura 4.20 representa-se através de um osciloscópio (XSC1) colocado na mesma posição do analisador vectorial (XNA1), a vermelho o sinal de 10 MHz de entrada e a verde o sinal DC proveniente da saída do desacoplador DC. Tal como era esperado, o sinal de 10 MHz é extremamente atenuado sendo praticamente desprezado visto do lado DC, este sinal é fortemente atenuado tornando-se visível apenas numa escala de 50 mV.

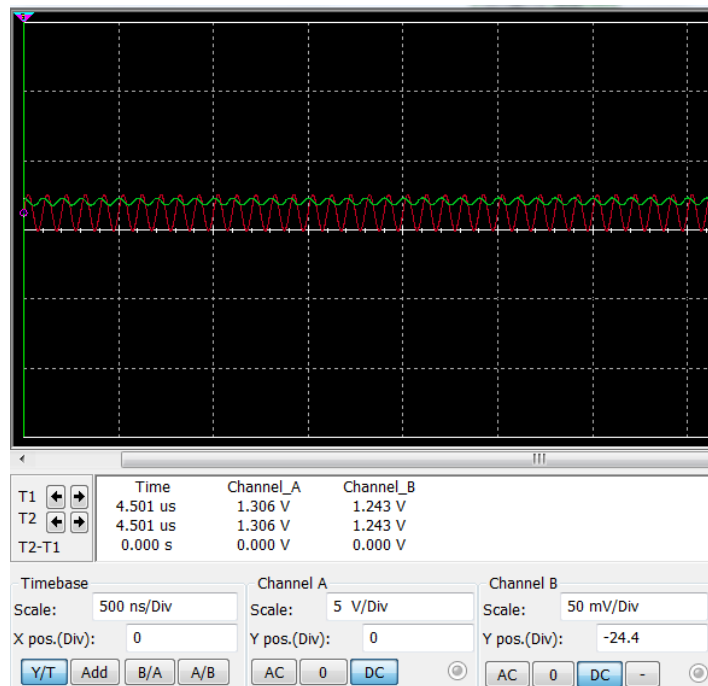


Figura 4.20. Resultados em regime transitório do desacoplador RF.

#### 4.3.4 Impedância de entrada

O método utilizado para a medição da impedância de entrada encontra-se apresentado na Figura 4.21.

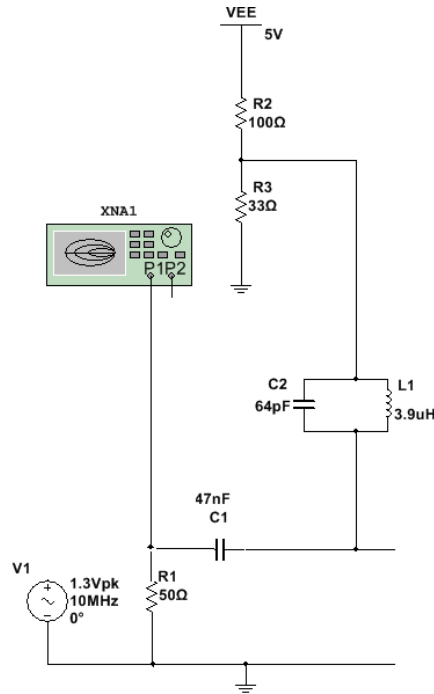


Figura 4.21. Método utilizado para a medição da impedância de entrada do divisor de frequência.

O resultado da simulação referente à impedância de entrada, obtido através do analisador vectorial (XNA1), encontra-se na Figura 4.22. Verifica-se que o circuito encontra-se perfeitamente adaptado a 10 MHz.

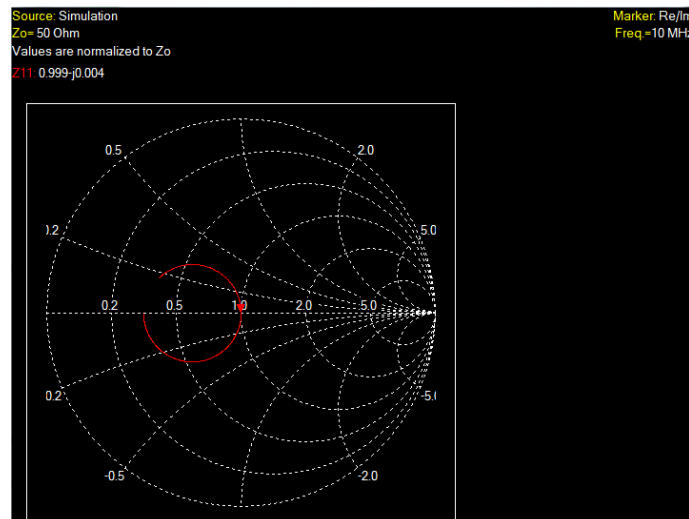


Figura 4.22. Impedância de entrada do Divisor de frequência.

### 4.3.5 Flip-flop D

O esquema de simulação utilizado para o Flip-flop encontra-se na Figura 4.23. O esquema utilizado é o mesmo que o apresentado na Figura 2.2. secção 2.1.1.1.

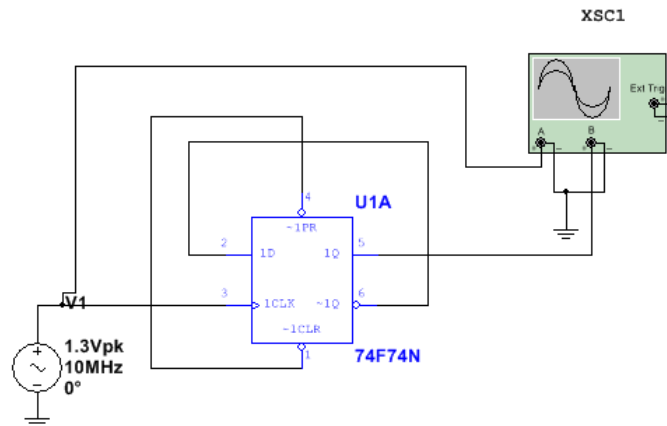


Figura 4.23. Método utilizado para testar o funcionamento do flip-flop D.

Os resultados da simulação obtidos através do osciloscópio (XSC1) encontram-se na Figura 4.24. Verifica-se o processo de divisão de frequência por dois, no qual o circuito converte um sinal sinusoidal de entrada com 10 MHz, a vermelho, em um sinal com uma forma de onda quadrada de 5 MHz, a verde.

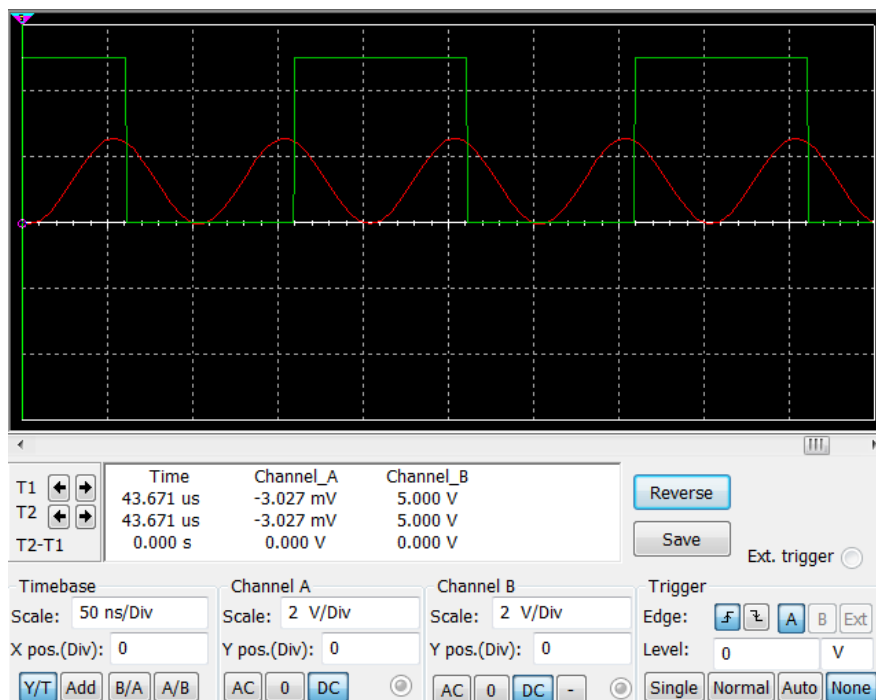


Figura 4.24. Divisão de frequência realizada pelo FFD.

### 4.3.6 Conversor

A Figura 4.25 apresenta o esquemático do circuito conversor baseado num filtro passa-banda na configuração Butterworth.

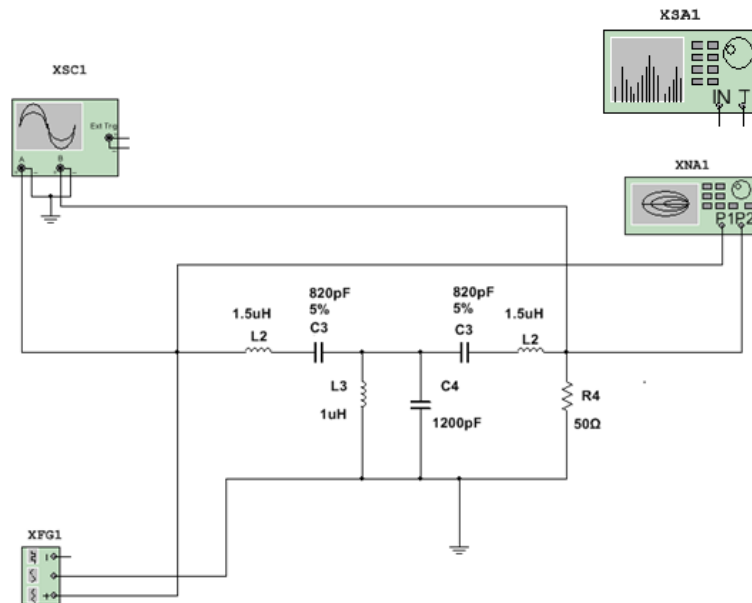


Figura 4.25. Método utilizado para a medição do circuito filtro.

Na Figura 4.26 apresenta-se o comportamento do circuito na frequência focando a frequência de interesse, ou seja os 5 MHz. Para tal utilizou-se o analisador vectorial (XNA1) e verificou-se o coeficiente de transmissão (S21) e fase.

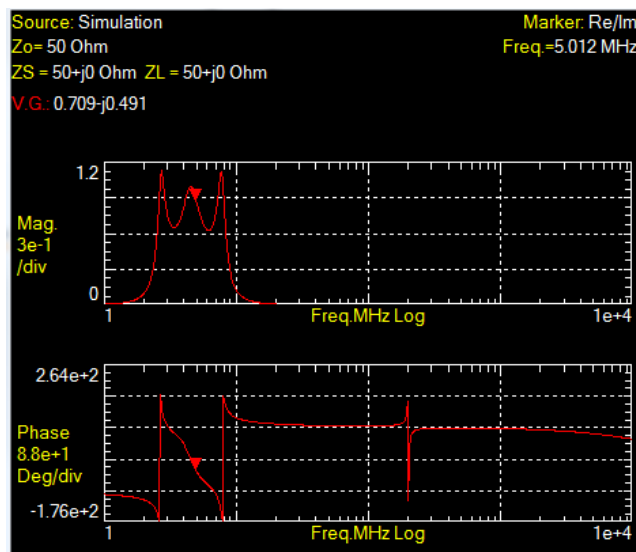


Figura 4.26. Resposta em frequência do filtro.

Na Figura 4.27 representa-se a vermelho o sinal presente à saída do flip-flop e a verde o sinal à saída do conversor. Este último apresenta-se com uma forma de onda perfeitamente sinusoidal, ou seja o circuito conversor filtrou o sinal de entrada atenuando todos harmónicos ímpares característicos do sinal de onda quadrada e permitiu a passagem apenas do primeiro harmónico. Quanto à fase verifica-se que esta é linear relativamente à banda de passagem.

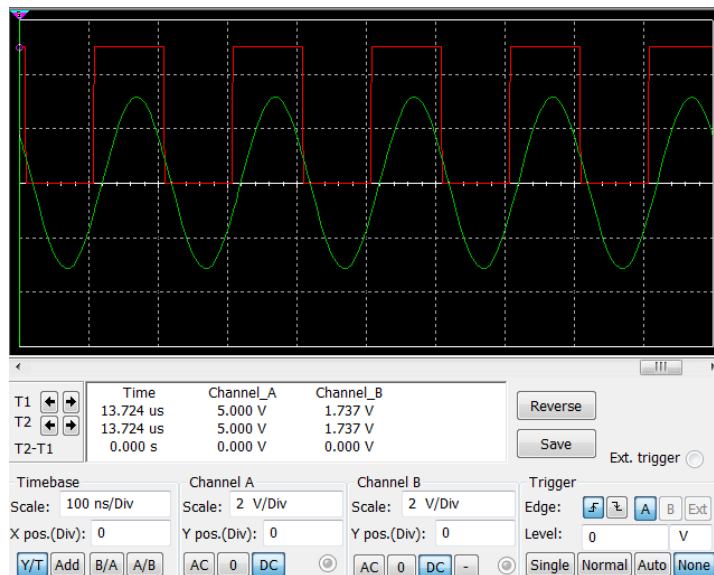


Figura 4.27. Recuperação da primeira harmónica do sinal. O sinal a vermelho corresponde à saída do flip-flop D e o sinal a verde corresponde à saída do conversor.

Na Figura 4.28 representou-se as impedâncias quer de entrada quer de saída do conversor utilizando a carta de Smith. O circuito encontra-se adaptado a uma impedância de 50  $\Omega$  para uma frequência de 5 MHz.

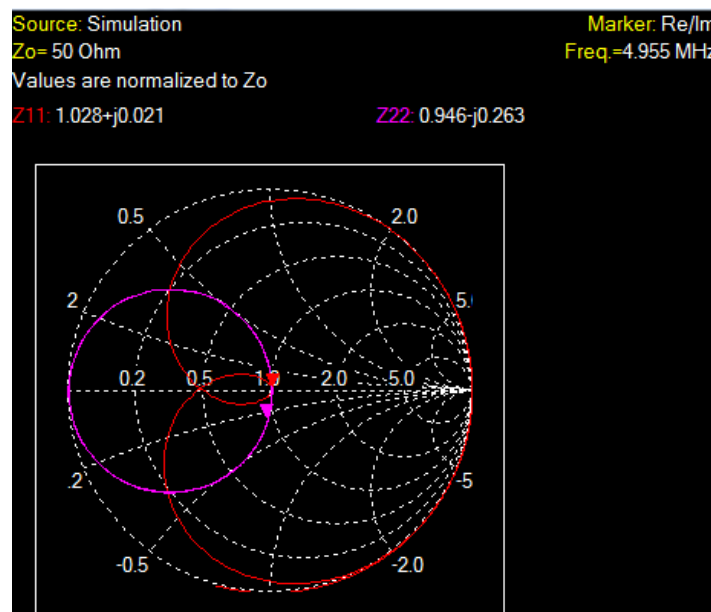


Figura 4.28. Verificação da impedância do filtro passa-banda utilizando as cartas de Smith.

### 4.3.7 Fonte de tensão

O método utilizado para testar o retificador de onda completa encontra-se na Figura 4.29.

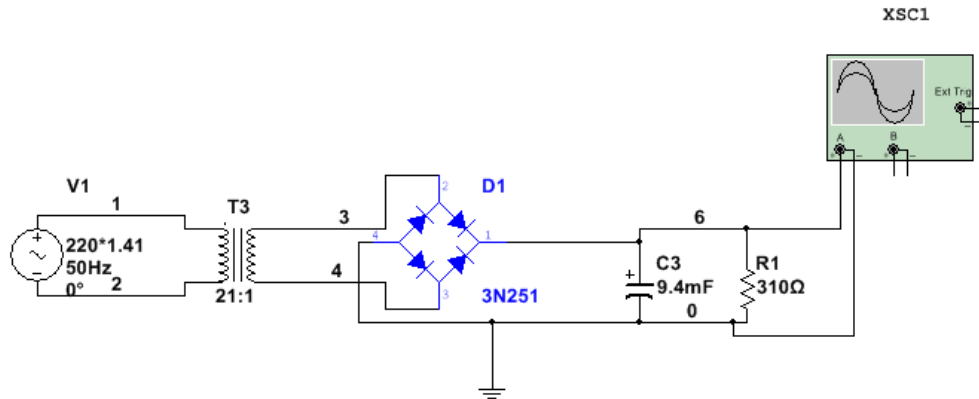


Figura 4.29. Método utilizado para a testar a Fonte de tensão.

Na Figura 4.30 com o auxílio do osciloscópio (XSC1) representou-se a vermelho o sinal de entrada a 20 V<sub>AC</sub> e a verde o efeito carga/descarga do condensador. Por forma a medir o ripple da fonte de tensão aumentou-se a escala para 100 mV/div e verificou-se um ripple de aproximadamente 44 mV. Segundo dimensionado no secção 3.2.7 o ripple teórico seria de 45 mV pelo que os dados teóricos estão de acordo com os dados simulados.

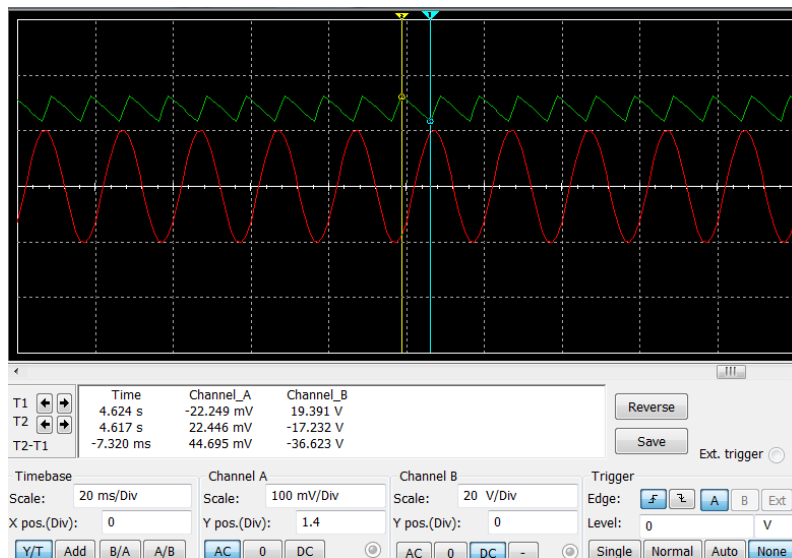


Figura 4.30. Resultados da fonte de tensão simulada usando o osciloscópio virtual.

#### 4.3.8 Conclusões

Apresentou-se neste capítulo duas formas de simulação. A simulação auxiliada pelo *Matlab* onde se analisou a importância da série de Fourier no desenvolvimento do circuito permitindo verificar, a partir da função transferência, o comportamento do circuito conversor e desacoplador de RF e a simulação utilizando o *software Multisim* onde se verificou o comportamento do circuito como um todo tanto no domínio do tempo como no domínio da frequência. Realizou-se a simulação do circuito considerando os parâmetros usados no circuito real. Utilizou-se um sinal com uma frequência de 10 MHz e uma amplitude de 2.1 V pico a pico, quanto aos componentes retirou-se os valores de impedância dos *datasheets* dos fabricantes tentando torna-los o mais próximo possível da realidade. Em geral obtiveram-se os resultados esperados em cada módulo simulado.

Para o desacoplador de RF as curvas características do seu comportamento na frequência representadas pelo Matlab e pelo Multisim apresentaram-se semelhantes embora com amplitudes diferentes. No Matlab, Figura 4.8, obteve-se uma atenuação de 316 dB para os 10 MHz enquanto no Multisim, Figura 4.26, foi cerca 42 dB, isto deve-se ao facto do Matlab resolver a equação matematicamente apresentando valores ideais enquanto o Multisim é um simulador que tenta apresentar resultados experimentais.

Relativamente ao conversor, os resultados apresentados pelo Matlab foram baseados numa simulação calculada através da função “rfckt.cascade” em vez da equação de transferência. Esta simulação apresentou uma curva de transferência, Figura 4.5, que não representa com grande rigor o filtro pretendido mas foi suficiente para se verificar o efeito do conversor. Na simulação em Multisim, por sua vez foi possível verificar a curva característica do filtro bem como o seu correto funcionamento.

Quanto à fonte de tensão os resultados teóricos coincidiram com os simulados. O ripple calculado teoricamente foi de 45 mV e o ripple simulado apresentou-se com um valor de 44 mV.

Em geral, o comportamento de todos os blocos simulados correspondeu aos resultados apresentados teoricamente.

## 5 Análise de resultados

Neste capítulo apresenta-se a metodologia utilizada para a implementação do divisor de frequência sendo realizadas verificações e testes ao circuito por forma a verificar o comportamento real do circuito.

Quanto às verificações realizadas, viu-se o comportamento individual de cada módulo implementado ou seja, verificou-se o comportamento dos blocos de Offset de sinal, desacoplador de RF, flip-flop D, conversor e fonte de tensão individualmente.

Quanto aos testes realizados, verificou-se a gama dinâmica do divisor de frequência para determinar o intervalo de trabalho para o qual divisor de frequências opera, realizou-se um teste de estabilidade por forma a verificar a ocorrência de oscilações na amplitude de saída e na frequência de funcionamento do circuito ao longo de 20h de funcionamento. Por fim realizou-se um teste completo com o sinal de GPS ligado simulando a situação real para qual o divisor de frequências foi dimensionado.

### 5.1 Realização experimental do circuito divisor de frequência

O esquemático final do circuito realizado experimentalmente encontra-se apresentado na Figura 5.1. A diferença entre o circuito simulado e o circuito implementado consiste nos condensadores de ajuste (C6, C7 e C8) colocados por forma a melhorar o desempenho do circuito e fazer pequenas correcções ao sinal de saída. A sua explicação e resultados encontra-se no decorrer deste capítulo.

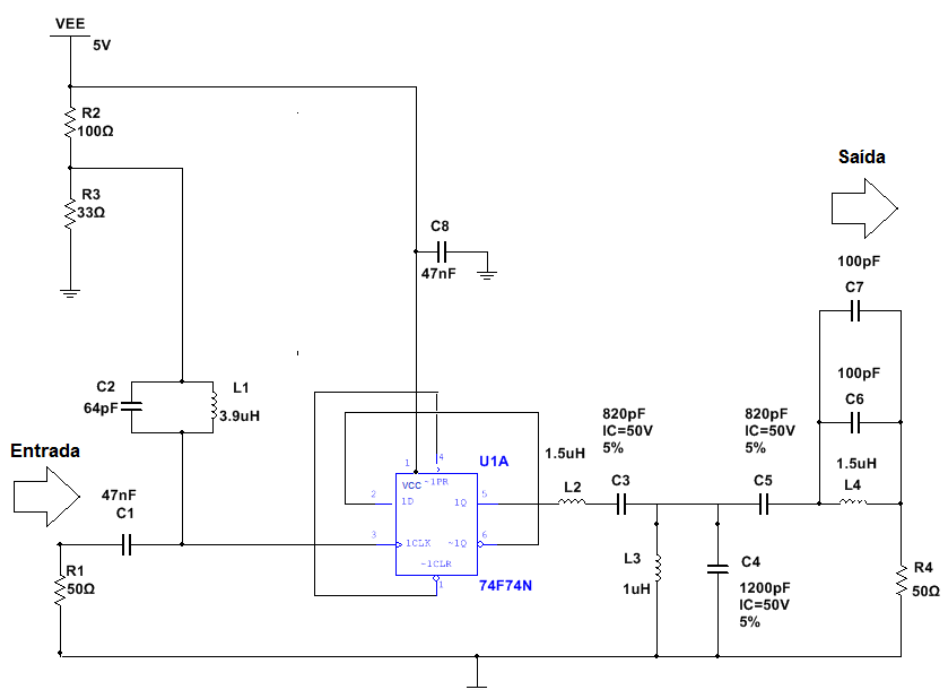


Figura 5.1. Esquemático do circuito divisor de frequência implementado.

Na Figura 5.2 encontra-se o divisor de frequências implementado na placa de circuito impresso e seu desenho encontra-se no anexo F e anexo G.



Figura 5.2. Circuito divisor de frequência dimensionado.

Por funcionar a frequências relativamente altas, 10MHz, foram tomadas algumas considerações na implementação do circuito tomando como base de construção o dimensionamento de circuitos de radiofrequência.

Dimensionou-se as pistas da placa do circuito impresso por forma a serem o mais retas possível, diminuindo as perdas indesejadas e maximizando o desempenho do circuito.

Quanto ao isolamento desenhou-se uma camada de cobre (plano de massa) razoavelmente perto das linhas de sinal proporcionando um melhor isolamento no circuito evitando-se assim interferências indesejadas.

Por forma melhorar o isolamento do circuito de interferências RF externas, utilizou-se uma caixa metálica adequada a este tipo de circuitos, com dimensão normalizadas de 2U, onde se optou pelo fabricante *Schroff*. A caixa encontra-se apresentada na Figura 5.3.

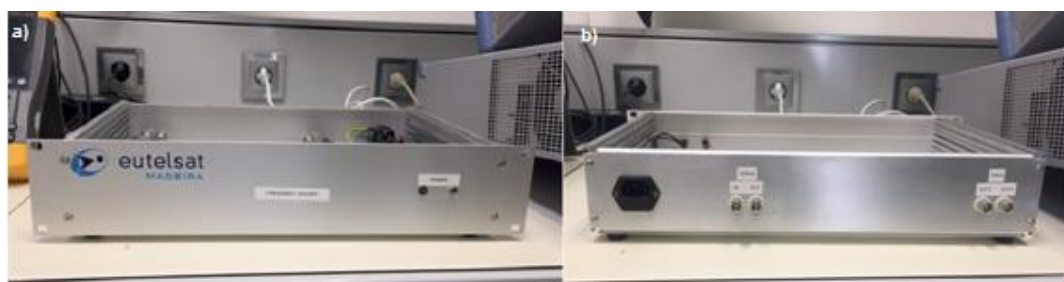


Figura 5.3. Caixa utilizada. a) Parte da frente da caixa. b) Parte de trás da caixa.

Com o intuito de ter disponível uma amostra do sinal de entrada (10 MHz), característica deste tipo de equipamentos, colocou-se na entrada um *Splitter* de 1:2, Figura 5.4, da MCLI (*Microwave communications laboratories*).

Por forma a disponibilizar duas saídas (5 MHz), uma vez que na aplicação final existe a necessidade de dois sinais, utilizou-se igualmente na saída um *Splitter* de 1:2, Figura 5.4, da MCLI (*Microwave communications laboratories*).

Em cada porta de saída os *splitters* têm perdas de cerca de 3.2dBs. O seu comportamento ao longo da frequência encontra-se apresentado no anexo I. Para a medição utilizou-se um medidor de potência representado no anexo H.



Figura 5.4. *Splitter* utilizado.

Na Figura 5.5 apresenta-se o equipamento, divisor de frequências, na sua aparência final. O *splitter* de entrada recebe o sinal proveniente do receptor de GPS, encaminha parte para o circuito divisor de frequência e disponibiliza parte dele na saída de *Loop*. O *splitter* de saída, que permite ter duas saídas de 5 MHz com metade da amplitude do sinal da saída do divisor, foi ligado ao mesmo através de uma curva (*Elbow*, representada a azul) sendo a sua resposta na frequência apresentada no anexo K.

Para estabelecer as ligações RF foram também utilizados cabos coaxiais (RG50) com conectores BNC, produzidos no decorrer deste trabalho, cujo comportamento ao longo da frequência encontra-se apresentado no anexo M. Os conectores escolhidos para frequência de 10 MHz garantem uma baixa atenuação e baixas perdas de conexão cerca de 0,2 dB.

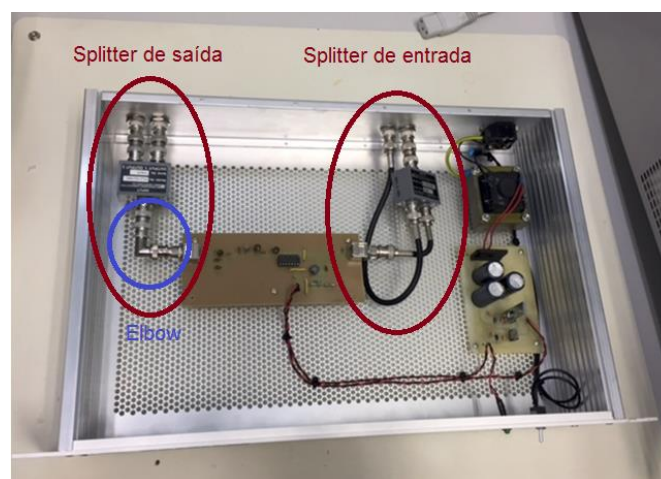


Figura 5.5. Equipamento implementado.

A Figura 5.6 apresenta o divisor de frequência ligado ao equipamento de distribuição. O equipamento de distribuição está preparado para detectar na sua entrada sinais referência de 1 MHz, 5 MHz ou 10 MHz e analisar a sua qualidade em amplitude e frequência. Quando o sinal é reconhecido e de qualidade o equipamento indica qual a frequência através do correspondente Led e acende os Leds de saída no caso de o sinal ser de qualidade. Como se pode verificar o Led da frequência de 5 MHz está activo bem como as saídas do distribuidor, comprovando assim a qualidade do sinal gerado pelo divisor de frequência.



Figura 5.6. Divisor ligado ao distribuidor.

## 5.2 Verificações experimentais e testes realizados ao divisor de frequência

Foram realizados testes ao divisor de frequência por forma a verificar o seu comportamento geral e módulo a módulo. Para a realização dos testes e verificações experimentais utilizou-se o sinal de referência proveniente do receptor de GPS, um gerador de sinal modelo SMF100A da Rohde&Schwarz para a verificação da gama dinâmica do equipamento, um analisador de espectro FSL18 da Rohde&Schwarz para visualizar o espectro de saída do sinal e o *Vector analisador vectorial* da Keysight modelo N9918A para verificar a impedância do circuito divisor de frequência.

### 5.2.1 Verificações experimentais do circuito Offset DC do sinal e do desacoplamento DC

A Figura 5.7 representa o circuito Offset do sinal (circunferência a preto) e desacoplamento (circunferência a branco).

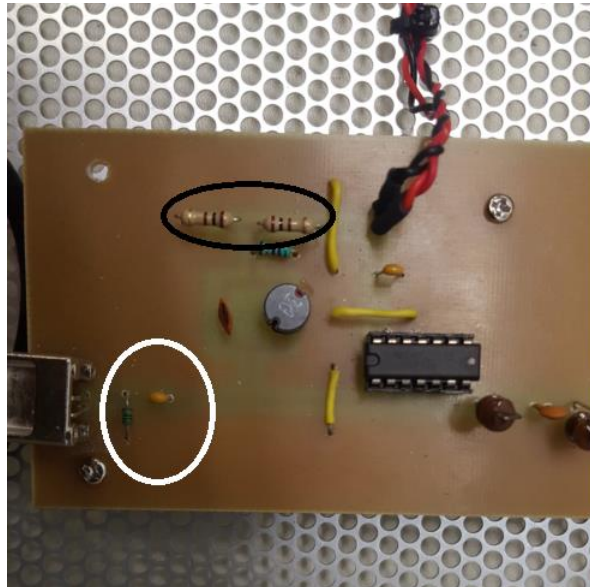


Figura 5.7. Circuito Offset de sinal (a preto) e desacoplamento de sinal (a branco).

Para a verificação de resultados usou-se a mesma configuração utilizada na Figura 4.13 secção 4.3.2 sendo os resultados experimentais representados na Figura 5.8. O sinal A, a vermelho, corresponde ao sinal de entrada do divisor de frequência e o sinal B, a azul, corresponde ao sinal de saída centrando em 1,2 V. Como pretendido, o sinal de saída oscila em torno dos 1,2 V atingindo os valores de tensão máximos ( $V_{IH}$ ) e mínimos ( $V_{IL}$ ) necessários para que o flip-flop D realize as comutações entre os níveis lógico “1” e “0”.

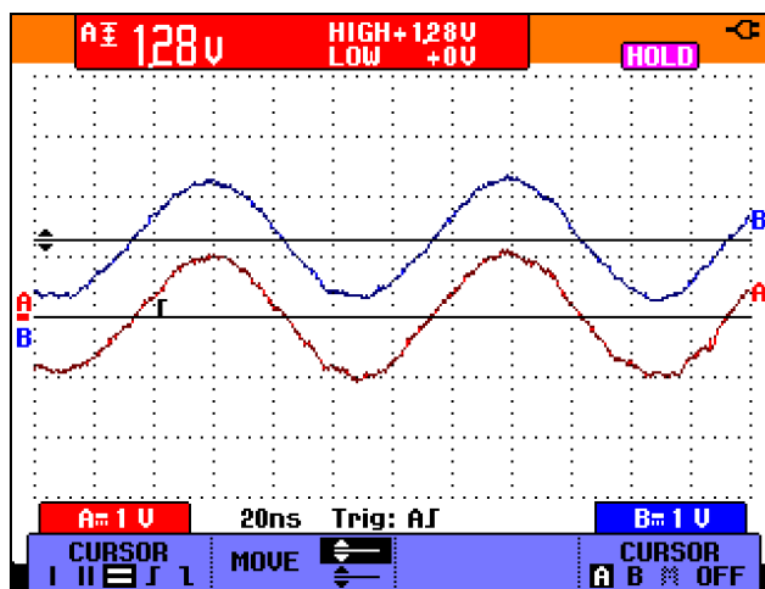


Figura 5.8. Resultados experimentais do Offset de sinal.

Os resultados obtidos estão de acordo com os obtidos em simulação apresentados na Figura 4.14 secção 4.3.2.

Quanto ao desacoplamento DC, verifica-se que o sinal de saída (Figura 5.8 B, a azul) contém componente DC de 1,28 V estando por isso deslocado

para a parte superior da imagem, no entanto essa componente não existe no sinal de entrada (Figura 5.8 A, a vermelho) estando por isso o sinal centrado em 0 V. Verifica-se assim o correcto isolamento da componente DC.

### 5.2.2 Verificações experimentais ao desacoplador de RF

A Figura 5.9 representa o circuito desacoplador RF (circunferência a preto).

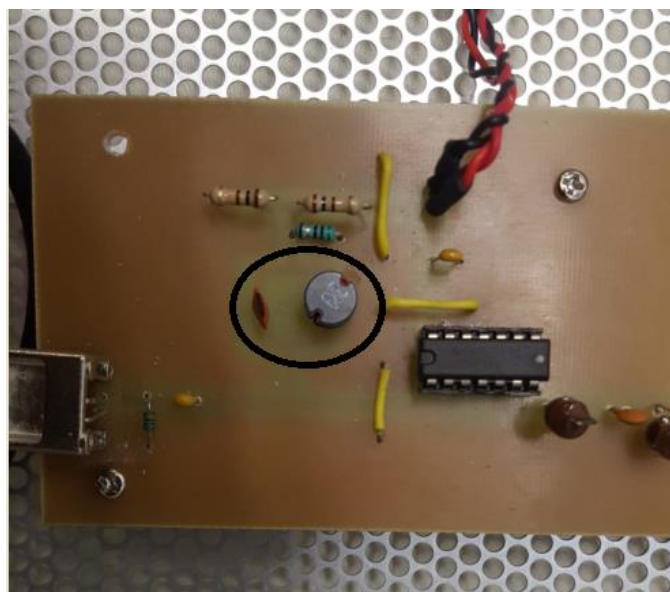


Figura 5.9. Circuito desacoplador de RF (circunferência a preto).

Para verificação dos resultados experimentais usou-se a configuração utilizada na Figura 4.17 secção 4.3.3 sendo os resultados experimentais representados na Figura 5.10. Para a frequência de 10 MHz o circuito apresenta uma atenuação de 44 dB.

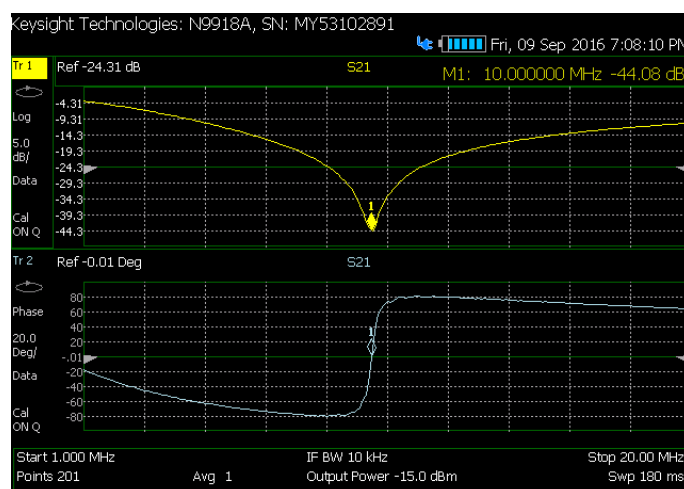


Figura 5.10. Representação da curva característica do desacoplador de RF.

Os resultados simulados pelo Multisim apresentados na Figura 4.18 secção 4.3.3 apresentam uma atenuação de 42 dB. A diferença de 2 dB entre a componente experimental e simulada deve-se à exactidão dos componentes embora, por ser um valor significativamente reduzido, pode-se confirmar que os resultados encontram-se em conformidade.

Na Figura 5.11 verifica-se o comportamento do desacoplador RF no tempo. O sinal A, a vermelho, corresponde ao sinal de 10 MHz ao qual foi adicionado um offset de 1,27 V, estando por isso deslocado para a parte superior da imagem. O sinal B, a azul, corresponde à componente DC de 1,27 V a qual não deve ser interferida pelos 10 MHz. Como se pode observar numa escala de 500 mV/div essa interferência é praticamente nula. Verifica-se assim o correcto funcionamento do desacoplador RF.

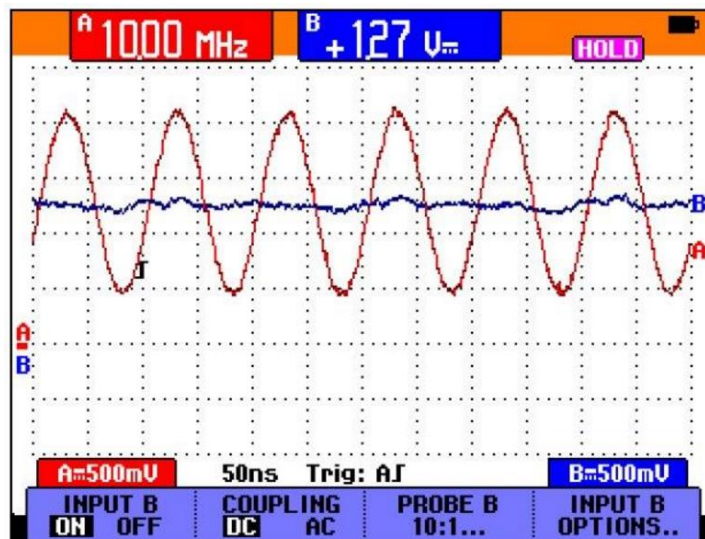


Figura 5.11. Resultados experimentais do circuito desacoplador de RF.

### 5.2.3 Verificações experimentais do Flip-Flop D

A Figura 5.12 apresenta o Flip-flop D e o condensador de ajuste (C8 da Figura 5.1) utilizado para eliminar outros sinais que influenciavam no seu comportamento.



Figura 5.12. Flip-flop D utilizado (circunferência a preto), condensador para eliminar sinais parasitas (circunferência a branco).

Para a verificação dos resultados, utilizou-se a mesma configuração da Figura 4.23 no capítulo 4.3.5 sendo os resultados experimentais representados na Figura 5.13. A forma de onda de saída deveria ser idealmente quadrada como apresentado na Figura 4.24 no capítulo 4.3.5, o mesmo não acontece devido à presença de outros sinais na tensão de alimentação provenientes do circuito Offset que provocam *overshoots* e *undershoots* na saída do flip-flop D.

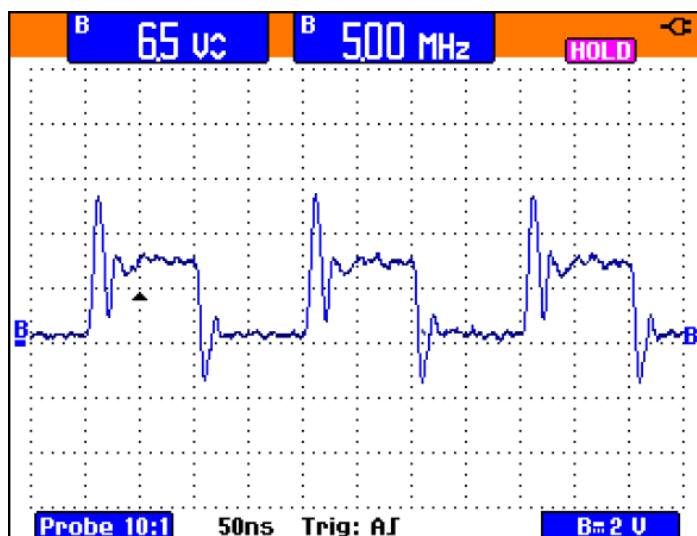


Figura 5.13. Fenómeno *overshoot* e *undershoot* provocado no Flip-flop D.

Por forma a reduzir esse fenómeno sem alterar o circuito desacoplador de RF, para eliminar mais eficientemente os 10 MHz e seus harmónicos, utilizou-se um condensador de 47 nF colocado na linha dos 5 V Figura 5.12 representado com uma circunferência a branco. Em seguida, voltou-se a verificar o comportamento do flip-flop, este apresentou uma diminuição dos *overshoots* e *undershoots* tendo um comportamento mais próximo do simulado (Figura 4.24, secção 4.3.5). Os resultados obtidos encontram-se na Figura 5.14.

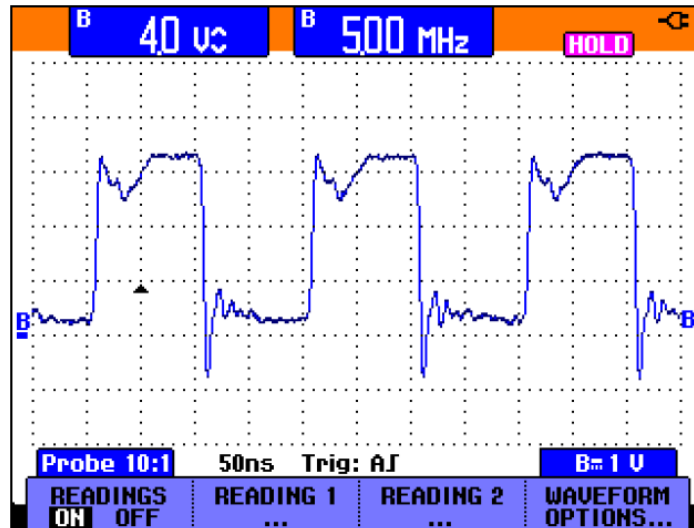


Figura 5.14. Resultados obtidos com a inserção do condensador de 47nF.

#### 5.2.4 Verificações experimentais ao Conversor

Na Figura 5.15 apresenta-se um conversor implementado separadamente por forma a simplificar a realização dos testes. O seu esquema PCB apresenta-se no anexo O.

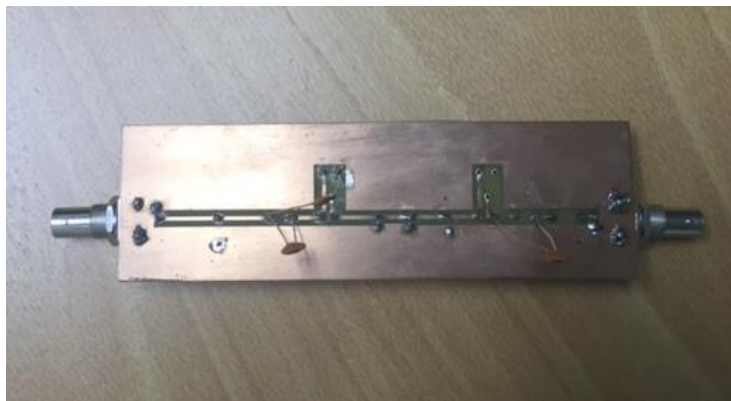


Figura 5.15. Circuito do conversor implementado.

Para a medição da sua largura de banda e para visualizar as curvas características usou-se o analisador de espectro na configuração utilizada na secção 4.3.6 Figura 4.25.

Como mencionado anteriormente foram realizados ajustes por forma a melhorar o comportamento do circuito. Para isso, colocou-se condensadores de 100 pF na entrada e na saída do circuito por forma a melhorar a curva característica do conversor. A Tabela 10 apresenta os ajustes testados.

Tabela 10. Tabela ilustrativa do manuseamento dos condensadores utilizados para o acerto do conversor.

Condensadores	Cor usada	Característica
Sem condensadores	Rosa	Sem condensadores
100pf	Verde	Só condensador de entrada
100pf entrada e 200pf saída	Azul	Condensadores de entrada e saídas ligadas
200pf	Preto	Só condensadores de saída

A Figura 5.16 apresenta a resposta em frequência do conversor em função dos testes realizados variando os condensadores de acordo com a Tabela 10. Na Figura 5.17 apresenta-se a resposta no tempo do conversor para os vários testes.

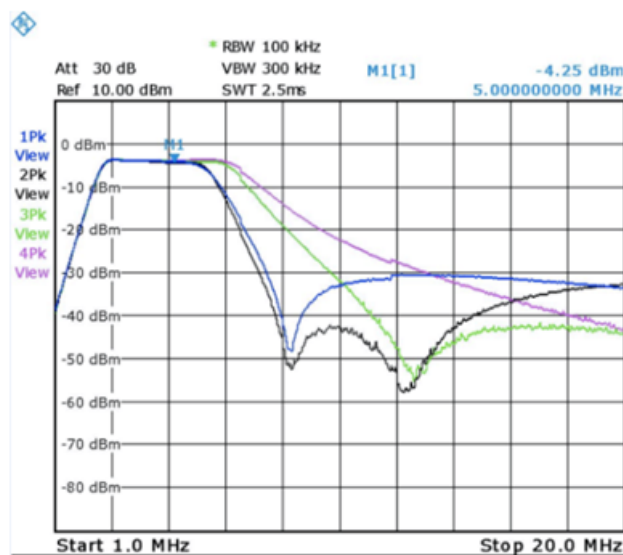


Figura 5.16. Resposta em frequência do conversor em função dos diferentes testes de condensadores.

Verifica-se pela Figura 5.16, a rosa, que o conversor não estava a ter o comportamento desejado ficando demasiado largo no lado superior da banda englobando também a segunda harmónica do sinal a 15 MHz. Embora o conversor atenua a segunda harmónica em cerca de 30 dB, esta ainda interfere na forma de onda de saída não sendo possível obter um sinal sinusoidal perfeito. A forma de onda obtida encontra-se na Figura 5.17a) onde verifica-se que não é uma forma de onda perfeitamente sinusoidal pelo facto de existirem harmónicos ímpares que influenciam a resposta de saída. Ao introduzir condensadores na entrada, representado na Figura 5.16 a verde, o filtro tem uma melhor resposta na frequência tornando-se mais estreito no lado superior da banda conseguindo com que o segundo harmónico esteja a cerca de 50 dBm abaixo em relação aos 5 MHz (primeiro harmónico). Embora a forma de onda do sinal tenha melhorado o conversor ainda encontra-se demasiado largo

para que seja possível retirar apenas o primeiro harmónico apresentando uma forma de onda sinusoidal com uma ligeira inclinação nas suas bordas laterais como se verifica na Figura 5.17b). Em seguida, com os condensadores de entrada e saída ligados, Figura 5.16 a azul, obtêm-se melhores resultados onde se verifica o conversor mais estreito. Apesar de não ser possível observar na Figura 5.17c) verificou-se que o sinal tinha ligeiras oscilações na amplitude. Por fim, só com os condensadores de saída, Figura 5.16 a preto, os resultados são os esperados. O sinal apresenta uma forma de onda sinusoidal sem oscilações como se pode verificar na Figura 5.17d).

Em conclusão optou-se pela solução de ajuste com colocação de dois condensadores de 100 pF na saída (C6 e C7 da Figura 5.1) por apresentar os melhores resultados pois apresenta uma forma de onda sinusoidal perfeita na saída sem oscilações de amplitude.

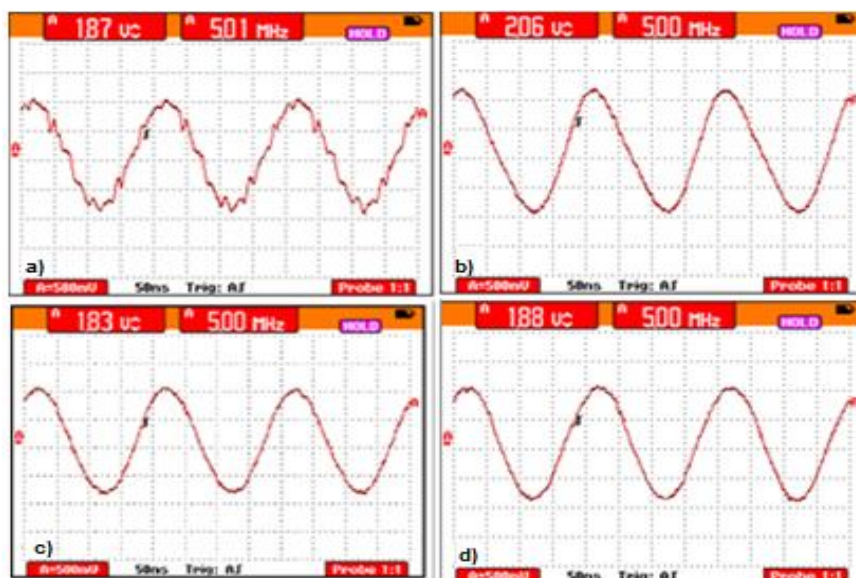


Figura 5.17. Resultados temporais no conversor em função do manuseamento dos condensadores.

Na Figura 5.18a) com o auxílio dos marcadores do analisador de espectro, colocou-se os marcadores diferenciais (D2 e D3) a -3 dBm, metade da potência, e um marcador (M1) nos 5 MHz por forma a obter a largura de banda do conversor. Pela análise dos resultados verifica-se que a largura de banda é de 3,85 MHz, cerca de 1,47 MHz mais estreito que o dimensionado no secção 3.2.5.1. Esta diferença de largura de banda deve-se ao estreitamento provocado pela inserção dos condensadores de ajuste anteriormente referidos, a largura de banda teórica só seria comparável com o circuito sem condensadores, Figura 5.16 a rosa.

Na Figura 5.18b), foi adicionado um novo marcador diferencial (D4) correspondente a frequência do segundo harmónico a 15 MHz. Este encontra-

se 35,75 dBm abaixo do primeiro harmónico do sinal a 5 MHz, podendo ser ignorado.

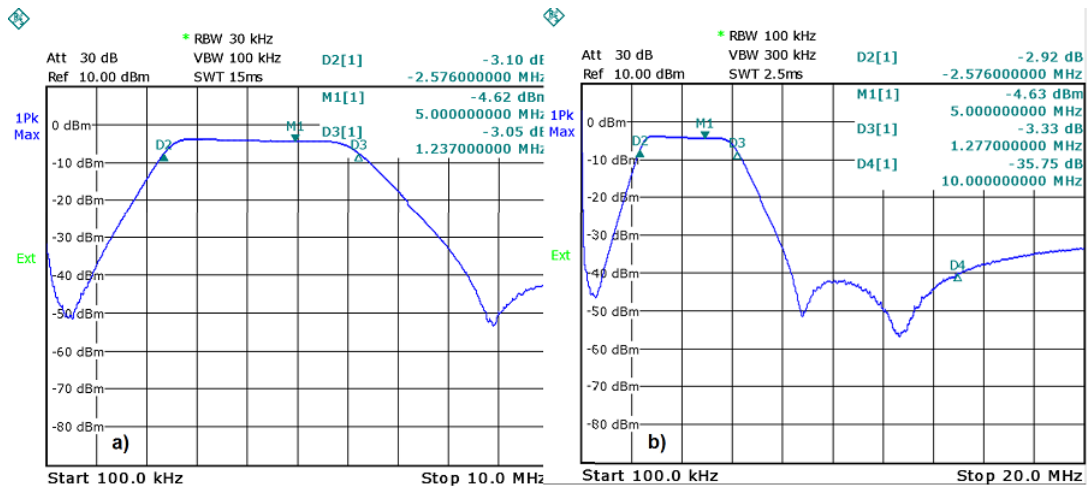


Figura 5.18. Resposta do conversor com: a) Marcadores para a medição da largura de banda; b) Marcador para o segundo harmónico.

Na Figura 5.19 obtida através do analisador vectorial, apresenta-se a frequência central, a fase e o VSWR. Verifica-se que os parâmetros em análise do conversor não se encontram centrados devido à introdução dos condensadores de ajuste.

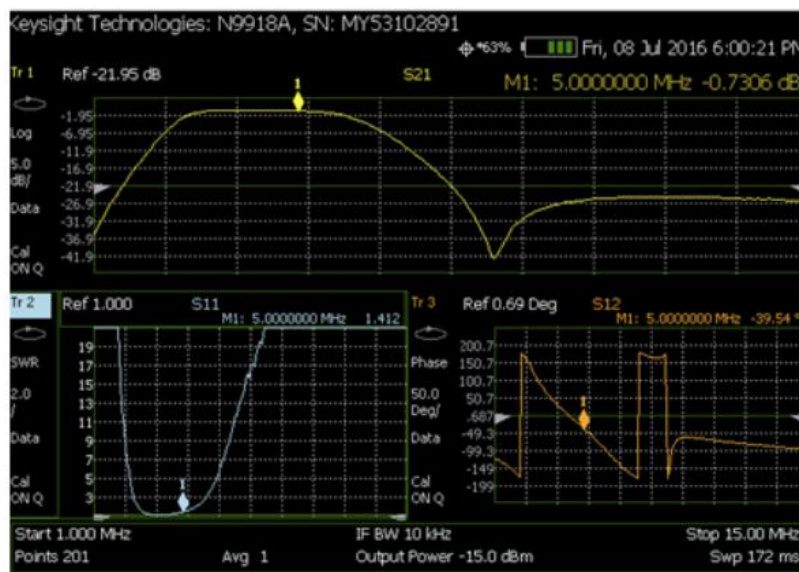


Figura 5.19. Análise dos parâmetros mais importantes do conversor. a) Comportamento na frequência; b) VSWR; c) Fase.

Na Figura 5.20 o sinal quadrado A, a vermelho, corresponde à saída do flip-flop D e o sinal sinusoidal B, a azul, corresponde à saída do conversor. Verifica-se que o conversor está a filtrar o sinal A deixando passar unicamente o harmónico fundamental transformando assim o sinal numa sinusóide. Os resultados obtidos estão de acordo com os obtidos em simulação apresentados na Figura 4.27 secção 4.3.6.

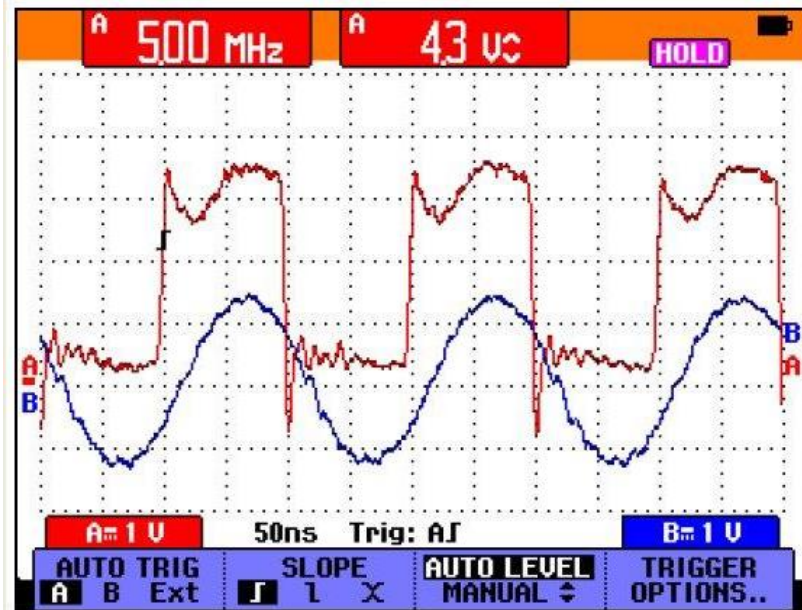


Figura 5.20 Recuperação do primeiro harmônico.

Na Figura 5.21 obtida através do analisador vectorial, apresenta-se as impedâncias de entrada e de saída do conversor. Em ambas verifica-se uma desadaptação em relação aos 50 Ω. Na entrada Figura 5.21a), o circuito encontra-se com uma impedância de  $68,3 - j8,6 \Omega$  (capacitiva) enquanto na saída, Figura 5.21b) encontra-se com uma impedância de  $46,9 + j10,3 \Omega$  (indutiva). Este desvio das impedâncias foi devido as correcções introduzidas no circuito através dos condensadores anteriormente referidos.

Uma forma de corrigir a adaptação do circuito para 50 Ω seria utilizando uma malha de adaptação para compensar a parte real e condensadores e bobines para compensar a parte imaginaria. Caso essa componente imaginária seja capacitiva é compensada com condensadores. Caso contrário, se a componente imaginaria for indutiva, é compensada por bobines.

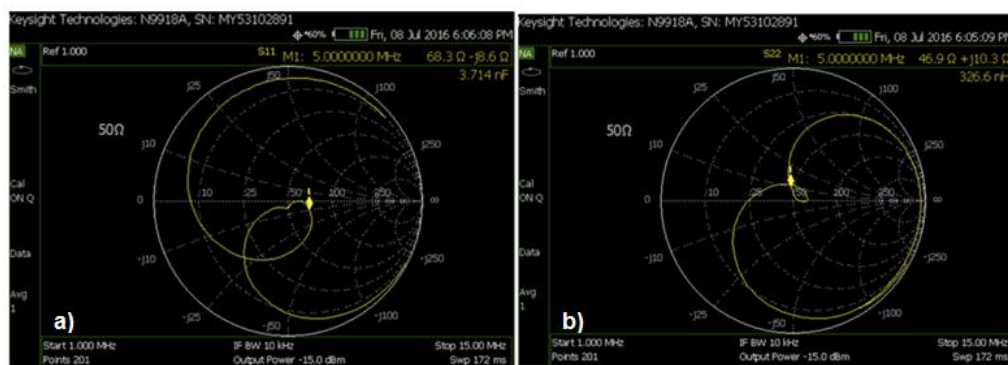


Figura 5.21.a) Impedância de entrada; b) Impedância de saída.

### 5.2.5 Fonte de tensão

A Figura 5.22 representa a fonte de tensão utilizada. O seu esquema PCB encontra-se no anexo P.

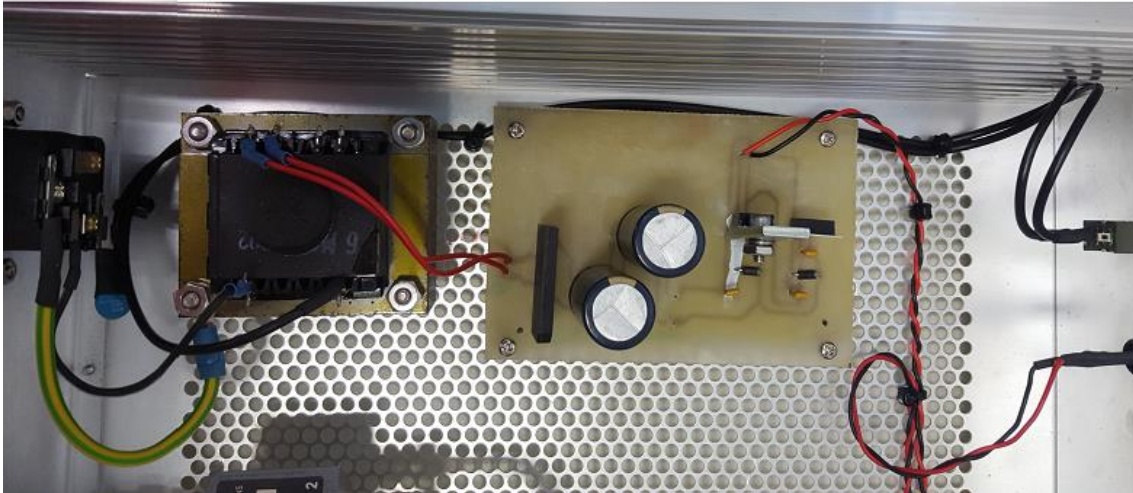


Figura 5.22. Fonte de tensão utilizada

Para a verificação de resultados utilizou-se a mesma configuração utilizada na Figura 4.29 secção 4.3.7, sendo os resultados experimentais representados na Figura 5.23. O sinal A, a vermelho, corresponde ao sinal de entrada a  $20\text{ V}_{AC}$  de pico e o sinal B, a azul, corresponde ao sinal de saída de  $18,6\text{ V}_{DC}$ . O efeito de oscilação que se pode observar na saída corresponde ao facto dos condensadores não terem tempo de atingir a carga máxima entre ciclos, para a potência pedida, a esse efeito dá-se o nome de ripple. Por forma a medir o ripple aumentou-se a escala do sinal B para  $50\text{ mV/div}$  verificando-se assim que o ripple é de  $63\text{ mV}$ .

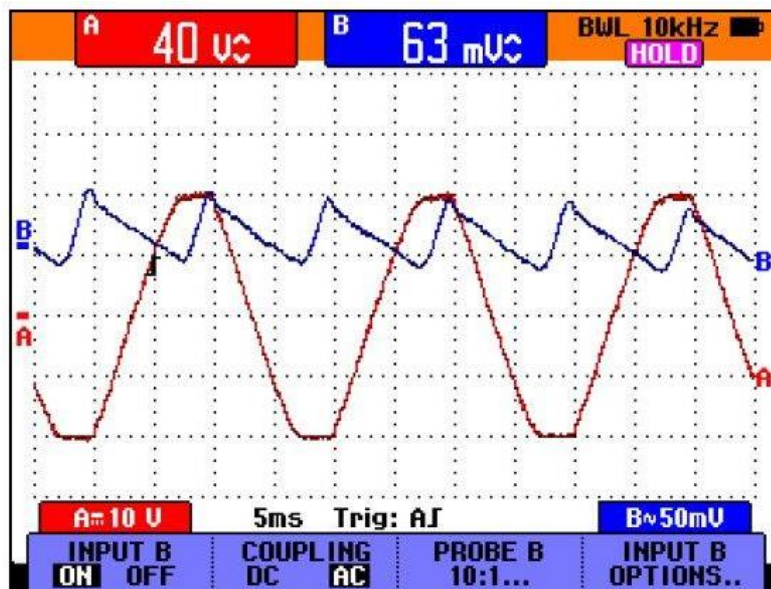


Figura 5.23. Verificação do ripple da fonte de tensão.

Os resultados obtidos teoricamente e em simulação apresentaram um valor de ripple de  $45\text{ mV}$ , esta diferença de resultados ocorre pelo facto da potência total consumida pelo circuito  $P_T$  ser superior à estipulada ( $0,3\text{ W}$ ) devido a potência dissipada no regulador (7805). Por forma a obter os valores

reais debitados pelo circuito recalculou-se os valores de  $R_{eq}$ ,  $I_C$  e  $P_T$ , utilizando as equações de dimensionamento apresentadas na secção 3.2.7. Repetindo a simulação com os valores recalculados ( $R_{eq} = 222 \Omega$ ;  $I_C = 83 \text{ mA}$  e  $P_T = 0.4 \text{ W}$ ) obteve-se um ripple de 63 mV o qual está de acordo com o valor experimental.

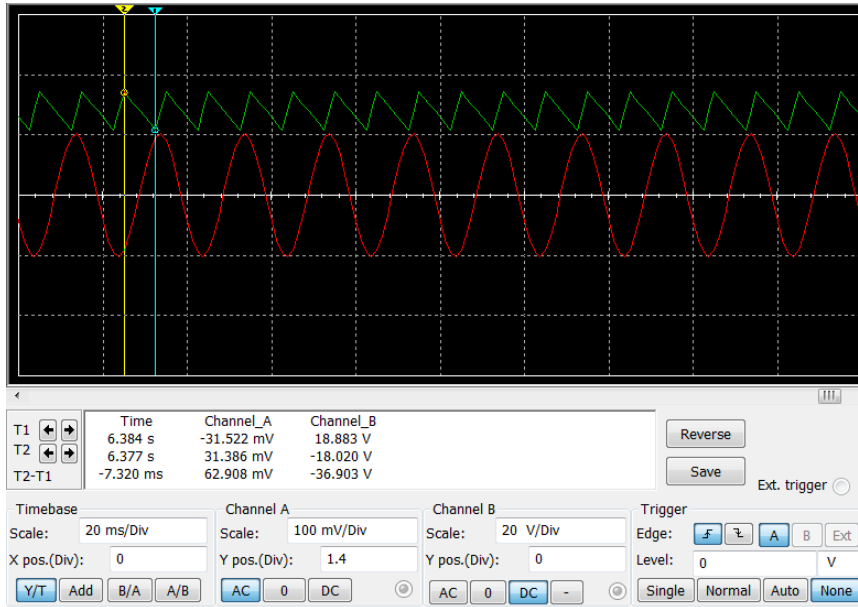


Figura 5.24. Verificação do novo valor de ripple simulado.

A Figura 5.25 apresenta o sinal após a passagem pelo regulador de tensão onde verifica-se uma saída constante aproximada de 5 V tal como era esperado.

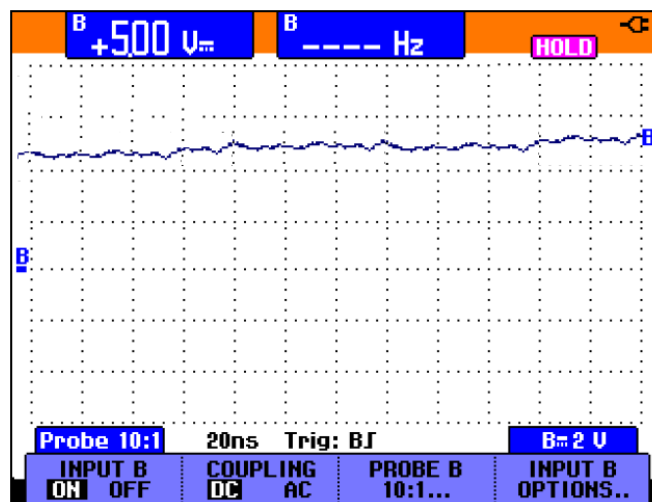


Figura 5.25. Sinal de saída após o regulador tensão.

### 5.2.6 Verificação da gama dinâmica do divisor de frequência

Por forma a verificar a gama dinâmica utilizou-se a montagem indicada na Figura 5.26.

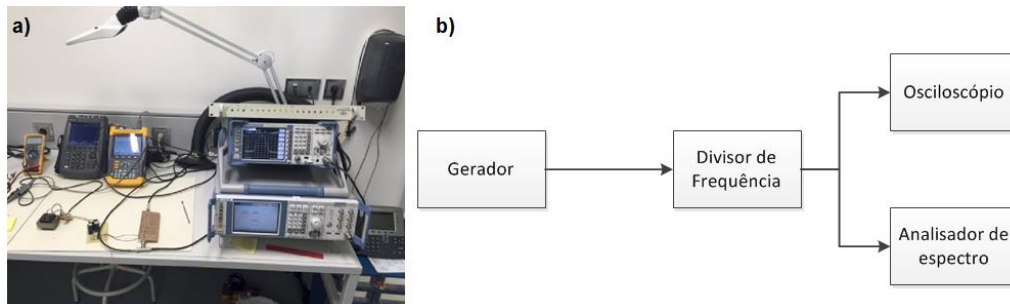


Figura 5.26. Teste à gama dinâmica. a) Foto do teste; b) Diagrama do teste.

Partindo de uma potência de funcionamento de 9,5 dBm, variou-se a potência do gerador para encontrar a potência máxima e mínima de funcionamento do divisor de frequência. Para a apresentação dos resultados usou-se um osciloscópio e um analisador de espectros, realizando uma análise temporal e espectral do sinal de saída.

Para determinar a potência mínima, diminuiu-se a potência de entrada do circuito e verificou-se que o circuito começa a funcionar perfeitamente para uma potência de entrada de 0,18 dBm. Os resultados do teste no espectro e no tempo encontram-se na Figura 5.27a) e na Figura 5.27b) respetivamente. O sinal encontra-se com uma potência de 7,61 dBm e com uma amplitude pico-a-pico de 1,7 V apresentando uma forma de onda perfeitamente sinusoidal.

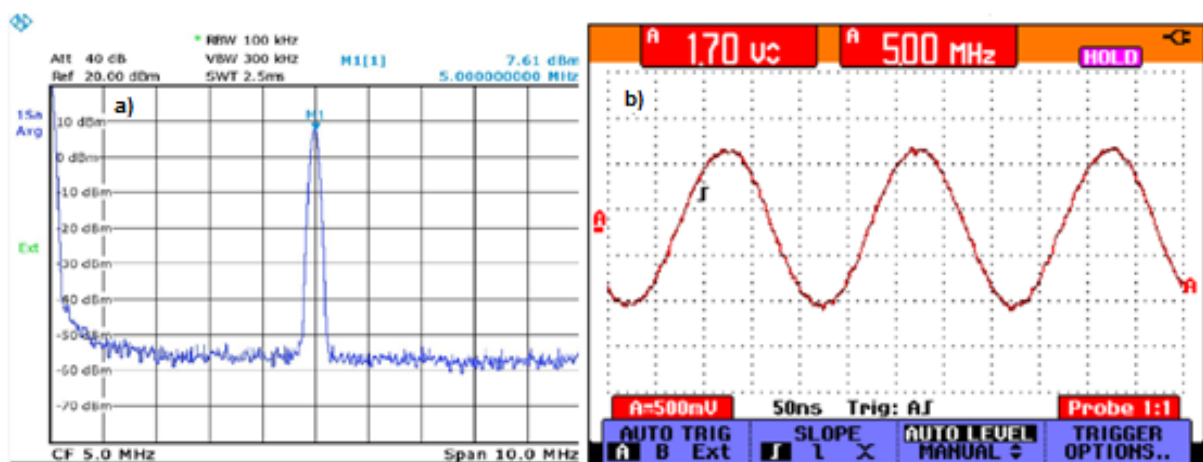


Figura 5.27. Sinal de entrada a 0,18 dBm; a) Sinal de saída obtido pelo Analisador de Espectros; b) Sinal de saída obtido pelo Osciloscópio.

Não foi possível determinar a potência máxima de funcionamento do divisor de frequência uma vez que este apresentou resultados satisfatórios, não saturou, quando a potência de entrada foi variada até ao máximo permitido pelo gerador de sinais, cerca de 30 dBm. Os resultados do teste no espectro e no tempo encontram-se na Figura 5.28a) e na Figura 5.28b) respetivamente. O sinal encontra-se com uma potência de 7,87 dBm e com uma amplitude pico-a-pico de 1,7 V apresentando uma forma de onda perfeitamente sinusoidal.

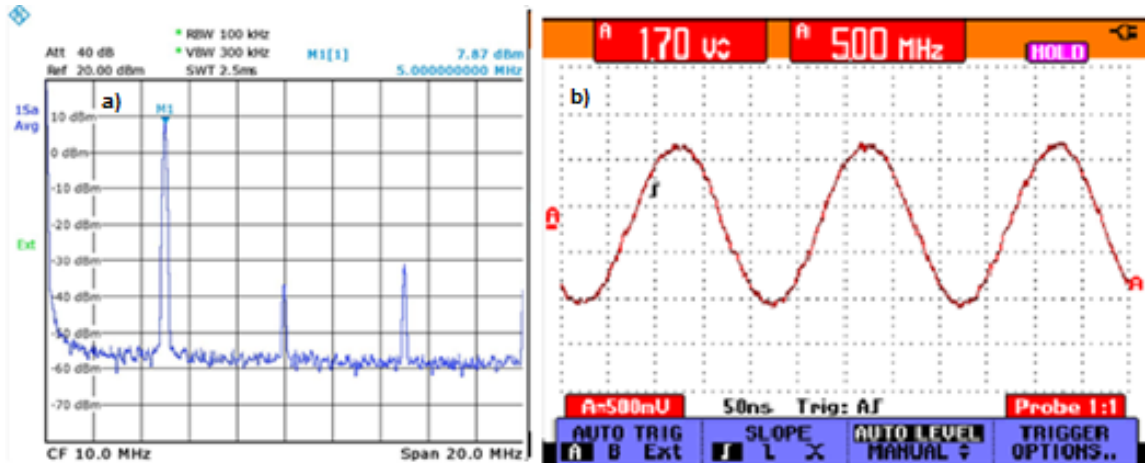


Figura 5.28. Sinal de entrada a 30 dBm; a) Sinal obtido com o analisador de espectro; b) Sinal obtido com o osciloscópio.

Podemos assim afirmar que a gama de funcionamento do circuito referente ao sinal de entrada é de 0,18 dBm a pelo menos 30 dBm.

Devido à barreira existente na conversão do sinal analógico para digital proporcionado pelo flip-flop D, as variações de amplitude do sinal de entrada não interferem com o sinal de saída.

### 5.2.7 Testes realizados com o sinal referência (10 MHz)

Na Figura 5.29 apresenta-se as características do sinal de referência proveniente do GPS. Na Figura 5.29a) e Figura 5.29b) apresentam-se as suas características espectrais e temporais respectivamente. O sinal de referência apresenta uma potência de 9.44 dBm a uma frequência de 10 MHz e dois harmónicos (D2 com 2,9 MHz e D3 com 20 MHz).

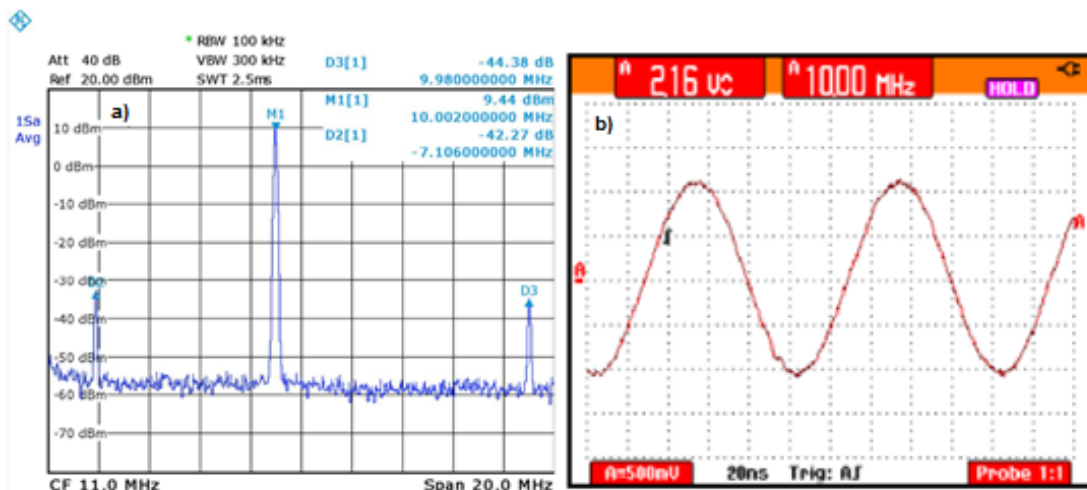


Figura 5.29. Sinal de referência proveniente do GPS: a) Sinal obtido com o analisador de espectro; b) Sinal obtido com o osciloscópio.

Para a realização do teste, injectou-se o sinal referência na entrada do divisor de frequência e ligou-se na saída o osciloscópio e o analisador de

espectro por forma a verificar o seu comportamento no tempo e no espectro. O diagrama de teste realizado encontra-se na Figura 5.30.

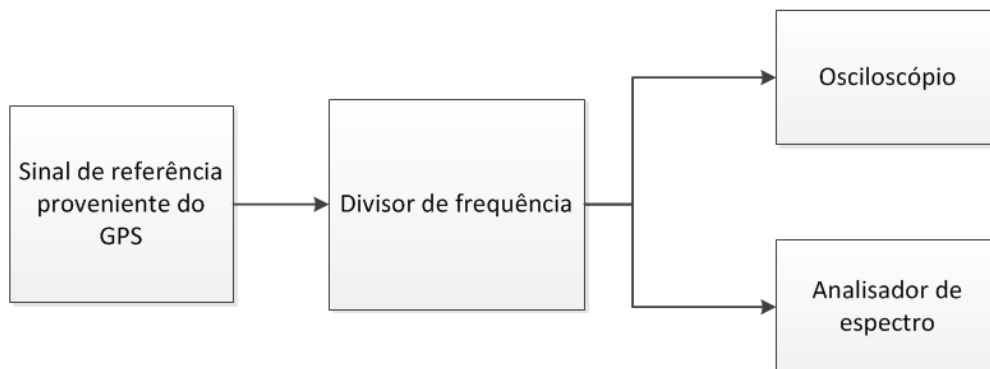


Figura 5.30. Diagrama de teste utilizado com o sinal de referência.

Os resultados experimentais encontram-se na Figura 5.31a) obtidos pelo espectro e na Figura 5.31b) obtidos pelo osciloscópio. Pela análise espectral verifica-se que o harmónico fundamental M1, a 5MHz é gerado correctamente dando origem ao sinal sinusoidal que se pode ver na análise temporal. Pode-se verificar também a presença do segundo harmónico impar D3 a 15 MHz e do subarmónico D2 a 10 MHz, estes apesar de não serem desejados não influenciam na forma de onda de saída pelo facto de terem uma potência de -37 dBm e -41 dBm, respectivamente, em relação ao harmónico fundamental.

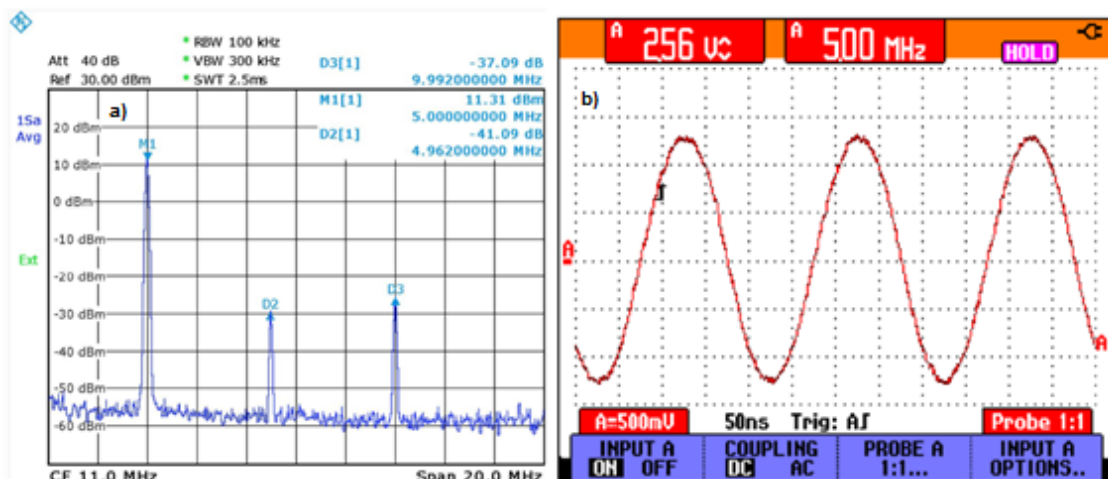


Figura 5.31. Sinal obtido na saída com o sinal de referência ligado ao divisor de frequência. a) Obtido pelo analisador de espectros; b) Obtido com o osciloscópio.

Na Figura 5.32a) representa-se o sinal de referência a 10 MHz e na Figura 5.32b) representa-se o sinal na saída do divisor de frequência a 5 MHz. Ambas as Figuras foram obtidas com o analisador de espectro utilizando os mesmos parâmetros. Verifica-se que o sinal de referência de 5 MHz obtido na saída do divisor tem uma forma de onda semelhante ao sinal de referência de 10 MHz presente na entrada do divisor, tal como era pretendido. De notar que

o sinal de 5 MHz tem uma amplitude cerca de 3,25 dB superior ao outro, no entanto este fato não é limitativo uma vez que será instalado um *splitter* na saída do divisor que atenuará cerca de 3 dB.

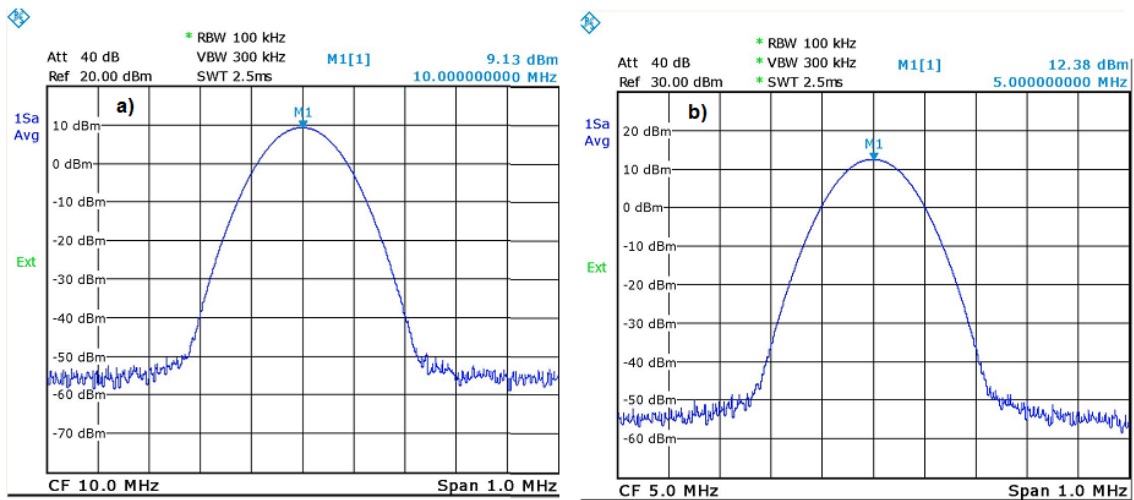


Figura 5.32. Diferença de potência entre o sinal GPS e o sinal de saída. a) Sinal GPS; b) Sinal obtido com o divisor de frequência.

Na Figura 5.33a) e Figura 5.33b) apresentam-se a análise espectral e temporal, respectivamente, do sinal na saída do divisor de frequência após a colocação do *splitter*. Verifica-se que o sinal de saída é atenuado cerca de 3,58 dB devido ao facto da potência ser dividida por dois (3dB) e algumas perdas introduzidas pelos conectores adicionais. Obtemos assim, na saída, um sinal de referência de 5 MHz com cerca 9 dBm de amplitude tal como era pretendido.

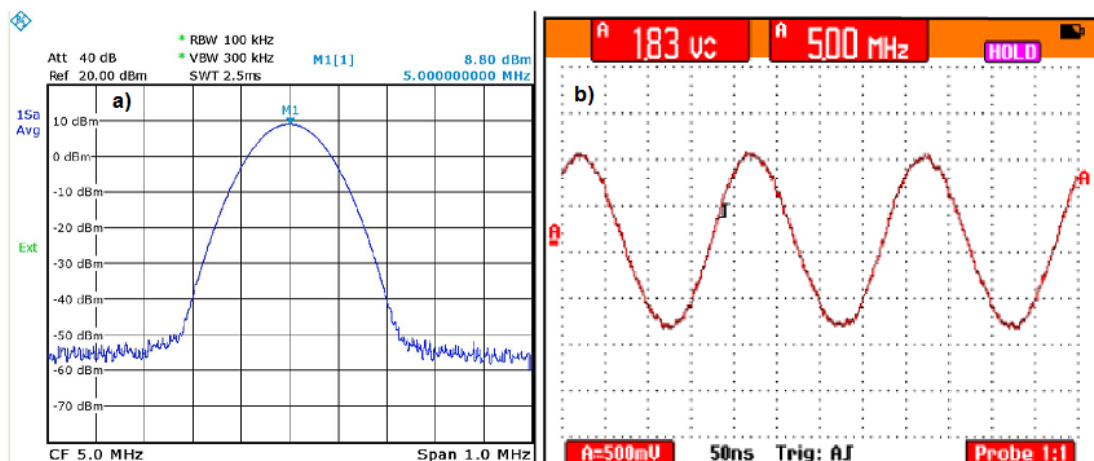


Figura 5.33. Sinal obtido em um dos portos do *splitter* de saída. a) Sinal obtido no espectro; b) Sinal obtido no tempo.

### 5.2.8 Teste de Estabilidade

Realizou-se um teste de estabilidade em frequência e em amplitude ao divisor de frequência para verificar o seu comportamento durante 20 horas. Para isso, recorreu-se a um Software criado pela empresa Eutelsat que comunica com o analisador de espectros o qual permite registar amostras do sinal de 2 em 2 segundos. As amostras são posteriormente analisadas para verificação de possíveis variações de amplitude ou de frequência do sinal ao longo do teste. O diagrama do teste realizado encontra-se na Figura 5.34

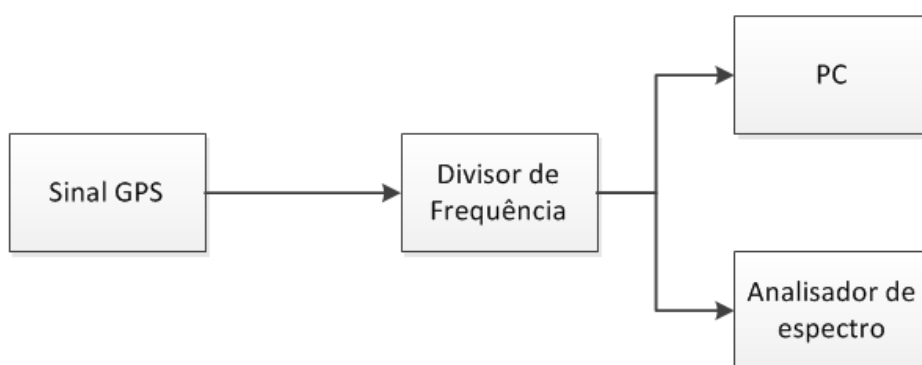


Figura 5.34. Sistema de teste utilizado para verificar a estabilidade do circuito.

Na Figura 5.35 encontram-se os resultados dos testes de estabilidade, na qual se pode ver todas as amostras acumuladas. Os traços a vermelho e a azul representam os valores máximos e mínimos respectivamente das amostras e o traço verde a média das amostras.

Pela análise da imagem verifica-se que no topo do sinal, aos 5 MHz, os três traços são coincidentes o que significa que não houve variação da amplitude do sinal durante o teste, a qual se manteve a 9 dBm. Verifica-se também que os traços nas zonas ascendentes e descendente do sinal são mais uma vez coincidentes significando que não houve variação de frequência durante o teste, a qual se manteve a 5 MHz. Fora da banda do sinal os três traços não são coincidentes pelo facto de serem zonas sem sinal, ou seja os valores apresentados correspondem ao ruído que é de natureza aleatória originando assim valores de máximo, mínimo e média díspares.

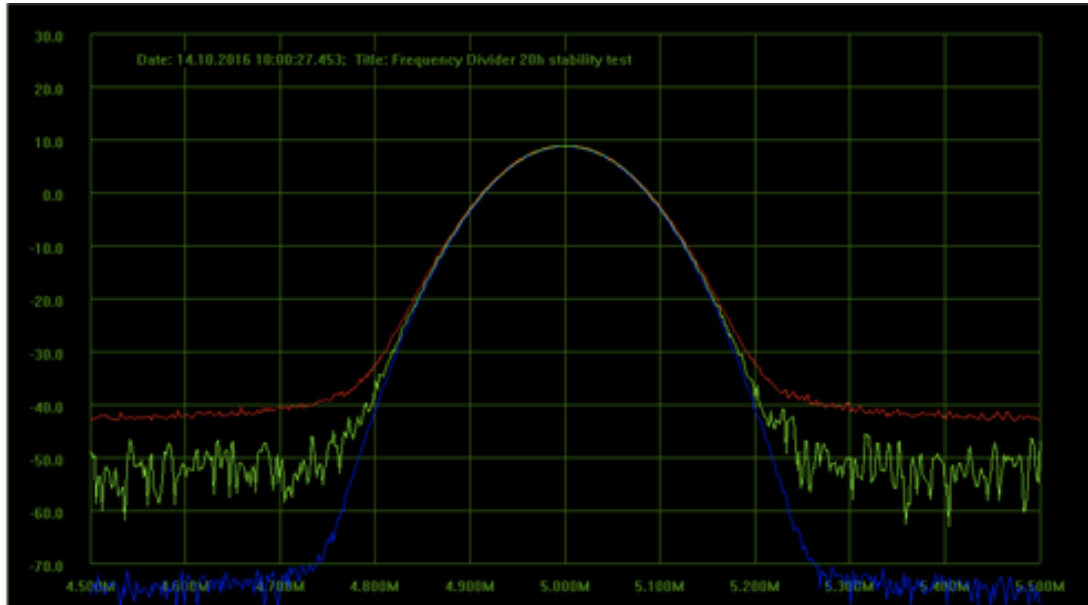


Figura 5.35. Teste de estabilidade (amplitude e frequência) realizado pelo Software.

### 5.3 Conclusões

Neste capítulo foi testado o divisor digital de frequência. Ao longo dos testes o divisor sofreu algumas alterações relativamente ao projectado na teórica e testado na simulação pelo facto de ter sido necessário realizar alguns ajustes por forma a maximizar o circuito implementado. A maior parte dos ajustes realizados foram devidos a pequenas discrepâncias dos valores dos componentes justificados pela tolerância dos mesmos.

Quanto ao conversor, foi necessário acrescentar dois condensadores de 100 pF em paralelo com a bobine de saída pois este estava muito largo na frequência de corte superior, apesar de nas simulações realizadas os resultados estarem de acordo com o projetado.

Na fonte de tensão teve que ser acrescentado um condensador de 47 nF na saída dos 5 V por forma a eliminar outros sinais que causavam algumas perturbações na estabilidade do circuito flip-flop D originando alguns *overshoots* e *undershoots* no seu sinal de saída.

Assim, verificou-se a dificuldade de projectar circuitos em radiofrequência onde muitas das vezes os resultados obtidos na teórica e na simulação não coincidem com resultados práticos. Estas discrepâncias acontecem devido às características intrínsecas dos componentes e à sua capacidade de reagir às altas frequências, bem como aos pormenores de desenho do circuito impresso.



## **6 Comentários finais e conclusões**

### **6.1 Introdução**

Neste capítulo, apresentam-se as conclusões finais do trabalho realizado. Lembrando os pontos mais importantes desenvolvidos nos capítulos anteriores e apresentando desenvolvimentos futuros que permitam melhor o desempenho do circuito em questão.

### **6.2 Observações finais e principais resultados obtidos no trabalho**

Foi verificada a real importância dos divisores de frequências nas telecomunicações e a sua capacidade de lidar com sinais complexos.

Com o desenvolvimento da tecnologia, mais especificamente da conversão analógica-digital e da capacidade de processamento digital os dispositivos de telecomunicações têm-se mostrado mais promissores aumentando a sua frequência de trabalho. Desta forma, dispositivos que tenham capacidade de converter sinais em bandas de frequências diferentes permitem uma maior flexibilidade na frequência conciliando equipamentos com frequências de trabalhos diferentes. Assim é verificada a real importância dos divisores de frequências nas telecomunicações e a sua capacidade de lidar com sinais mais complexos através da diminuição da frequência. O anteriormente dito foi verificado no capítulo 5 deste documento, onde todos os equipamentos funcionaram perfeitamente, sem falhas, empregando o divisor de frequência implementado.

Pode-se assim destacar como principais resultados os seguintes itens:

- Foi apresentada uma técnica de projecto baseada na simplicidade que permitisse garantir os parâmetros de amplitude e frequência do sinal permitindo assim fornecer um bom desempenho aos equipamentos aos quais iria ser aplicado o sinal do divisor de frequência;
- Através da técnica apresentada foram criados vários circuitos onde a sua maioria apresentou problemas quer de largura de banda quer na própria recuperação do sinal. Assim, após algum estudo e algumas sugestões da equipa Eutelsat presente na empresa, foram realizadas alterações, tais como: o posicionamento dos componentes por forma a melhorar o desenho do circuito impresso melhorando as adaptações entre os vários módulos, a criação de planos de massa para isolar o circuito de interferências externas e soldaduras limpas evitando a criação de possíveis sinais parasitas;

- As ferramentas computacionais utilizadas, *Multisim* e *Matlab*, foram importantes para a verificação do projecto permitindo ajustes do mesmo antes da sua implementação. No entanto foi necessário fazer novos ajustes ao circuito final para obtermos os parâmetros pretendidos, isto deve-se ao facto de as características intrínsecas dos componentes em altas frequências não serem contempladas nos simuladores mas por outro lado na prática elas existem e temos de lidar com elas;
- Nenhuma publicação científica encontrada apresentou as suas técnicas de forma tão detalhada e tão bem justificada quanto a presente neste trabalho de estágio.

### **6.3 Principais dificuldades na realização deste trabalho de estágio**

A primeira dificuldade foi encontrar um simulador que fornecesse resultados aceitáveis e confiáveis nas respostas em alta frequência. A maior parte deste tipo de simuladores, neste caso os mais precisos, por trabalharem às altas frequências, têm um custo económico e computacional muito elevado.

Ultrapassada esta barreira, outros problemas surgiram nomeadamente na ambientação à componente de radiofrequência pois, embora estudada academicamente, na empresa Eutelsat lidam com equipamentos difíceis de adquirir academicamente e com custos muito elevados.

Outro problema foi a escolha dos componentes, os flip-flops nos quais foi necessário encontrar um com bom tempo de resposta de forma a trabalhar correctamente na frequência pretendida e os restantes componentes passivos onde se deu especial atenção a factores como a largura de banda, a frequência e a impedância.

Outra dificuldade foi a conciliação dos resultados teóricos, simulados e práticos. As primeiras duas componentes coincidiram mas mesmo não aconteceu com componente prática. Após algum estudo feito no circuito e algumas alterações realizadas os resultados começaram a coincidir sendo os resultados satisfatórios.

### **6.4 Desenvolvimentos futuros**

A partir deste trabalho novos desenvolvimentos podem ser propostos tais como:

- Realização de um circuito com conversão digital cuja frequência de operação seja mais elevada permitindo assim maiores ganhos de conversão;
- Especial atenção na escolha dos componentes mais especificamente nos terminais de ligação às pistas sendo preferível componente onde

estes não existam (SMD) permitindo desta forma obter, em teoria, melhores resultados na resposta do circuito;

- Criar um bloco DC mais isolado que não seja tão permissível a sinais parasitas;
- Construção de um conversor mais estreito e mais preciso com cerca de 2 MHz de largura de banda permitindo desta forma eliminar melhor as outras harmónicas existentes nomeadamente a 2<sup>o</sup> e 3<sup>o</sup> harmónica, gerando assim um sinal sinusoidal mais perfeito.



## 7 Bibliografia

- [1] “divisores de frequência1,” [Online]. Available: [http://www.bravox.com.br/portal/materia.asp?id\\_CON=585](http://www.bravox.com.br/portal/materia.asp?id_CON=585). [Acedido em 2014 Novembro 28].
- [2] “Heshmati Z and Hunter I, Pollard R. MMIC frequency Dividers. In: first EMRS DTC Technical conference 2004,” [Online]. [Acedido em 29 Novembro 2014].
- [3] “Rauscher C. regenerative frequency divider by GaAs FET IEEE Transactions on Microwave Theory and Techniques vol.32 no10 pp 1462-1469,” [Online]. [Acedido em 20 Novembro 2014].
- [4] “Rylyakov, A Zwick t 96GHz static frequency divider,” [Online]. Available: [https://www.researchgate.net/publication/4048835\\_96\\_GHz\\_static\\_frequency\\_divider\\_in\\_SiGe\\_bipolar\\_technology](https://www.researchgate.net/publication/4048835_96_GHz_static_frequency_divider_in_SiGe_bipolar_technology). [Acedido em 28 Novembro 2014].
- [5] “Frequency divider design strategies,” [Online]. Available: <http://defenseelectronicsmag.com/site-files/defenseelectronicsmag.com/files/archive/rfdesign.com/mag/503rfd1.pdf>. [Acedido em 5 Dezembro 2014].
- [6] H. R. R. a. T. H. Lee, “Frequency dividers,” em *Multi-GHz Frequency Synthesis & Division: Frequency Synthesizer Design for 5 GHz wireless LAN system*, Funchal, Kluwer academic publishers, 2010, pp. 40-50.
- [7] “MILLER R L fractional- frequency generators utilizing regenerative modulation,” [Online]. Available: [http://www.maxwell.vrac.puc-rio.br/15236/15236\\_4.PDF](http://www.maxwell.vrac.puc-rio.br/15236/15236_4.PDF). [Acedido em 19 Janeiro 2015].
- [8] “Dual-gate FET millimeter-wave frequency divider,” [Online]. Available: [http://onlinelibrary.wiley.com/doi/10.1002/\(SICI\)1098-2760\(199703\)14:4%3C210::AID-MOP5%3E3.0.CO;2-M/epdf](http://onlinelibrary.wiley.com/doi/10.1002/(SICI)1098-2760(199703)14:4%3C210::AID-MOP5%3E3.0.CO;2-M/epdf). [Acedido em 25 Janeiro 2015].
- [9] “regenerative frequency comb,” [Online]. Available: <http://tf.nist.gov/general/pdf/2168.pdf>. [Acedido em 26 Janeiro 2015].
- [10] “Divisores de frequência,” [Online]. Available: <http://www.radio-electronics.com/info/rf-technology-design/mixers/image-rejection->

mixer.php . [Acedido em 20 11 2016].

- [11] “Misturador de rejeição de imagem,” [Online]. Available: <http://allelectronics.com.br/mixers-de-frequecia/#more-414> . [Acedido em 20 11 2016].
- [12] “STEZER, microwave Parametric subharmonic oscillations for digital Computing,” [Online]. Available: <http://ieeexplore.ieee.org/document/4065826/?denied>. [Acedido em 27 Janeiro 2015].
- [13] “tipos de divisores de frequência,” [Online]. Available: [http://www.maxwell.vrac.puc-rio.br/15236/15236\\_4.PDF](http://www.maxwell.vrac.puc-rio.br/15236/15236_4.PDF) . [Acedido em 30 Novembro 2014].
- [14] H. R. G, “ Broadband frequency divider using microwave varactor USA”. USA Patente 4152680, 1 Maio 1979.
- [15] “NATIV, Z.A new Reversible Varactor Frequency Halver/Douber Device. IEEEEMTT-S International Microwave Symposium 1987 Las vegas,” [Online]. Available: <http://www.nrao.edu/meetings/isstt/papers/1992/1992073092.pdf>. [Acedido em 25 Janeiro 2015].
- [16] “Rizzoli V Lipparini a general sttability analysis of periodic steady-state regimes in nonlinear microwave circuits,” [Online]. Available: <http://www.jpier.org/PIER/pier79/12.07100101.pdf>. [Acedido em 26 Janeiro 2015].
- [17] “Microwave Frequency Dividers,” [Online]. Available: <http://rogerpollard.net/pubs/J-56.pdf>. [Acedido em 24 Janeiro 2015].
- [18] “Passive Subharmonic Generation Using,” [Online]. Available: [https://mhi.usc.edu/files/2012/11/safarian\\_zahra.pdf](https://mhi.usc.edu/files/2012/11/safarian_zahra.pdf) . [Acedido em 21 11 2016].
- [19] J. A e J. M., “IEEE Microwave Theory and Techniques society,” *jacob, A J Performace of microwave FM signal frequency division circuits.* , pp. 207-210, August 1985.
- [20] “ características do Flip-flop,” [Online]. Available: <https://books.google.pt/books?id=moZli0LrjngC&pg=PA769&lpg=PA769&dq=74F74+fabricante&source=bl&ots=bUeZpp6F8K&sig=0tqF7ahA434CjdUpwajBy0eTTng&hl=pt->

PT&sa=X&ved=0ahUKEwj48euonaXNAhXJWj4KHc0ACCIQ6AEINzAD#v=onepage&q=74F74%20fabricante&f=false . [Acedido em 5 Abril 2016].

- [21] “familia dos 74x74,” [Online]. Available: [http://www.fem.unicamp.br/~grace/circuitos\\_sequenciais.pdf](http://www.fem.unicamp.br/~grace/circuitos_sequenciais.pdf) . [Acedido em 20 Dezembro 2015].
- [22] “propagação de uma onda,” [Online]. Available: <http://web.ist.utl.pt/~D898/public/rc-l/Dicas/Physical/FourierAnalysis.pdf>. [Acedido em 1 Novembro 2015].
- [23] “Análise de Fourier,” [Online]. Available: [http://webx.ubi.pt/~felippe/texts2/an\\_sinais\\_cap7.pdf](http://webx.ubi.pt/~felippe/texts2/an_sinais_cap7.pdf). [Acedido em 1 Novembro 2015].
- [24] “Filtros eletricos1,” [Online]. Available: <http://www.jdbte.com.br/wjrteleco/DIDATEC%20UTT1%20Completa.pdf>. [Acedido em 12 Dezembro 2015].
- [25] “ Filtros passivos (imagens),” [Online]. Available: [https://pt.wikipedia.org/wiki/Filtro\\_passivo](https://pt.wikipedia.org/wiki/Filtro_passivo). [Acedido em 12 Dezembro 2015].
- [26] “comparação filtros LC passivos,” [Online]. Available: [http://docentes.fam.ulusiada.pt/~d1095/Filtros\\_Elec\\_0607.pdf..](http://docentes.fam.ulusiada.pt/~d1095/Filtros_Elec_0607.pdf..) [Acedido em 15 Dezembro 2014].
- [27] “Active filters types,” [Online]. Available: <http://www.circuitstoday.com/active-filter-types>. [Acedido em 20 1 2016].
- [28] “ funções transferência dos filtros,” [Online]. Available: <http://www.analog.com/library/analogDialogue/archives/43-09/EDCh%208%20filter.pdf?doc=ADA4661-2.pdf>. [Acedido em 17 Dezembro 2015].
- [29] “Resistive Splitter,” [Online]. Available: <http://www.radio-electronics.com/info/rf-technology-design/coupler-combiner-splitter/rf-resistive-splitter-combiner-divider.php>. [Acedido em 12 11 2016].
- [30] “conectores RF,” [Online]. Available: <http://www.classeacabos.com.br/conectores.html>. [Acedido em 2015 Novembro 20].
- [31] “conector IEC,” [Online]. Available:

[https://es.wikipedia.org/wiki/Conector\\_IEC](https://es.wikipedia.org/wiki/Conector_IEC). [Acedido em 20 Novembro 2015].

- [32] “Conversor CC-CC,” [Online]. Available: <http://www.ebah.com.br/content/ABAAAeKgAF/conversor-cc-cc-buck>. [Acedido em 15 Setembro 2015].
- [33] “Rectificadores,” [Online]. Available: <http://www.ebah.com.br/content/ABAAAeKgAF/conversor-cc-cc-buck>. [Acedido em 7 janeiro 2016].
- [34] “Cartas de Smith,” [Online]. Available: [http://professores.unisanta.br/santana/downloads%5CTelematica%5CMicroondas\\_2%5CLinhas%20e%20Guias%20de%20transmissao%5C05-CartaDeSmith.pdf](http://professores.unisanta.br/santana/downloads%5CTelematica%5CMicroondas_2%5CLinhas%20e%20Guias%20de%20transmissao%5C05-CartaDeSmith.pdf). [Acedido em 10 Dezembro 2015].
- [35] “Introdução a transmissão digital,” [Online]. Available: <http://paginas.fe.up.pt/~sam/Tele2/apontamentos/Introduction.pdf>. [Acedido em 15 6 2016].
- [36] “74F74 datasheet,” [Online]. Available: [http://www.nxp.com/documents/data\\_sheet/74F74.pdf](http://www.nxp.com/documents/data_sheet/74F74.pdf) . [Acedido em 12 Fevereiro 2016].
- [37] “Electric Circuits and Networks, KS Suresh Kumar,” [Online]. Available: <https://www.safaribooksonline.com/library/view/electric-circuits-and/9789332503328/xhtml/ch16-sub16.14.xhtml> . [Acedido em 2016 11 20].
- [38] “Comunicação analógica DIDATEC,” [Online]. Available: <http://www.jdbte.com.br/wjrtelco/DIDATEC%20UTT1%20Completa.pdf>. [Acedido em 12 Maio 2015].
- [39] “Fonte de alimentação,” [Online]. Available: <https://www.electronica-pt.com/fontes-alimentacao/teoria-fontes-alimentacao>. [Acedido em 2015 5 3].
- [40] “SN74F74,” [Online]. Available: <http://www.alldatasheet.com/datasheet-pdf/pdf/837496/TI1/SN74F74.html>. [Acedido em 2015 5 3].
- [41] “Matlab,” [Online]. Available: <https://pt.wikipedia.org/wiki/MATLAB> . [Acedido em 13 Maio 2016].
- [42] “Parametric frequency dividers in satellite telecommunications,” [Online].

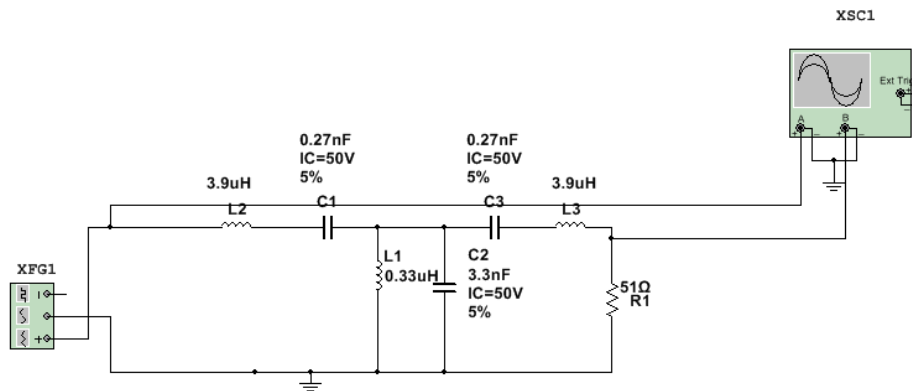
Available: [http://amsacta.unibo.it/2016/1/GAAS\\_90\\_029.pdf](http://amsacta.unibo.it/2016/1/GAAS_90_029.pdf).

- [43] “Divisores de frecuencia TTL,” [Online]. Available: <http://www.newtonbraga.com.br/index.php/electronica/57-artigos-e-projetos/8247-divisores-de-frequeencia-ttl-art1098>. [Acedido em 2015 janeiro 12].
- [44] “Over 200GHz Static Frequency divider in 250nmImPHBT,” [Online]. Available: [http://www.ece.ucsb.edu/Faculty/rodwell/publications\\_and\\_presentations/publications/2012\\_6\\_20\\_Griffith\\_TWHM.pdf](http://www.ece.ucsb.edu/Faculty/rodwell/publications_and_presentations/publications/2012_6_20_Griffith_TWHM.pdf). [Acedido em 15 janeiro 2016].
- [45] “fortescue r l quasi stable frequency dividing circuit vol n 84,” [Online]. Available: <http://rubiola.org/pdf-articles/conference/1991efft-frequeency-dividers.pdf>. [Acedido em 19 janeiro 2015].
- [46] “Harrison e. r. g. theory of regenerative frequency dividers,” [Online]. Available: <http://tf.nist.gov/general/pdf/1261.pdf>. [Acedido em 23 Janeiro 2015].
- [47] “Analise em frequência,” [Online]. Available: <http://www.l2f.inesc-id.pt/~lco/ss-leic-0809/pdf/Cap%207.pdf>. [Acedido em 1 Novembro 2015].
- [48] “Formula de Fourier,” [Online]. Available: <http://web.ist.utl.pt/~D898/public/rc-l/Dicas/Physical/FourierAnalysis.pdf>.
- [49] “Serie de Fourier,” [Online]. Available: [https://pt.wikipedia.org/wiki/S%C3%A9rie\\_de\\_Fourier](https://pt.wikipedia.org/wiki/S%C3%A9rie_de_Fourier). [Acedido em 7 Novembro 2014].
- [50] “transformada de Fourier,” [Online]. Available: <http://abertoatedemadrugada.com/2013/12/o-que-e-transformada-de-fourier.html>. [Acedido em 8 Novembro 2014].
- [51] “Condensador eletrolítico,” [Online]. Available: <http://www.incopia2.com/shop/fusibles-resistencias-diodos/condensador-electrolitico-panasonic-10v-1000uf-pi-7663.html>. [Acedido em 7 Janeiro 2016].
- [52] “D-type frequency divider circuit,” [Online]. Available: <http://www.radio-electronics.com/info/circuits/logic-useful-circuits/d-type-frequency-divider.php>. [Acedido em 10 Fevereiro 2015].

- [53] “Foundations for microwave engineering,” [Online]. Available: [http://www.radfiz.org.ua/share/sheva\\_s8\\_DEK/SECONDARY/%E4%C5%D2%D6/%E4%C5%D2%D6/%CE%D7%DE%20%D4%C5%C8%CE%A6%CB%C1/%CC%A6%D4/Collin.%20Foundations%20for%20Microwave%20Engineering.pdf](http://www.radfiz.org.ua/share/sheva_s8_DEK/SECONDARY/%E4%C5%D2%D6/%E4%C5%D2%D6/%CE%D7%DE%20%D4%C5%C8%CE%A6%CB%C1/%CC%A6%D4/Collin.%20Foundations%20for%20Microwave%20Engineering.pdf). [Acedido em 19 Fevereiro 2016].
- [54] “Newton Braga- contadores digitais,” [Online]. Available: <http://www.newtonbraga.com.br/index.php/eletronica-digital/100-licao-9-os-contadores-digitais>. [Acedido em 28 Novembro 2014].
- [55] “fundamentos eletronica-filtros,” [Online]. Available: [https://books.google.pt/books/about/Fundamentos\\_de\\_Comunica%C3%A7%C3%A3o\\_Eletr%C3%B4nica.html?id=kUKaKXcrYhkC&redir\\_esc=y](https://books.google.pt/books/about/Fundamentos_de_Comunica%C3%A7%C3%A3o_Eletr%C3%B4nica.html?id=kUKaKXcrYhkC&redir_esc=y). [Acedido em 19 Novembro 2014].
- [56] “imagens filtros basicos,” [Online]. Available: [https://fenix.tecnico.ulisboa.pt/downloadFile/395143483842/Dissertacao\\_Miguel\\_Matias.pdf](https://fenix.tecnico.ulisboa.pt/downloadFile/395143483842/Dissertacao_Miguel_Matias.pdf). [Acedido em 22 Novembro 2014].
- [57] “ phase noise performance of analog frequency divider,” [Online]. Available: driscoll m. m phase noise performance of analog frequency volume 37. [Acedido em 15 2016 2016].
- [58] ] R. G. Harrison, “A broadband frequency divider using microwave varactors,” *IEEE Trans. Microw. Theory Techn.*, vol. MTT-25, no. 12, pp. 1055–1059, Dec. 2016..
- [59] G. A. Kalivas and R. G. Harrison, “A new slotline-microstrip frequency halver,” in *IEEE MTT-S Int. Microw. Symp. Dig.*, 2016, pp. 683–686.
- [60] “Microwave Parametric Frequency Dividers,” [Online]. Available: [file:///C:/Users/Utilizador/Downloads/J-56%20\(1\).pdf](file:///C:/Users/Utilizador/Downloads/J-56%20(1).pdf). [Acedido em 15 11 2016].
- [61] “Rectificador de onda completa com filtro,” [Online]. Available: <https://www.eecis.udel.edu/~portnoi/academic/academic-files/retificador-onda-completa.html>. [Acedido em 2015 4 5].

## 8 Anexos

### Anexo A: Protótipo conversor com largura de banda de 2 MHz.



### Anexo B: Resultados experimentais do conversor com uma largura de banda de 2 MHz.



## Anexo C: Demonstração da série de Fourier.

```
%% Demonstração da Série de Fourier

fs = 100000000;           % frequência de amostragem (Hz)
Ts = 1/fs;               % período de amostragem (s)
L = 100;                 % tamanho do intervalo de amostragem
t = (0:L-1)*Ts;         % intervalo de amostragem
n = 1;                   % número de harmônicos
f1 = 5000000;           % frequência fundamental (Hz)
A1 = 1;                  % amplitude

for j=1:2
    an = 0;              % sinal de saída
    for i=1:2:n          % gerador do sinal com n harmônicas
        y=(A1/i)*sin(i*2*pi*f1*t);
        an=an+y;
    end

    S = fft(an);         % transformada rápida de Fourier

    f = fs*(0:(L/2))/L;  % normalizar o tamanho dos vetores
    P2 = abs(S/L);
    P1 = P2(1:(L/2)+1);
    P1(2:end-1) = 2*P1(2:end-1);

    figure(j);
    subplot(2,1,1);
    plot(t,an);
    title('Sinal no tempo');
    xlabel('Tempo (s)');
    ylabel('Amplitude');

    subplot(2,1,2);
    stem(f,P1);
    title('Análise de espectro');
    xlabel('Frequencia (Hz)');
    ylabel('Amplitude');

    n=2000;
end
```

## Anexo D: Código para verificação dos parâmetros do conversor.

```
%%-----Definição dos Parâmetros-----
Ro = 50; %-----resistência de saída
f1C = 2.5e6; %-----frequência inferior de corte
f2C = 7.5e6; %-----frequência superior de corte

%%-----Definição das equações do conversor-----
L2 = (Ro / (2*pi*(f2C - f1C)));
C3 = (f2C - f1C)/(2*pi*f2C*f1C);

L3 = Ro*(f2C - f1C)/(4*pi*f2C*f1C);
C4 = (1/(pi*Ro*(f2C - f1C)));

%%-----Criar o circuito-----
Seg1 = rfckt.seriesrlc('L',L2,'C',C3);
Seg2 = rfckt.shuntrlc('L',L3,'C',C4);
Seg3 = rfckt.seriesrlc('L',L2,'C',C3);

cktBPF = rfckt.cascade('Ckts',{Seg1,Seg2,Seg3});
%%-----obter parâmetro S do circuito-----

freq = linspace(100e3,20e6,101);
analyze(cktBPF,freq);
sparams = cktBPF.AnalyzedResult.S_Parameters;
tf = s2tf(sparams);
fit = rationalfit(freq,tf);
%%-----obter Função transferência-----
widerFreqs = linspace(100e3,20e6,1001);
resp = freqresp(fit,widerFreqs);

figure
semilogy(freq,abs(tf),widerFreqs,abs(resp),'--
','LineWidth',2)
xlabel('Frequency (Hz)')
ylabel('Magnitude')
legend('data','fit')
title('Resposta em frequência do filtro Passa banda.')
```

## Anexo E: Código para verificação dos parâmetros do conversor.

```
clear;
clc;
close all;
R=25; % Valor da resistência
C=64*10^(-12); % Valor do Condensador utilizado
L=3.9*10^(-6); % Valor da Bobina utilizado

num= [(C*L) (0) (1)]; % Numerador da equação transferência
den=[(C*L) (L/R) (1)]; % Denominador da equação
transferência

fs = 100000000; % frequência de amostragem (Hz)
Ts = 1/fs; % período de amostragem (s)
L = 100; % tamanho do intervalo de amostragem
t = (0:L-1)*Ts; % intervalo de amostragem
n = 1; % número de harmônicos
f1 = 10000000; % frequência fundamental (Hz)
A1 = 1; % amplitude

inp = 0; % sinal de saída
for i=1:2:n % gerador do sinal
    y=(A1/i)*sin(i*2*pi*f1*t);
    inp=inp+y;
end

sys = tf(num,den) % Função transferência da
desacoplador de RF

outp= sys * inp; %Produto do filtro pelo sinal sinusoidal
a 10MHz
outp=lsim(sys, inp, t);

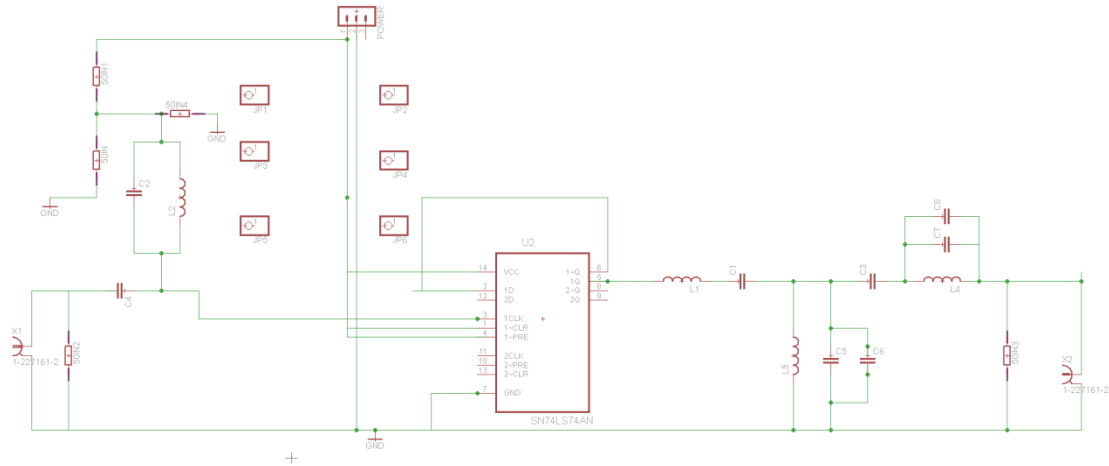
figure(2)
h=bodeplot(sys); %representação do Filtro desacoplador
de RF num diagrama de bode
setoptions(h,'FreqUnits','Hz'); %Converte o diagrama de
radianos para hertz

figure(1);
subplot(2,1,1);
plot(t,inp);
title('Sinal no tempo');
xlabel('Tempo (s)');
ylabel('Amplitude');

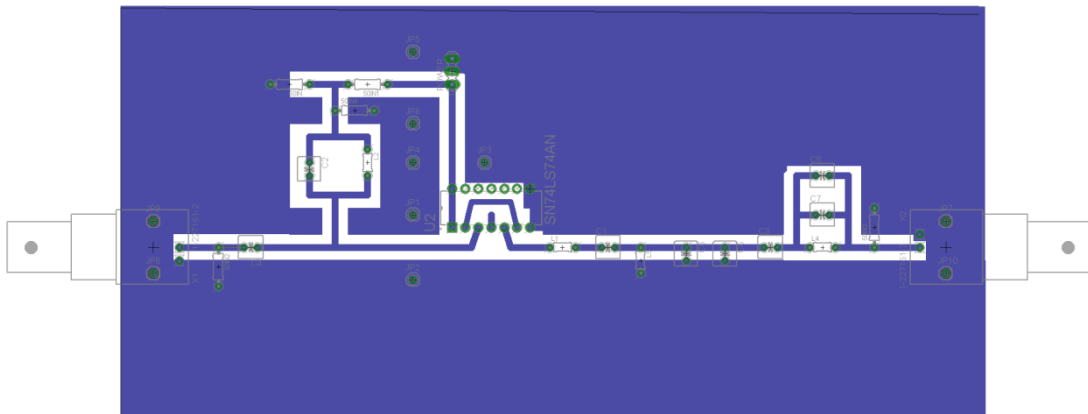
subplot(2,1,2);
plot(t,outp);
```

```
title('Sinal no tempo');  
xlabel('Tempo (s)');  
ylabel('Amplitude');
```

### Anexo F: Esquemático do divisor de frequência implementado.



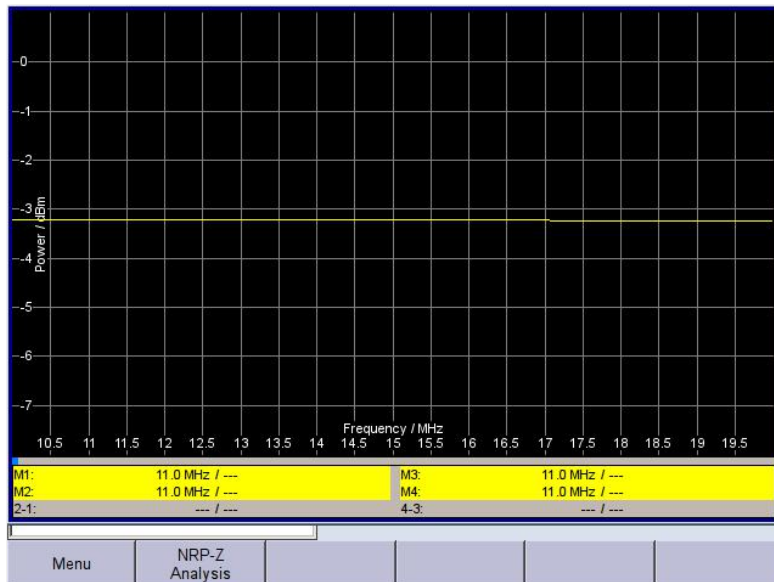
### Anexo G: Esquema do divisor de frequência na placa de circuito impresso.



**Anexo H: *Power sensor* utilizado para a medição da potência do *splitter* e do *elbow*.**



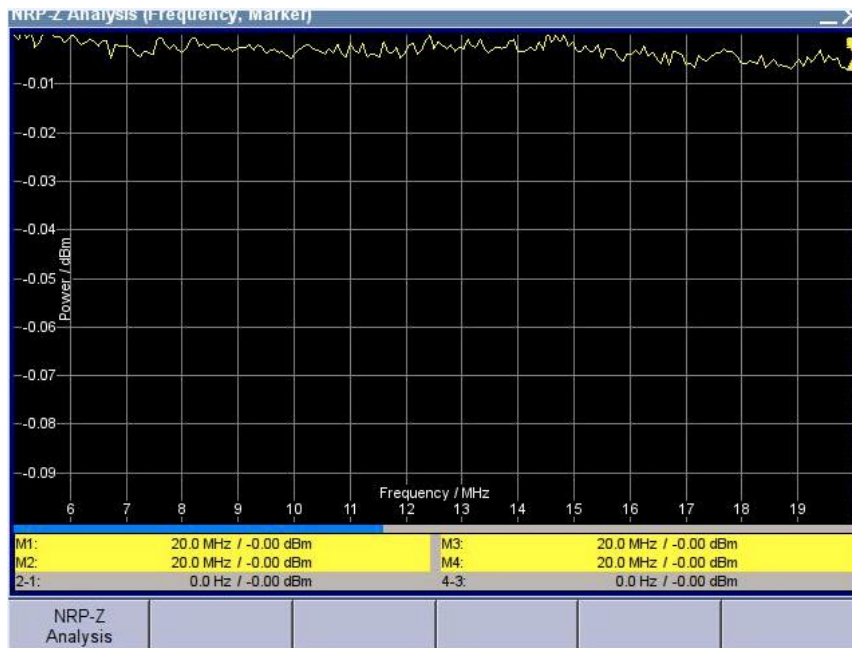
**Anexo I: Testes realizados ao *splitter* com o *power sensor* para frequências a variar entre os 10.5MHz e os 20MHz.**



**Anexo J: *Elbow* utilizado.**



## Anexo K: Testes experimentais realizados ao elbow.

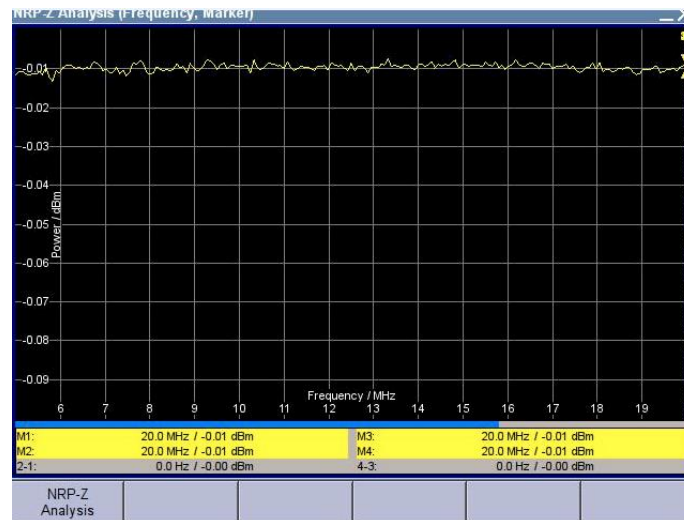


## Anexo L: Cabos coaxiais utilizados no *splitter*.

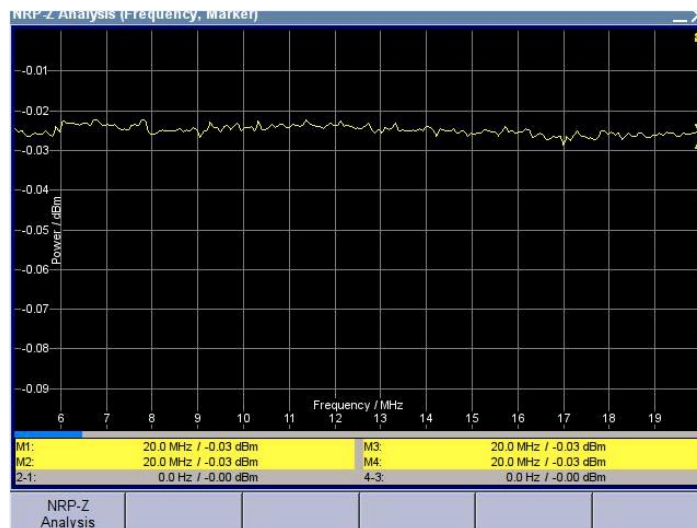


## Anexo M: Testes realizados aos cabos coaxiais.

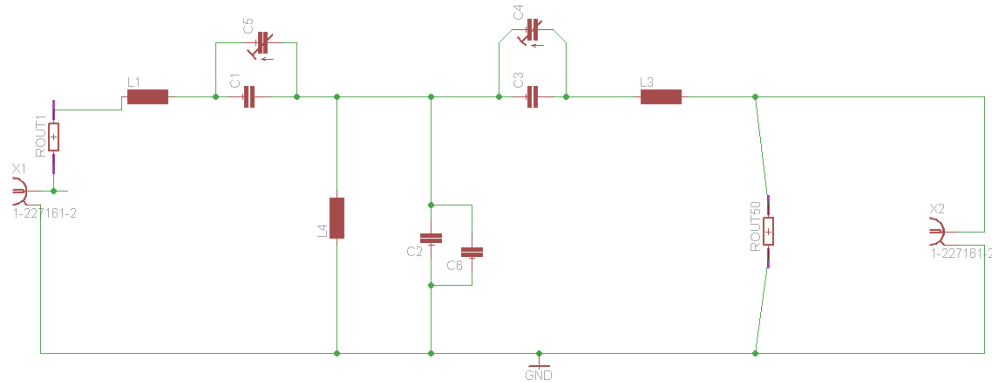
Resultados obtidos no cabo mais curto representado no anexo L.



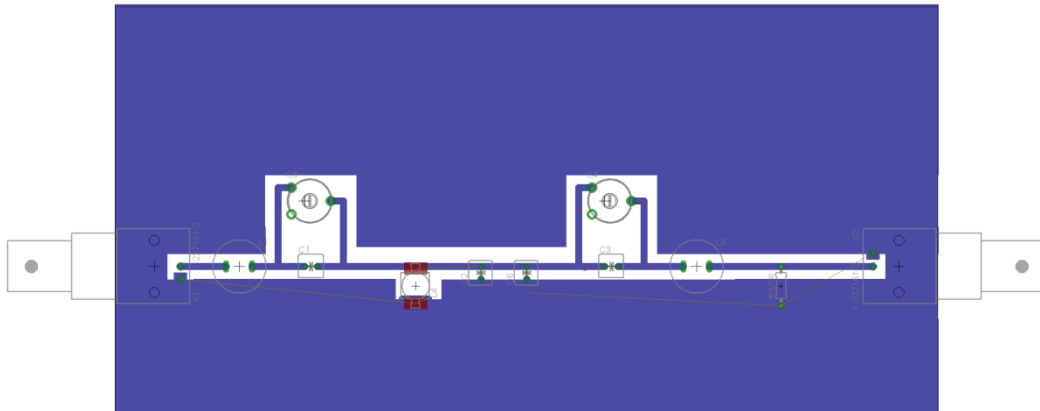
Resultados obtidos no cabo mais comprido representado anexam L.



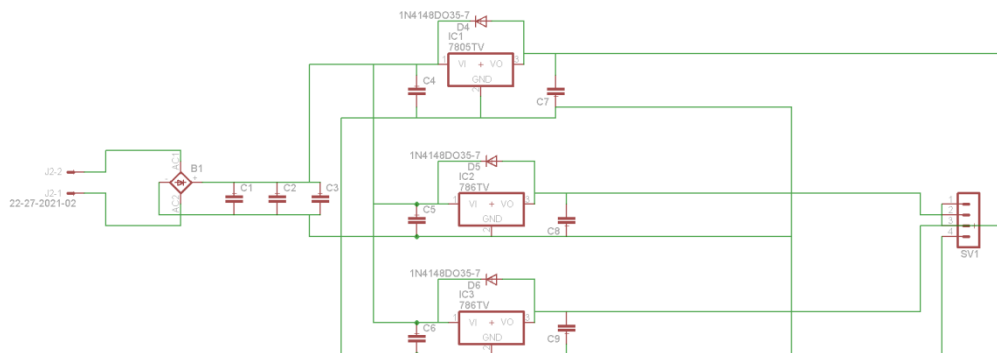
**Anexo N: Esquemático do conversor.**



**Anexo O: Esquema do conversor na placa de circuito impresso.**



**Anexo P: Esquemático da fonte de tensão.**



**Anexo Q: Esquema da Fonte de tensão na placa de circuito impresso.**

