

PM

Interligação de Microrredes Híbridas com um Conversor Multinível

PROJETO DE MESTRADO

Duarte da Silva Pita

MESTRADO EM ENGENHARIA ELETROTÉCNICA - TELECOMUNICAÇÕES



UNIVERSIDADE da MADEIRA

A Nossa Universidade

www.uma.pt

agosto | 2021

Interligação de Microrredes Híbridas com um Conversor Multinível

PROJETO DE MESTRADO

Duarte da Silva Pita

MESTRADO EM ENGENHARIA ELETROTÉCNICA - TELECOMUNICAÇÕES

ORIENTAÇÃO

João Dionísio Simões Barros

Resumo

Nos tempos atuais a eficiência energética e a coordenação inteligente dos recursos da rede são tópicos de maior importância. As microrredes híbridas apresentam-se como uma solução interessante para a integração coordenada de fontes de geração e cargas DC ou AC nos barramentos DC ou AC respectivamente. Isto permite eliminar algumas etapas de conversão que tradicionalmente existem nas redes AC, aumentando assim a eficiência energética.

Neste trabalho utilizou-se um conversor multinível para interligar uma microrrede AC a uma microrrede DC. O conversor de interligação é capaz de realizar o controle das correntes AC, da tensão DC ou da tensão AC, dependendo dos cenários de funcionamento da microrrede híbrida.

As correntes AC do conversor foram controladas através das técnicas de controle por modo de deslizamento (MD) e modulação por largura de impulsos (PWM), partindo dos modelos das variáveis de estado do conversor. As tensões das microrredes AC e DC foram controladas utilizando malhas externas com controladores PI (Proporcional-Integral).

O conversor de interligação foi simulado na plataforma MATLAB/Simulink nos três cenários de funcionamento. Os resultados de simulação foram posteriormente confirmados em laboratório através de um protótipo de baixa potência.

Os resultados obtidos demonstraram uma resposta dinâmica rápida das correntes AC em ambos os métodos de controle, com a técnica PWM a apresentar harmônicas mais reduzidas. O controle de tensão da microrrede DC foi bem efetuado e permitiu reagir adequadamente a mudanças de referência e ao aumento do consumo da microrrede DC. No caso em que existe geração local o conversor foi capaz de realizar o equilíbrio entre a potência produzida e a potência consumida, transferindo o excesso de potência para a microrrede AC. O controle de tensão da microrrede AC, permitiu regular de forma adequada as tensões trifásicas e reagir a mudanças de referência e variações do consumo.

Palavras-chave: microrredes híbridas; conversor multinível NPC; controle por modo de deslizamento; modulação por largura de impulso; controlador proporcional-integral.

Abstract

Energy efficiency and smart coordination of grid resources are issues of utmost importance nowadays. Hybrid microgrids are an interesting solution for the integration of AC and DC loads and generation sources in their respective AC or DC buses. This allows for a reduction of voltage conversion stages that are prevalent in the more traditional AC grid, leading to a higher efficiency.

In the scope of this work a multilevel converter was used to interconnect an AC microgrid to a DC microgrid. The interlinking converter can control either the AC currents, the DC bus voltage, or the AC bus voltage, depending on the hybrid microgrid operation mode.

The converter AC currents were controlled using sliding mode and pulse width modulation (PWM) techniques starting from the converter state variable representation. The AC and DC microgrid voltages were controlled by outer loop PI (Proportional-Integral) controllers.

The three operation modes of the interlinking converter were simulated using MATLAB/Simulink. A low power laboratory prototype was later used to further confirm the simulations results.

The results showed a fast dynamic response of the AC currents, using both control techniques. PWM however resulted in reduced harmonics. The DC microgrid voltage control was successfully implemented and resulted in a good response following changes in voltage reference and DC microgrid consumption. When local power production was available, the converter was able to transfer the excess power to the AC microgrid, thus balancing the produced and consumed local power. The AC microgrid voltage control was capable of adequately regulate the three phase AC voltages and react to changes in voltage reference and local power consumption.

Keywords: hybrid microgrids; NPC multilevel converter; sliding mode controller; pulse width modulation; proportional-integral controller.

Agradecimentos

Em primeiro lugar gostaria de agradecer ao meu orientador, o Professor Dionísio Barros, por todo o apoio, aconselhamento e conhecimentos transmitidos ao longo do trabalho e pela total disponibilidade no esclarecimento de dúvidas.

Ao Professor Élvio Jesus pela ajuda inicial com o conversor multinível, pelos apontamentos e sugestões fornecidas.

Ao Engenheiro Filipe Santos pela assistência no processo de fabrico dos circuitos impressos e acesso ao material dos laboratórios.

Aos docentes da Universidade da Madeira que fizeram parte do meu percurso académico nesta instituição.

Aos meus colegas, Vitor Conceição, Rodrigo Vieira, Emanuel Freitas, Rodrigo Jardim e João Garanito, com quem tive oportunidade de partilhar os laboratórios nos últimos anos, pela companhia e bons momentos passados.

Por último, mas não menos importante, um muito obrigado à minha família e em especial à minha mãe pelo investimento realizado na minha educação, e pelo apoio e motivação ao longo de todo o meu percurso académico.

Lista de abreviaturas

AC	<i>Alternating Current</i>
ADC	<i>Analog to Digital Converter</i>
APOD	<i>Alternative Phase Opposition Disposition</i>
CCS	<i>Code Composer Studio</i>
CHB	<i>Cascaded H-Bridge</i>
CI	Conversor de Interligação
DC	<i>Direct Current</i>
ePWM	<i>Enhanced PWM</i>
FC	<i>Flying Capacitor</i>
FFT	<i>Fast Fourier Transform</i>
FGD	Fontes de Geração Distribuídas
FP	Fator de Potência
HVDC	<i>High Voltage Direct Current</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IGCT	<i>Integrated Gate Commutated Thyristor</i>
IPC	<i>Inter-Processor Communications</i>
LC	<i>Local Controller</i>
LS-PWM	<i>Level Shifted PWM</i>
MC	<i>Microsource Controller</i>
MD	Modo de Deslizamento
MGCC	<i>Microgrid Central Controller</i>
NPC	<i>Neutral Point Clamped</i>
PCB	<i>Printed Circuit Board</i>
PD	<i>Phase Disposition</i>
PI	Proporcional-Integral
POD	<i>Phase Opposition Disposition</i>
PS-PWM	<i>Phase Shifted PWM</i>
PWM	<i>Pulse Width Modulation</i>
RAM	<i>Random Access Memory</i>
REE	Rede de Energia Elétrica
RMS	<i>Root Mean Square</i>
SAEE	Sistemas de Armazenamento de Energia Elétrica
SPA	Semicondutor de Potência Ativo
SPWM	<i>Sinusoidal PWM</i>
SVM	<i>Space Vector Modulation</i>
THD	<i>Total Harmonic Distortion</i>
VC	<i>Vehicle Controller</i>

Lista de símbolos

A_s	Amplitude da portadora triangular num modulador PWM
A_m	Amplitude da moduladora sinusoidal num modulador PWM
C	Capacidade de um condensador
C_f	Capacidade dos condensadores de filtragem do filtro LC à saída do conversor multinível
C_1, C_2	Capacidade dos condensadores do lado DC do conversor multinível
\mathbf{C}	Matriz de transformação de Clarke
\mathbf{D}	Matriz de transformação de Park
e_{ix}	Erros das correntes trifásicas em relação às referências nas coordenadas $\alpha\beta 0$, com $x \in \{\alpha, \beta\}$
e_{Uc}	Erro entre as tensões U_{C1} e U_{C2}
e_{UcRef}	Referência para o desequilíbrio das tensões U_{C1} e U_{C2}
f_{DSP}	Frequência de amostragem das grandezas elétricas
f_s	Frequência da portadora triangular num modulador PWM
f_c	Frequência de corte do filtro LC
f_m	Frequência da moduladora num modulador PWM
i_b	Somatório das correntes na parte superior dos braços do conversor multinível
i'_b	Somatório das correntes na parte inferior dos braços do conversor multinível
I_{C1}, I_{C2}	Correntes nos condensadores C_1 e C_2
i_{Cfk}	Correntes nos condensadores de filtragem C_f , com $k \in \{1,2,3\}$
i_{dc}	Corrente DC do conversor multinível
I_k	Corrente na parte superior de um braço do conversor, com $k \in \{1,2,3\}$
I'_k	Corrente na parte inferior de um braço do conversor, com $k \in \{1,2,3\}$
i_k	Corrente nas bobinas de acoplamento do conversor multinível, com $k \in \{1,2,3\}$
i_{MAX}	Limite máximo da corrente de referência para o controlador interno de corrente nas coordenadas $dq0$
i_{np}	Corrente à saída do neutro do divisor capacitivo do conversor multinível
i_{RACK}	Corrente nas resistências de carga da microrrede AC, com $k \in \{1,2,3\}$

i_x	Corrente nas bobinas de acoplamento do conversor multinível nas coordenadas $\alpha\beta 0$, com $x \in \{\alpha, \beta\}$
i_{xRef}	Correntes de referência nas coordenadas $\alpha\beta 0$, com $x \in \{\alpha, \beta\}$
i_z	Corrente nas bobinas de acoplamento do conversor multinível, nas coordenadas $dq0$, com $z \in \{d, q\}$
i_{zRef}	Correntes de referência nas coordenadas $dq0$, com $z \in \{d, q\}$
i'_z	Corrente no modelo com desacoplamento para o controle da tensão da microrrede AC nas coordenadas $dq0$, com $z \in \{d, q\}$
i'_{zRef}	Corrente de referência calculada pelo controlador PI do controle da tensão da microrrede AC nas coordenadas $dq0$, com $z \in \{d, q\}$
$k_{p_{eUc}}$	Constante proporcional do controlador PI do equilíbrio das tensões nos condensadores C_1 e C_2 no controle por PWM
$k_{p_{PWM}}$	Constante proporcional do controlador PI do controle das correntes por PWM
$k_{p_{UAC}}$	Constante proporcional do controlador PI do controle da tensão da microrrede AC
$k_{p_{Udc}}$	Constante proporcional do controlador PI do controle da tensão da microrrede DC
$k_{i_{eUc}}$	Constante integral do controlador PI do equilíbrio das tensões nos condensadores C_1 e C_2 no controle por PWM
$k_{i_{PWM}}$	Constante integral do controlador PI do controle das correntes por PWM
$k_{i_{UAC}}$	Constante integral do controlador PI do controle da tensão da microrrede AC
$k_{i_{Udc}}$	Constante integral do controlador PI do controle da tensão da microrrede DC
L	Coefficiente de autoindução das bobinas de acoplamento do conversor multinível
m_a	Índice de modulação da amplitude num modulador PWM
m_f	Índice de modulação da frequência num modulador PWM
n	Número de níveis de um conversor multinível
n_l	Número de níveis entre a fase e o neutro da rede num conversor multinível
n_{ll}	Número de níveis entre dois braços de um conversor multinível
R_L	Resistência de perdas das bobinas de acoplamento do conversor multinível
R_{AC}	Resistência de carga representante do consumo da microrrede AC
R_{dc}	Resistência de carga representante do consumo da microrrede DC

S_j	Semicondutor de um conversor com um braço, com $j \in \{1,2,3,4\}$
S_{kj}	Semicondutor do conversor multinível com 3 braços, com $k \in \{1,2,3\}$ e $j \in \{1,2,3,4\}$
$S(e_{ix}, t)$	Superfícies de deslizamento associadas aos erros das correntes nas coordenadas $\alpha\beta 0$ com $x \in \{\alpha, \beta\}$
$S(e_{Uc}, t)$	Superfície de deslizamento associada ao erro entre as tensões U_{C1} e U_{C2} dos condensadores do conversor multinível.
U_{ACK}	Amplitude da tensão de fase da microrrede AC, com $k \in \{1,2,3\}$
U_{ACx}	Amplitude da tensão de fase da microrrede AC, nas coordenadas $\alpha\beta 0$, com $x \in \{\alpha, \beta\}$
U_{ACz}	Amplitude da tensão de fase da microrrede AC, nas coordenadas $dq0$, com $z \in \{d, q\}$
U_b	Tensão à saída de um braço de um conversor multinível monofásico
U_{C1}, U_{C2}	Tensões nos condensadores C_1 e C_2
U_c	Tensão aplicada na carga de um conversor multinível monofásico
U_{dc}	Tensão da microrrede DC
U_{dcRef}	Tensão de referência para o controlo de tensão da microrrede DC
U_{ij}	Tensões compostas entre as fases i e j , com $i \in \{1,2,3\}$ e $j \in \{1,2,3\}$
U_{Sk}	Tensão entre a saída do conversor multinível e o neutro da microrrede AC, com $k \in \{1,2,3\}$
$U_{\Delta max}$	Amplitude das portadoras triangulares do modulador PWM
u_{mk}	Tensão entre um braço e o ponto neutro do conversor multinível, com $k \in \{1,2,3\}$
u_x	Variável de controlo associada às tensões nos condensadores e às variáveis de comutação do conversor nas coordenadas $\alpha\beta 0$, com $x \in \{\alpha, \beta\}$
u_z	Variável de controlo associada às tensões nos condensadores e variáveis de comutação do conversor nas coordenadas $dq0$, com $z \in \{d, q\}$
\mathbf{X}_{123}	Vetor de variáveis genéricas nas coordenadas 123
$\mathbf{X}_{\alpha\beta 0}$	Vetor de variáveis genéricas nas coordenadas $\alpha\beta 0$
\mathbf{X}_{dq0}	Vetor de variáveis genéricas nas coordenadas $dq0$
$\Delta\gamma$	Deslocamento vertical das portadoras para o equilíbrio dos condensadores
$\Delta\gamma_{max}$	Deslocamento máximo das portadoras no equilíbrio dos condensadores

Δ_{ib}	Diferença entre as correntes i_b e i'_b utilizada na determinação do sentido de transferência de potência
ϵ_j	Larguras de histerese na quantificação dos erros das correntes nas coordenadas $\alpha\beta 0$, com $j \in \{1,2,3,4\}$
$\epsilon_{\Delta_{ib}}$	Largura de histerese no cálculo da diferença entre correntes Δ_{ib}
ϵ_{Uc}	Largura de histerese no cálculo do erro entre as tensões U_{c1} e U_{c2}
ϕ_p	Fase inicial da transformada de Park
Γ_{1k}, Γ_{2k}	Variáveis de comutação do conversor, com $k \in \{1,2,3\}$
Γ_{1x}, Γ_{2x}	Variáveis de comutação do conversor nas coordenadas $\alpha\beta 0$, com $x \in \{\alpha, \beta\}$
Γ_{1z}, Γ_{2z}	Variáveis de comutação do conversor nas coordenadas $dq 0$, com $z \in \{d, q\}$
γ_k	Variável de comutação de um braço do conversor, com $k \in \{1,2,3\}$
γ'_k	Variável de comutação provisória após a escolha do vetor por MD e antes da correção para eliminar comutações não adjacentes, com $k \in \{1,2,3\}$
γ'_z	Sinal de controlo à saída do PI no controlo de corrente por PWM, com $z \in \{d, q\}$
γ'_{zmax}	Limite máximo à saída dos controladores PI no controlo interno de corrente por PWM, com $z \in \{d, q\}$
λ_{ix}	Variáveis de quantificação dos erros das correntes nas coordenadas $\alpha\beta 0$, com $x \in \{\alpha, \beta\}$
ω	Frequência das grandezas elétricas e sinusoidais
ω_p	Largura de banda de um sistema de controlo de primeira ordem
ω_n	Frequência natural de um sistema de segunda ordem
θ	Ângulo da tensão utilizado na transformada de Park
Ξ_{ki}	Variáveis de comutação do conversor multinível, com $k \in \{1,2,3\}$ e $i \in \{1,2\}$

Índice

Resumo	iii
Abstract	v
Agradecimentos	vii
Lista de abreviaturas	ix
Lista de símbolos	xi
1 Introdução	1
1.1 Motivação	1
1.2 Objetivos	2
1.3 Organização do documento	2
2 Revisão bibliográfica	5
2.1 Conceito de microrrede	5
2.2 Arquitetura e controlo de uma microrrede AC	8
2.2.1 Controlo das fontes de geração distribuída	10
2.2.2 Controlo da microrrede AC	11
2.3 Microrredes DC	12
2.3.1 Topologias	14
2.3.2 Controlo da microrrede DC	15
2.4 Microrredes híbridas	17
2.5 Conversores multinível	19
2.6 Técnicas de controlo de conversores multinível	25
2.6.1 Modulação por vetores espaciais	26
2.6.2 Modulação por largura de impulsos (PWM)	27
2.6.3 Modo de deslizamento	30
2.7 Conclusões	32
3 Modelos do conversor multinível de interligação entre microrredes	33
3.1 Descrição do conversor	33
3.2 Modelos do sistema em coordenadas 123	36
3.3 Modelos do sistema em coordenadas $\alpha\beta 0$	40
3.4 Modelos do sistema em coordenadas dq0	41
3.5 Conclusões	43
4 Controlo do conversor de interligação entre microrredes	45

4.1	Controlo de corrente por MD no lado da microrrede AC.....	45
4.1.1	Equilíbrio dos condensadores por modo de deslizamento.....	48
4.1.2	Escolha dos vetores	49
4.2	Controlo de corrente por PWM no lado da microrrede AC.....	52
4.3	Controlo da tensão da microrrede DC.....	57
4.4	Controlo da tensão da microrrede AC.....	60
4.5	Conclusões.....	62
5	Resultados de simulação e experimentais	63
5.1	Descrição do modelo em MATLAB/Simulink.....	63
5.1.1	Controlo de corrente.....	64
5.1.2	Controlo das tensões das microrredes DC e AC	66
5.2	Descrição do protótipo laboratorial.....	69
5.2.1	Circuitos construídos.....	70
5.2.2	Controlo do protótipo laboratorial.....	71
5.3	Resultados para o modo de controlo de corrente.....	75
5.3.1	Controlo de corrente em estado estacionário.....	75
5.3.2	Controlo de corrente em regime dinâmico	79
5.4	Resultados do controlo da microrrede DC	81
5.4.1	Estado estacionário	82
5.4.2	Regime dinâmico com variação da tensão de referência.....	84
5.4.3	Regime dinâmico com variação da carga da microrrede DC.....	86
5.4.4	Regime dinâmico com geração local	88
5.5	Resultados do controlo da tensão da microrrede AC	90
5.5.1	Estado estacionário	90
5.5.2	Regime dinâmico com variação da referência	92
5.5.3	Regime dinâmico com aumento da carga	93
5.6	Conclusões.....	94
6	Conclusões	95
6.1	Conclusões gerais	95
6.2	Propostas de trabalhos futuros.....	98
	Referências.....	99
	Apêndice A Efeito do deslocamento das portadoras.....	105
	Apêndice B Esquemas das simulações.....	109
B.1	Principais blocos da simulação	109
B.2	Esquemas completos das simulações.....	112

Apêndice C	Fotografias do protótipo laboratorial.....	115
Apêndice D	Circuitos desenvolvidos	117
D.1	Esquemáticos dos circuitos.....	117
D.2	Desenho das PCBs desenvolvidas.....	119
D.3	Fotografias das PCBs desenvolvidas	120
Apêndice E	Código desenvolvido para o F28379D.....	121
E.1	Núcleo 2 – Controlo interno de corrente por MD	121
E.2	Núcleo 1 – Controlo de tensão AC com controlo interno por MD	126
E.3	Configuração da interrupção externa do circuito de sincronismo	138
E.4	Núcleo 1 – Controlo de tensão AC com controlo interno por PWM	139
Apêndice F	Parâmetros utilizados nas simulações e atividade prática.....	151
Apêndice G	Resultados adicionais.....	153
G.1	Controlo de corrente em estado estacionário	153
G.2	Controlo de corrente em regime dinâmico.....	154
G.3	Controlo da tensão da microrrede DC	155
G.4	Controlo de tensão da microrrede AC	156
G.5	Outros resultados com controlo interno por PWM.....	158

1 Introdução

Neste capítulo é feita uma introdução ao trabalho, apresentando-se a motivação e os objetivos propostos para a sua realização. É ainda explicada a organização global do documento através de uma breve descrição de cada capítulo.

1.1 Motivação

Nos tempos atuais é indiscutível a importância que a energia elétrica tem numa sociedade cada vez mais industrializada e digital. O consumo global de eletricidade nos últimos 15 anos tem aumentado a um ritmo médio de 0,4 % nos países desenvolvidos e 5,7 % nos países em desenvolvimento, sendo a indústria, o setor residencial e o setor comercial os maiores responsáveis deste aumento, o que sugere uma relação de proximidade entre a evolução económica de um país e as suas necessidades energéticas [1].

Por outro lado, a dependência de combustíveis fósseis é problemática a longo prazo dado as suas reservas limitadas e à emissão de gases poluentes capazes de afetar a saúde da população, contribuir para o aquecimento global e todas as consequências que daí advêm. Na União Europeia, foram definidas metas de 32 % de penetração de energias renováveis, 32,5 % de melhoria na eficiência energética e uma diminuição de 55 % dos gases com efeito de estufa até 2030 com o objetivo de combater a dependência de combustíveis fósseis e atingir a neutralidade carbónica até 2050 [2].

Para responder ao aumento esperado do consumo energético e ao mesmo tempo cumprir com as metas estabelecidas, é necessário que a atual Rede de Energia Elétrica (REE) seja modernizada e a sua gestão seja feita de uma forma mais inteligente [3]. As microrredes surgem como uma forma de agregar as várias fontes de geração, sistemas de armazenamento e cargas residenciais ou industriais, em redes que podem funcionar de forma independente e coordenada. Tal só é possível através de uma grande infraestrutura de comunicação e da adoção de dispositivos inteligentes que permitam monitorizar e controlar os recursos da forma mais adequada [3].

Apesar da REE ser baseada na transmissão de energia elétrica em AC (*Alternating Current*), muitos dos equipamentos eletrónicos atuais são direta ou indiretamente alimentados em DC (*Direct Current*), assim como algumas das fontes de geração (painéis fotovoltaicos) e sistemas de armazenamento mais comuns (baterias) [4]. Sendo assim, existem várias etapas de conversão DC-AC e AC-DC que poderiam ser eliminadas com a adoção de uma rede de distribuição em DC. A conjugação de uma rede de distribuição em DC com o conceito de microrrede, dá origem às microrredes DC.

Dada a pouca disponibilidade de equipamentos comerciais diretamente compatíveis com DC e à existência de outras cargas de natureza AC, a adoção de microrredes híbridas acaba por ser solução mais adequada à realidade atual. As microrredes híbridas são compostas por um barramento AC e um barramento DC, permitindo a ligação dos equipamentos no barramento mais adequado.

Neste contexto os conversores eletrônicos de potência são uma mais-valia, permitindo interligar as duas secções da microrrede e garantindo uma troca bidirecional de potência de forma a tirar melhor partido de todos os recursos existentes em ambas as secções da microrrede. Em particular, os conversores multinível apresentam características interessantes quando comparados com conversores de apenas dois níveis, permitindo obter formas de onda com menos distorções e trabalhar com potências mais elevadas [5].

1.2 Objetivos

O principal objetivo do trabalho é realizar a interligação entre duas microrredes, uma AC e uma DC, através de um conversor multinível. Tendo isto em conta, foram estabelecidos os seguintes objetivos específicos:

- Rever a bibliografia relacionada com microrredes AC, DC, híbridas e conversores multinível e suas técnicas de controlo;
- Estudar o comportamento de um conversor multinível e modelar o conversor através das suas variáveis de estado;
- Projetar controladores para os principais modos de funcionamento do conversor de interligação entre microrredes;
- Simular o conversor de interligação entre microrredes e seus controladores na plataforma de simulação MATLAB/Simulink;
- Implementação dos controladores num processador de baixo custo e verificação dos resultados num protótipo laboratorial.

1.3 Organização do documento

Este relatório de projeto de mestrado está organizado em seis capítulos principais.

O primeiro capítulo, Introdução, faz uma introdução à temática das microrredes e enumera as motivações para o trabalho em questão. Apresentam-se ainda os objetivos propostos e a organização do documento.

No segundo capítulo, Revisão bibliográfica, é feita uma primeira abordagem ao tema das microrredes. É inicialmente definido o conceito de microrrede e são apresentadas

algumas características e modos de funcionamento das microrredes AC, DC e híbridas. Faz-se uma breve introdução aos conversores multinível, incluindo a topologia utilizada neste trabalho, e às técnicas de controlo mais comuns.

No terceiro capítulo, Modelos do conversor de interligação entre microrredes, introduz-se o conversor a utilizar e a sua ligação às microrredes AC e DC. São deduzidos os modelos que relacionam as variáveis de estado com as variáveis de controlo do conversor e das microrredes.

No quarto capítulo, Controlo do conversor de interligação entre microrredes, são desenvolvidos os controladores das principais variáveis de estado do sistema, nomeadamente as correntes trifásicas da microrrede AC, a tensão da microrrede DC e a tensão da microrrede AC.

No quinto capítulo, Resultados de simulação e experimentais, descrevem-se numa primeira fase os modelos desenvolvidos na plataforma de simulação, os seus principais blocos constituintes, assim como o protótipo laboratorial e os circuitos desenvolvidos para a monitorização das grandezas elétricas. São ainda apresentados e discutidos os resultados experimentais e de simulação para os principais testes efetuados.

No sexto capítulo, Conclusão, são apresentadas as conclusões globais do trabalho e fazem-se sugestões de trabalhos futuros.

2 Revisão bibliográfica

Neste capítulo é feita uma revisão bibliográfica incidindo na temática das microrredes, conversores multinível e suas técnicas de controlo. Começa-se por explicar o conceito de microrrede, as suas características, modos de funcionamento, vantagens e desafios associados a este conceito. Em seguida apresentam-se algumas características gerais sobre os vários modos de funcionamento das microrredes AC, microrredes DC e microrredes híbridas e a coordenação dos recursos nelas existentes. Por fim, descrevem-se as características dos conversores multinível, em particular do conversor multinível tido como base para a realização do trabalho, e algumas técnicas de modulação mais comuns.

2.1 Conceito de microrrede

A geração distribuída, como alternativa ou complemento às grandes centrais de produção, tem ganho particular interesse devido à possibilidade de produzir energia num ponto mais próximo dos consumidores finais. A geração distribuída está também associada ao desenvolvimento de tecnologias de energias renováveis, o que a torna atrativa numa perspetiva de redução das emissões poluentes. No entanto, a integração de geração distribuída a larga escala pode causar variações no perfil de tensão da rede e no sentido de transmissão de potência, em particular quando a geração é baseada em energias renováveis e intermitentes. Isto leva à necessidade de uma maior monitorização e gestão de todos os recursos da rede [6,7].

Uma possível abordagem para facilitar a coordenação de um elevado número de recursos passa por dividir algumas secções da rede em pequenos grupos que possam ser geridos de forma individual, fornecendo algum grau de abstração para o exterior, como ilustrado na Figura 2.1. Estes pequenos grupos são chamados de microrredes [6].

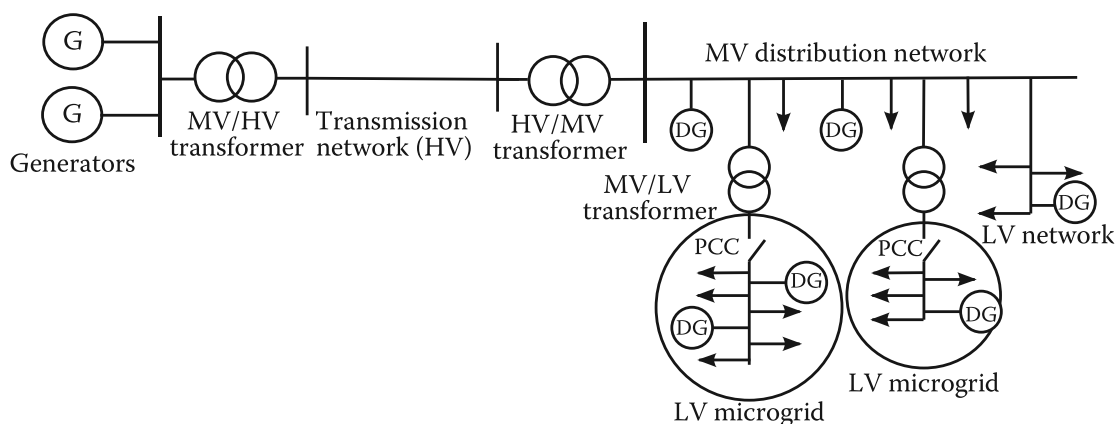


Figura 2.1 – Estrutura de uma rede elétrica com integração de microrredes [6].

Uma microrrede pode ser definida como uma rede que integra fontes de geração distribuída (FGD), sistemas de armazenamento de energia elétrica (SAEE), cargas controláveis e que pode funcionar em coordenação com a REE através de um ponto de acoplamento comum (PCC – *Point of Common Coupling*) [6-9]. Para além da distribuição de energia elétrica, a microrrede pode incluir o reaproveitamento e distribuição de energia térmica para sistemas de aquecimento locais, caso seja possível.

A quantidade e variedade de recursos existente numa microrrede, em combinação com as capacidades de comunicação e monitorização, permitem que a microrrede funcione em dois modos [6-10]:

- **Modo Interligado** – A microrrede está ligada à REE e é neste estado que se mantém a maior parte do tempo. Embora tenha recursos próprios, esta ligação é útil para realizar o equilíbrio entre a produção e o consumo local.
- **Modo Autónomo** – A microrrede está desligada da REE e utiliza apenas os recursos locais para alimentar as suas cargas. Este funcionamento é crucial para garantir a continuidade de serviço em caso de falhas na REE e, como tal, é por vezes chamado de modo de emergência. Este modo também pode ser usado em caso de manutenções programadas.

A transição entre o estado interligado e o estado autónomo deve ser feita automaticamente e da forma mais suave possível sem criar instabilidades na microrrede e, idealmente, sem provocar o deslastre de cargas locais. Nesta transição entre estados, a existência de SAEE é crucial para a alimentação das cargas mais críticas até que seja possível aumentar a potência nas fontes de geração controláveis [10].

Na microrrede é dada a prioridade de fornecimento de energia para as cargas locais, permitindo assim aproveitar ao máximo a geração distribuída localmente e evitar uma grande dependência da REE. Um dos aspetos mais diferenciadores entre este conceito e uma rede de distribuição passiva com unidades de geração distribuída é a capacidade de monitorizar e coordenar os recursos distribuídos através de infraestruturas de comunicação bidirecional, sensores, atuadores e contadores inteligentes tornando a microrrede numa estrutura ativa [3,7].

A implementação da microrrede pode ser feita a várias escalas, podendo abranger uma secção de uma rede de distribuição de baixa tensão, uma instalação industrial, hospitalar, universitária ou simplesmente uma instalação residencial desde que se baseie nas características da microrrede descritas anteriormente [7,11,12]. As redes elétricas em lugares remotos e em ilhas, pela sua natureza isolada, têm sempre uma dificuldade acrescida na gestão dos seus recursos limitados pelo que, dependendo da sua dimensão e da integração de geração distribuída na rede, também podem ser consideradas como

sendo microrredes com a particularidade de funcionarem exclusivamente em modo autónomo [6,7].

2.1.1 Vantagens e desafios

A coordenação da microrrede como uma entidade única perante a REE apresenta-se como uma grande vantagem na gestão da rede. Existem outras vantagens técnicas, ambientais e económicas que advêm do conceito de microrrede tais como:

- **Aumento da fiabilidade:** Com a geração mais próxima do utilizador final e a possibilidade de funcionamento autónomo, é possível diminuir o tempo de interrupção e a energia não entregue durante um apagão da REE [6,8,9,11]. A própria natureza distribuída das FGD, também faz com que a falha de uma fonte não seja tão problemática como uma falha numa grande central de produção;
- **Otimização dos recursos:** A coordenação entre FGD, SAEE e cargas flexíveis permite um melhor aproveitamento da energia disponível mesmo quando existem diferenças entre a produção e consumo local [6]. Esta coordenação permite ainda atenuar o impacto das energias renováveis intermitentes, aumentando a sua atratividade e contribuindo para uma maior diversificação das fontes de geração, menor dependência de combustíveis fósseis e a redução de emissões de gases poluentes [8,9,11];
- **Diminuição do consumo de pico:** A produção local permite satisfazer o consumo (ou parte dele) sem necessidade de importar energia da REE. Isto, em combinação com a gestão dos recursos locais permite achatar o diagrama de carga e diminuir a congestão da rede [8]. Esta diminuição permite reduzir custos associados às perdas no transporte de longa distância e custos inerentes a uma expansão da capacidade da rede [6,8,9,11];
- **Serviços auxiliares:** A microrrede como entidade coordenada pode fornecer serviços à REE tais como: regulação de frequência, regulação de tensão, compensação de potência reativa, reserva de potência, auxílio no processo de restauro da rede e compensação de harmónicas [7-9,11,12].

Embora as vantagens, existem alguns desafios associados ao desenvolvimento de microrredes. Abaixo são listados alguns.

- **Estabilidade da rede:** Em especial no modo autónomo, existe uma dificuldade em manter a rede estável, dado que já não existe a REE a impor a tensão e frequência. Este problema agrava-se ainda mais com a presença de geração distribuída e baseada em energias renováveis e intermitentes. Adicionalmente, é necessário adaptar os esquemas de proteção para lidar com o fluxo bidirecional

de potência, derivado das FGD, e com os diferentes modos de funcionamento da microrrede [9,13];

- **Ligação das FGD:** Algumas normas inicialmente definiam que as FGD deveriam desconectar-se da REE na ocorrência de um apagão. Estas normas necessitam de ser atualizadas para englobar o funcionamento autónomo da microrrede [11];
- **Previsão das cargas:** Devido à dimensão reduzida da microrrede, as cargas têm uma maior variação quando comparadas com uma rede a larga escala o que torna a previsão menos precisa e mais complexa. A previsão, no entanto, é um aspeto importante pois permite otimizar a potência que deve ser produzida por cada unidade de geração [7];
- **Enquadramento legal:** É necessário contextualizar a microrrede e definir que papéis deve desempenhar, a que regulamentos deve obedecer, como deverá ser feito o fornecimento de serviços auxiliares à rede e quais as remunerações envolvidas [7,9,11]. A não existência de um quadro legal adequado, pode inviabilizar os investimentos.

2.2 Arquitetura e controlo de uma microrrede AC

A arquitetura de uma microrrede é dependente do contexto de aplicação, dos seus objetivos e da infraestrutura já existente e que poderá ser aproveitada. Com base nos conceitos adjacentes ao conceito de microrrede é possível conceitualizar uma arquitetura generalizada e que é apresentada na Figura 2.2. Trata-se de uma microrrede instalada ao longo de uma rede de distribuição e onde podem ser observados alguns dos conceitos já mencionados: a existência de geração distribuída, elementos de armazenamento e várias cargas controláveis. Na Figura 2.2 são ainda representados blocos relativos ao controlo e monitorização da microrrede [8,9]:

- **MGCC (*Microrgrid Central Controller*)** – É o controlador central responsável pela gestão da microrrede e capaz de enviar pontos de referência para as cargas controláveis e fontes de geração, assim como recolher dados acerca dos níveis de produção e consumo, nível de carga das baterias e estado das cargas;
- **LC (*Load Controller*)** – Controlador instalado junto às cargas controláveis. É responsável por receber instruções do controlador central para o deslastre ou ajuste da potência consumida. O estado atual das cargas pode também ser comunicado ao MGCC, de forma a auxiliar no processo de tomada de decisões;
- **MC (*Microsource Controller*)** – Controlador instalado em cada uma das fontes de geração e dispositivos de armazenamento. Localmente é responsável pelo controlo das grandezas elétricas do conversor de interligação à microrrede com base nos

pontos de referência recebidos e deve ter uma resposta rápida a mudanças de carga;

- **VC (Vehicle Controller)** – Pode ser utilizado para ajudar a gerir a integração de veículos elétricos na microrrede. Nesse caso o VC será responsável por auxiliar na coordenação do carregamento de um veículo ou conjunto de veículos elétricos e para tal deverá comunicar com o MGCC de forma bidirecional [10].

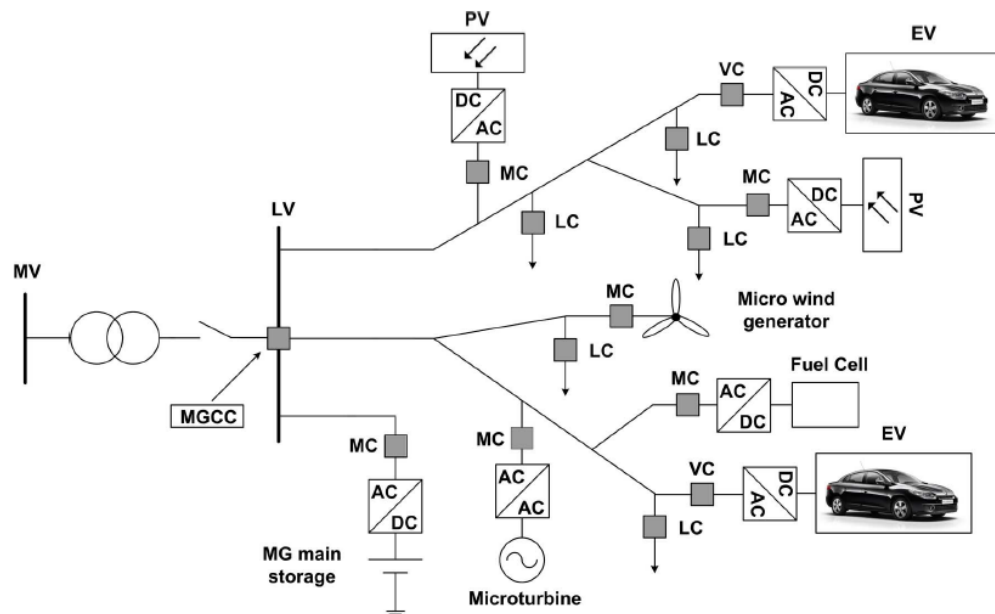


Figura 2.2 – Arquitetura exemplificativa de uma microrrede AC [10].

As FGD no contexto de uma microrrede são geralmente fontes com capacidade de geração até algumas dezenas ou, em alguns casos, centenas de kW, tais como microturbinas a gás (que podem incluir aproveitamento de calor), células de combustível, painéis fotovoltaicos, microgeradores eólicos e, embora menos comum, pequenos geradores síncronos [8,11]. As fontes de geração baseadas em energias renováveis (fotovoltaica e eólica) geralmente são não controláveis e fornecem a totalidade da potência disponível [7].

Os SAEE permitem melhorar a qualidade de serviço da microrrede através de uma resposta rápida a mudanças de carga e permitem o fornecimento contínuo de energia em caso de falha na REE [8,11]. Adicionalmente, os SAEE podem ser utilizados para a otimização económica da microrrede, envolvendo o armazenamento de energia elétrica localmente em períodos de produção excedente e venda em períodos de grande procura [7]. As principais tecnologias utilizadas são as baterias, os supercondensadores e os volantes de inércia, dependendo da escala temporal a que se pretende armazenar e fornecer energia [8,11].

As cargas controláveis são geralmente cargas industriais e residenciais que podem ser desligadas momentaneamente (arcas congeladoras, aquecedores, *etc.*) através do LC, sem grande influência para o utilizador final, de forma a diminuir o consumo da microrrede [10]. O deslastre de cargas deve ser feito como último recurso quando não existe capacidade de geração suficiente na microrrede no modo autónomo ou em resposta a uma perturbação demasiado elevada na frequência [14]. Os veículos elétricos podem ser considerados como cargas especiais, dado que podem diminuir a potência consumida durante o carregamento em caso de sobrecarga, mas também podem injetar potência na microrrede [10].

2.2.1 Controlo das fontes de geração distribuída

Nas microrredes, não é muito comum a existência de geradores síncronos, pelo que a interface entre as FGD/SAEE e a microrrede é feita maioritariamente através de conversores eletrónicos de potência. Estes conversores têm dois modos de funcionamento principais [15-17]:

- **Grid Feeding (controlo de corrente)** – Os conversores são controlados como fontes de corrente de forma a injetar potência ativa (P) e reativa (Q) na microrrede. Para funcionar neste modo é necessário que a tensão da microrrede esteja estabelecida e o controlador do conversor tenha informação acerca do ângulo da tensão para se manter sincronizado, pelo que não podem operar só por si no modo autónomo. Este modo de funcionamento é muito utilizado na integração de fontes de energia renovável, onde geralmente se injeta a totalidade da potência disponível. Os pontos de referência da potência ativa e reativa também podem ser enviados remotamente pelo MGCC, para o caso de FGD controláveis [18].
- **Grid-Forming (controlo de tensão)** – Os conversores são controlados como fontes de tensão, impondo a tensão e frequência no ponto de ligação através da sua própria referência. Com pelo menos um conversor a funcionar em modo controlo de tensão é possível manter a microrrede em funcionamento em modo autónomo [8,16,18]. A potência fornecida vai depender da carga a que os conversores estão ligados e por isso este modo é útil para realizar o equilíbrio de potências, sendo normalmente implementado em SAEE como baterias ou em fontes controláveis com respostas rápidas e alguma reserva de potência incluída (baterias ou condensadores no barramento DC interno) [15,18,19].

A operação de conversores em paralelo a funcionar em modo controlo de tensão implica uma sincronização quase perfeita, para não dar origem a desvios de frequência e desfasamentos entre conversores [8,15,17]. Por esta razão, os conversores em modo

controle de tensão são geralmente implementados com um mecanismo de *droop* que emula o comportamento de geradores síncronos ao variar a frequência em função da potência ativa fornecida e a tensão em função da potência reativa [15-17,20]. Com este mecanismo os conversores com controle de tensão podem funcionar tanto no modo interligado, como no modo autónomo sem ser necessário realizar nenhuma mudança no tipo de controle, permitindo uma melhor transição entre o estado interligado e autónomo da microrrede [8].

Também é possível implementar o *droop* em conversores com controle de corrente, sendo que neste caso a potência ativa e reativa injetadas são ajustadas de acordo com a frequência e tensão atuais da microrrede. Devido ao papel na partilha de potência e regulação da frequência e tensão da microrrede, os conversores com este tipo de controle são chamados de *grid-supporting* [16,17].

2.2.2 Controle da microrrede AC

Quando a microrrede está no modo interligado, a principal preocupação passa pela coordenação das várias FGD e SAEE de forma a satisfazer os consumos locais e realizar as trocas necessárias com a REE, minimizando o consumo intermitente da microrrede do ponto de vista da REE. No modo autónomo, para além do equilíbrio entre a produção e o consumo local, é necessário ter em conta a regulação da tensão e da frequência [21].

A coordenação dos vários elementos da microrrede (FGD, SAEE, cargas) pode ser idealizada através de duas abordagens bastante distintas: controle centralizado, onde são tomadas decisões em relação ao ponto de funcionamento dos vários elementos com base na otimização da microrrede como um todo; ou controle distribuído, em que os vários elementos coordenam entre si o melhor ponto de funcionamento, consoante as medições realizadas localmente e considerando os seus objetivos individuais [13,22]. A opção mais comum acaba por recair numa estrutura de controle hierárquica, em que algumas funcionalidades são implementadas de forma descentralizada pelos controladores locais (LC, MC, VC), mas o controle e otimização global da microrrede é efetuado de forma centralizada através do MGCC [13,15,22,23]. Esta estrutura de coordenação geralmente tem três níveis de controle: primário, secundário e terciário.

O controle primário é o mais rápido e é responsável pelo controle local dos vários elementos da rede e por isso está associado aos LC, MC e VC. Estes controladores idealmente devem ser capazes de controlar as suas grandezas elétricas e partilhar a potência entre si recorrendo apenas a parâmetros medidos localmente nos seus terminais, evitando o uso de comunicação. No controle primário estão incluídos os modos de funcionamento das FGD mencionados na subsecção anterior [13,15,20,23]. A

comunicação remota com o MGCC continua a ser feita, através do envio regular de informações (potência gerada/consumida, nível de carga das baterias, *etc.*), mas apenas para fins de melhor otimização do funcionamento da rede [10].

O controlo secundário está relacionado com a otimização do modo de funcionamento da microrrede com base nas características dos recursos nela existentes e nas previsões efetuadas. É um controlo mais lento para que o controlo primário tenha tempo de responder e também para reduzir a largura de banda necessária para a comunicação entre todos os recursos da rede [13]. As suas funcionalidades estão maioritariamente implementadas de forma centralizada no MGCC. Algumas destas funcionalidades são: atualização dos parâmetros e pontos de referência dos controladores locais (LC, MC, VC) [10,13], compensação dos desvios da frequência e tensão nominal [15, 18,23], previsão de falhas com base no comportamento atual da microrrede [10], previsão de geração e consumo [13,22], compensação do desequilíbrio entre fases [19,23], e coordenação do processo de restauro da microrrede [12].

Por fim, o controlo terciário é o controlo de mais alto nível e lida com a ligação entre a microrrede e a REE e com outras microrredes adjacentes numa perspetiva mais a longo prazo [13]. A principal função do controlo terciário é estabelecer pontos de referência para a potência ativa e reativa que devem ser trocadas com a REE através do PCC, tendo por base as características da microrrede, exigências do operador da rede de distribuição e serviços auxiliares que a microrrede pode disponibilizar [15,20,22,23]. Estes pontos de referência são enviados para o controlo secundário, que depois se encarrega de gerir a microrrede de modo a atingir esses objetivos.

2.3 Microrredes DC

Uma microrrede DC, à semelhança do conceito de microrrede AC apresentado na secção anterior, é uma rede composta por cargas, SAEE e FGD, mas com a particularidade de a distribuição ser feita em DC em vez de AC, como ilustrado pela Figura 2.3. As microrredes DC também podem funcionar nos dois modos de funcionamento já mencionados, interligado e autónomo, e a ligação à REE é feita através de um conversor de interligação (CI) [24-26]. O CI é geralmente um conversor AC/DC com capacidade de transmissão bidirecional de potência, para que seja possível injetar e absorver potência da REE [24,27].

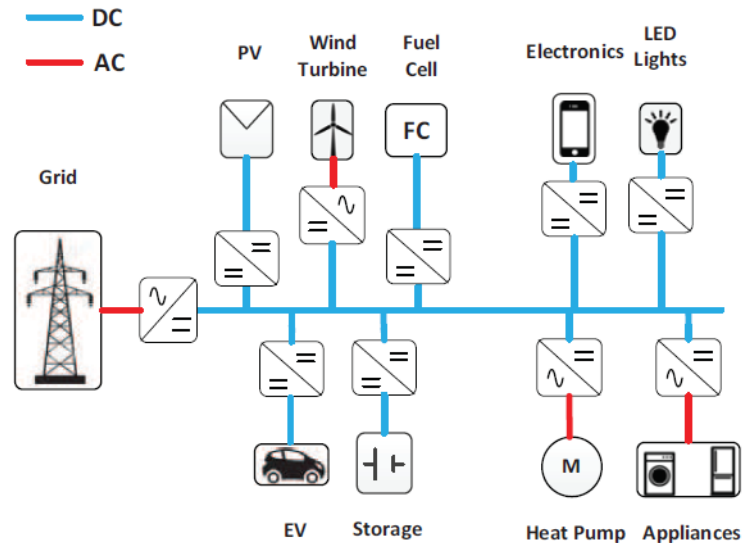


Figura 2.3 – Exemplo de uma arquitetura de uma microrrede DC [26].

Uma microrrede baseada numa distribuição em DC é particularmente interessante devido à redução do número de etapas de conversão entre as fontes de geração e as cargas finais que são maioritariamente DC [24,26]. Cargas DC como os computadores, televisões, carregadores de baterias e outros equipamentos eletrónicos similares, podem chegar a representar cerca de metade do consumo de uma residência comum, número que tende a subir com o aparecimento de veículos elétricos [26]. Existem ainda alguns eletrodomésticos, equipamentos industriais e fontes de geração que, embora sejam baseados em máquinas elétricas de velocidade variável, acabam por ter um barramento DC intermédio [24,28,29].

Os ganhos face a uma rede AC vão naturalmente depender de várias variáveis (existência de armazenamento local, rácio de cargas DC, topologia da rede, *etc.*), sendo estimado que pode ir de 5 % a 14 % numa instalação residencial [26]. A título de exemplo, é estimado que a alteração de uma topologia de 208 V AC para uma de 380 V DC num *datacenter* possa resultar num aumento relativo de 8,2 % na eficiência média, e numa redução de até 40 % das falhas a longo prazo devido a menos etapas de conversão em série [30].

Para além da redução das etapas de conversão e dos ganhos na eficiência que daí advêm, as microrredes DC têm as seguintes vantagens:

- Não são afetadas pelo efeito pelicular nos condutores, o que faz diminuir as perdas ou em alternativa utilizar condutores mais finos [24,31];
- Não existe potência reativa o que ajuda a reduzir as perdas energéticas e facilita o controlo [24,26];

- A ligação da microrrede DC à REE através de um conversor AC/DC pode ajudar a minimizar as perturbações, uma vez que o conversor acaba por funcionar como um *buffer* de energia entre as duas redes [28,32];
- O controlo de grandezas contínuas é mais simples do que o controlo das grandezas alternadas, facilitando a sincronização entre microrredes e fontes de geração e o controlo da tensão durante perturbações [24,28,29,32].

Em contrapartida, o maior desafio das microrredes DC está relacionado com a normalização. Existem poucos equipamentos comerciais compatíveis com redes DC (embora internamente funcionem em DC) e a variedade de tensões utilizadas nos barramentos DC internos faz com que seja difícil de adaptar os atuais produtos de forma universal [26,28]. A experiência mais limitada a lidar com instalações DC em ambiente real, o número mais reduzido de códigos de segurança e sistemas de proteção adequados são outros desafios que dificultam o avanço das microrredes DC [24,26,28,31,32].

2.3.1 Topologias

A microrrede DC pode ter duas topologias: unipolar e bipolar, ilustradas na Figura 2.4. Na topologia unipolar são utilizadas apenas duas linhas, correspondentes a uma fase positiva e outra negativa. Por ter apenas um nível de tensão (U_{dc}), este deve ser escolhido com algum cuidado. Tensões elevadas permitem reduzir as perdas nos condutores, no entanto, representam um maior risco para o utilizador e podem implicar a adição de vários conversores para a redução para níveis muito mais baixos ou, em alternativa, os conversores incluídos nos equipamentos terminais têm de ser capazes de suportar essas tensões elevadas [24]. Por outro lado, com tensões baixas, a capacidade de transmissão é reduzida e as perdas nos condutores são maiores. Esta topologia tem como grande vantagem a sua simplicidade e por isso é bastante utilizada em redes remotas e redes com níveis de potência mais baixos [26].

Já a configuração bipolar utiliza três linhas para a tensão positiva, negativa e neutro, adicionando assim um novo grau de flexibilidade para os equipamentos no que toca à escolha dos níveis de tensão mais apropriados ($+U_{dc}/2$, $-U_{dc}/2$ e U_{dc}) [32]. Quando comparado com uma rede unipolar com a mesma tensão entre fases, a topologia bipolar é caracterizada uma tensão fase-neutro inferior, o que se reflete numa maior segurança para o utilizador [26].

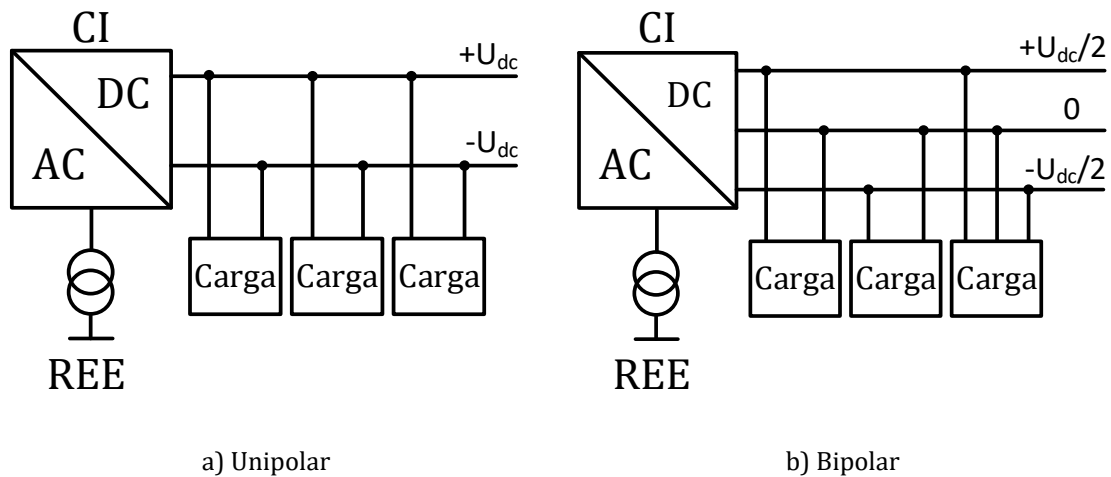


Figura 2.4 – Topologias da microrrede DC (baseado em [24]).

Esta última topologia permite ainda aumentar a fiabilidade do sistema, uma vez que em caso de falha numa fase, continua a ser possível utilizar a outra. Em contrapartida, a existência de cargas com potências diferentes em cada fase dá origem a desequilíbrios nas tensões. Estes desequilíbrios podem ser compensados através de um circuito adicional que funcione como equilibrador da tensão, a ser instalado na saída do CI [27,32].

2.3.2 Controlo da microrrede DC

Na microrrede DC os principais objetivos de controlo passam pela regulação da tensão DC e por manter o equilíbrio entre a potência gerada e a potência consumida dentro da microrrede, tanto no modo autónomo como no modo normal [21]. Face às microrredes AC, existe uma novidade que é a existência de um conversor de interligação entre as duas redes que também precisa de ser controlado.

De forma semelhante às microrredes AC, a integração das FGD e dos SAEE é feita através de conversores eletrónicos de potência (DC/DC e AC/DC), que podem funcionar à base do controlo de tensão ou controlo de corrente. Adicionalmente, podem ser implementados mecanismos de *droop*, para efeitos de regulação e partilha de potência entre as várias FGD e SAEE [29]. A coordenação dos vários elementos da rede é feita geralmente de forma hierárquica, com funcionalidades semelhantes às microrredes AC [15,29]. O conversor de interligação pode funcionar em modo controlo de tensão DC e controlo de corrente/potência, embora seja mais comum o seu funcionamento em controlo de tensão. A Figura 2.5 apresenta um resumo dos vários modos de operação da microrrede, de acordo com os papéis a desempenhar pelo CI e pelos restantes elementos da microrrede.

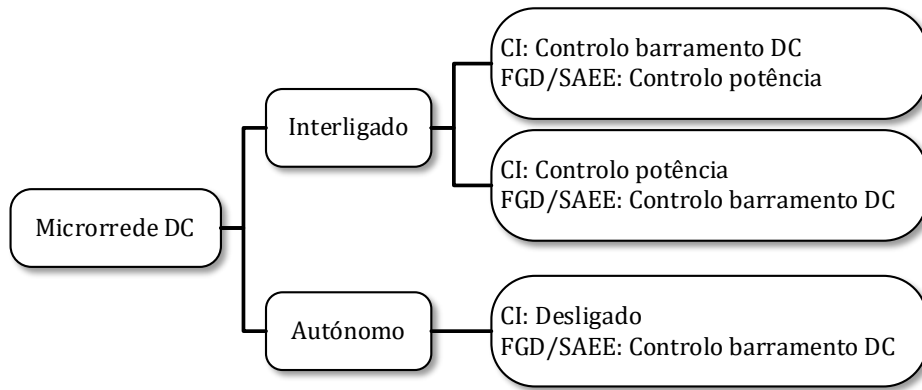


Figura 2.5 – Modos de operação da microrrede DC (adaptado de [21]).

No modo de controlo de tensão DC, o CI controla e estabelece a tensão no barramento DC, resultando no equilíbrio entre a potência produzida e consumida dentro da microrrede. Os SAEE e FGD devem ser coordenados de forma a suavizar as trocas de potência com a REE e a compensação de potência reativa e outras funções de suporte são sempre realizadas por meio do CI [21]. As FGD, dependendo da sua natureza, podem injetar a potência disponível ou podem receber pontos de referência específicos a partir de camadas hierárquicas superiores. Se existirem conversores com controlo de tensão, a potência é injetada a partir da variação da tensão aos terminais do conversor [21,25,33].

No modo de controlo de potência do CI, a tensão do barramento DC é ajustada a partir dos SAEE e FGD na microrrede DC e o CI injeta ou absorve uma potência de referência [21]. A capacidade de fornecimento de potência dos SAEE tem de ser ajustada consoante o nível de carga, desta forma os SAEE com carga baixa fornecem menos potência do que os SAEE com carga mais elevada. A potência injetada pelo CI também deve ser reajustada de forma a manter os SAEE num nível aceitável de carga [34]. Dada a capacidade da REE (pode ser considerada um barramento infinito, do ponto de vista da microrrede) este modo de operação não é tão comum e o controlo da tensão DC pelo CI é mais adequado.

Quando a microrrede se encontra a funcionar de forma autónoma, o CI deixa de poder regular a tensão DC e essa responsabilidade passa para as FGD e SAEE. Pelo menos um elemento (o de maior capacidade, geralmente) tem de funcionar no modo controlo de tensão de forma a repor a tensão no barramento DC e equilibrar a potência consumida e produzida. Se durante o funcionamento interligado da microrrede existir algum elemento em modo de controlo de tensão, a transição entre modos de funcionamento pode ser realizada de forma automática e mais suave, resultando em menos perturbações na microrrede [25,33]. Neste modo de funcionamento, a existência de FGD controláveis é de maior importância para o bom funcionamento a longo prazo, dada a capacidade limitada dos SAEE e a intermitência das fontes não controláveis [32].

2.4 Microrredes híbridas

As microrredes DC apresentam-se como uma boa solução para a integração de cargas e fontes DC por natureza, no entanto, continuam a existir cargas e fontes AC e as próprias redes de distribuição atuais são também AC, pelo que a transição total para uma microrrede DC nem sempre é viável [35]. A microrrede híbrida surge como resposta a este problema, juntando microrredes DC e microrredes AC em diferentes barramentos e interligados por um conversor AC/DC bidirecional, como esquematizado na Figura 2.6. Tal como nas microrredes AC e DC independentes, a microrrede híbrida apresenta uma ligação à REE através do barramento AC e pode funcionar no modo autónomo [21,35-38].

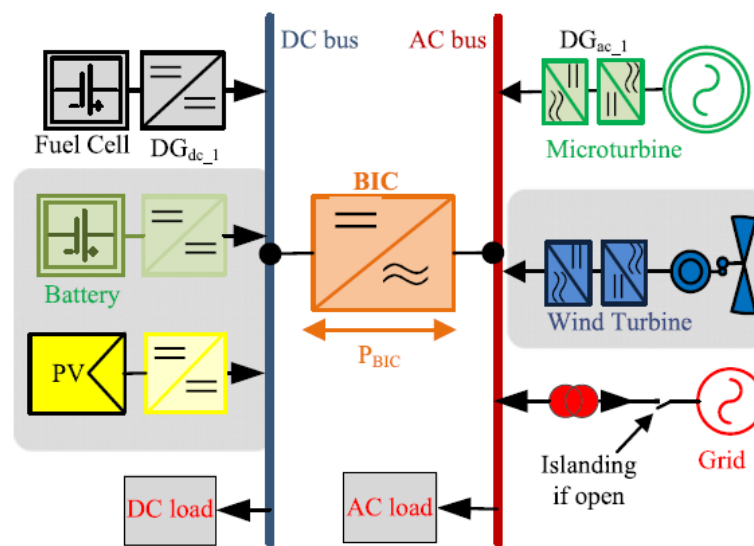


Figura 2.6 – Arquitetura típica de uma microrrede híbrida [36].

O CI tem como principal função a transferência de potência entre as duas microrredes de forma a equilibrar a geração e o consumo em ambas, o que aumenta a complexidade da microrrede híbrida face ao controlo das microrredes AC e DC em separado. Em caso de sobreprodução num lado da microrrede é possível transferir a potência remanescente para o outro lado, caso os SAEE locais estejam já carregados, ao invés de reduzir a produção, permitindo aumentar a fiabilidade e melhorar o aproveitamento da FGD renováveis [38]. A ligação à REE no barramento da microrrede AC possibilita uma troca de potência bidirecional com a REE, caso a produção em ambas as microrredes não seja suficiente para suprimir as necessidades locais ou caso exista uma produção excedente no conjunto das duas microrredes [37,38].

O CI é um conversor AC/DC semelhante ao utilizado nas microrredes DC. Os principais requisitos para o CI são a capacidade de funcionamento bidirecional, controlo da potência ativa e reativa, controlo de tensão e frequência AC, e controlo de tensão

DC [39]. Dado que o controlo das tensões é feito à custa de uma variação da potência, o CI só pode ser controlado num destes modos de cada vez.

2.4.1 Controlo da microrrede híbrida

O controlo da microrrede híbrida é algo complexo por implicar a coordenação de duas microrredes diferentes. As técnicas e estratégias utilizadas para a partilha de potência, regulação de tensão e coordenação entre os elementos da microrrede aplicadas nas microrredes AC e DC continuam a ser válidas, mas desta feita o CI tem novos modos de funcionamento no modo autónomo [21,37]. A Figura 2.7 apresenta as várias possíveis abordagens para o controlo do CI na microrrede híbrida.

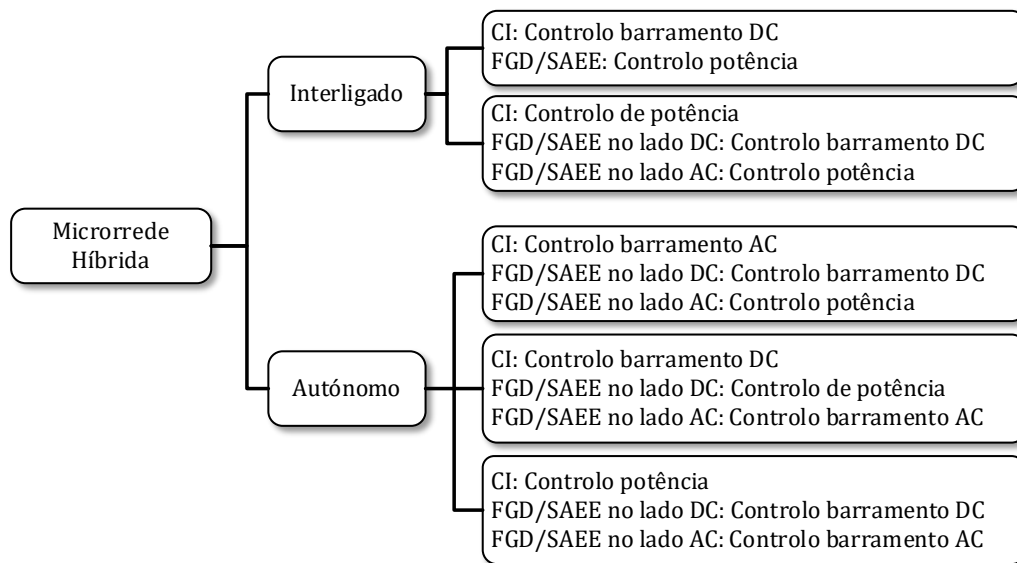


Figura 2.7 – Estratégias de controlo para a microrrede híbrida (adaptado de [21]).

O modo interligado é igual ao da microrrede DC, com a diferença de existirem FGD, SAEE e cargas no barramento AC. O CI é preferencialmente utilizado para estabilizar a tensão DC e partilhar potência entre os lados AC e DC. Todas as fontes de geração funcionam no modo de extração de potência máxima ou com base em pontos de referência, e os SAEE podem ser utilizados para suavizar e minimizar a transferência de potência entre as secções DC e AC e a REE [21,38,40]. A potência das FGD e SAEE podem ser controladas diretamente através do controlo de corrente ou a partir do controlo de tensão de forma a permitir uma melhor transição entre o modo normal e o modo autónomo [21].

No modo autónomo o CI pode funcionar em três modos diferentes, consoante as características das microrredes DC e AC que está a interligar [21,36,37,39,40]. Quando a microrrede AC tem capacidades de controlo da tensão e frequência da rede, o CI pode focar-se na regulação da tensão do barramento DC [36,40]. Por outro lado, quando não

existem FGD ou SAEE na microrrede AC, ou estes existem numa quantidade mais limitada, os SAEE no lado DC ficam encarregues de estabelecer a tensão no barramento DC e o CI encarrega-se de regular a tensão e a frequência do lado AC [38,40].

Quando ambas as microrredes têm uma boa capacidade de regulação da tensão, o CI pode funcionar em controlo de potência, utilizando uma estimativa do desequilíbrio entre produção e consumo em ambas as microrredes de forma a calcular a quantidade de potência a injetar e o sentido de injeção. Esta estimativa pode ser feita através da monitorização da tensão DC e da frequência AC, que são os indicadores de equilíbrio das respetivas microrredes [21,35,36]. Se a tensão DC normalizada for inferior à frequência AC normalizada, é sinal de que o lado DC tem um maior desequilíbrio entre o consumo e a produção do que o lado AC e portando deve-se injetar mais potência no lado DC. De forma análoga, se a frequência normalizada for inferior à tensão DC normalizada, é sinal que se deve injetar potência no lado AC [35,36].

É possível transitar entre os vários modos de controlo do CI (tensão AC, tensão DC e potência) de forma programada (caso de manutenção das FGD/SAEE responsáveis por estabelecer a tensão numa das microrredes) ou de forma acidental (falha de alguma FGD/SAEE responsável pelo estabelecimento da tensão). Em todo o caso, é necessário que pelo menos uma das microrredes tenha elementos capazes de estabelecer a tensão, uma vez que o CI não é capaz de regular as tensões AC e DC ao mesmo tempo [21,36].

2.5 Conversores multinível

Os conversores eletrónicos de potência são largamente utilizados na indústria, onde existe uma grande procura por equipamentos de alta potência. A indústria dos semicondutores tem tentado acompanhar esta tendência, com desenvolvimento de semicondutores com tensões e correntes nominais elevadas, permitindo continuar a utilizar as topologias de conversores de dois níveis, cujos métodos de controlo são bem conhecidos e documentados [5]. No entanto, estes semicondutores têm preços elevados e mesmo assim podem não ser suficientes para algumas das aplicações industriais mais exigentes.

Os conversores multinível são uma categoria de conversores que permitem gerar à saída n níveis de tensão, através de algumas modificações nas topologias de conversão tradicionais de dois níveis. A Figura 2.8 mostra uma comparação entre o princípio de funcionamento geral e as formas de onda à saída de um conversor de dois, três e nove níveis.

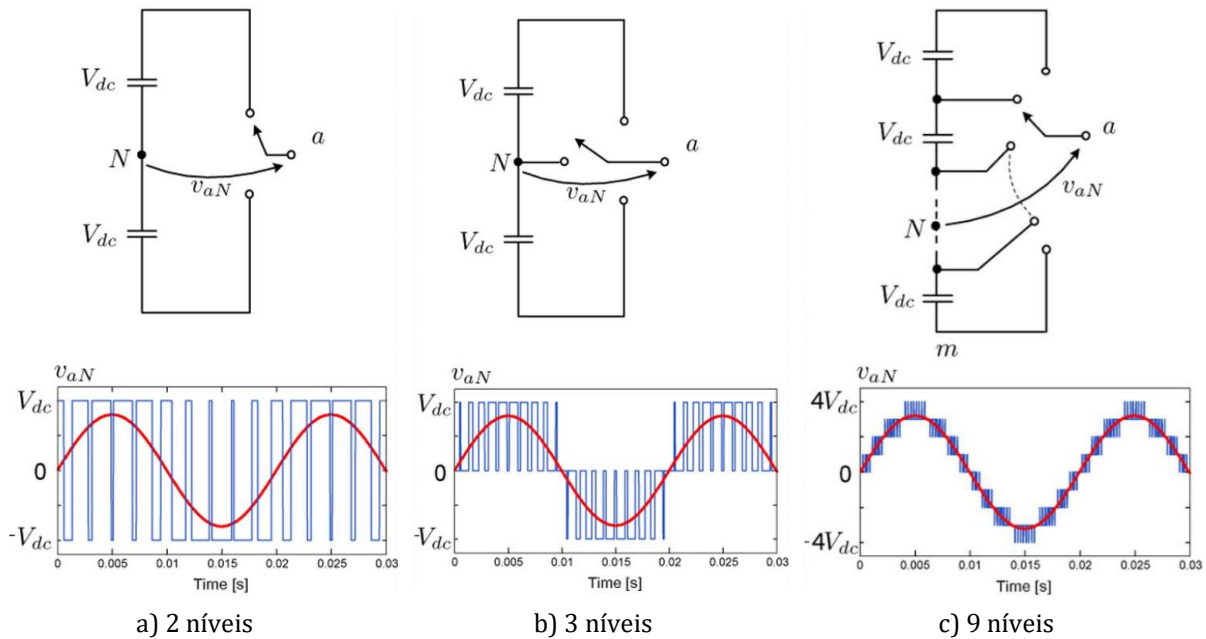


Figura 2.8 – Comparação do princípio de funcionamento e formas de onda resultantes entre conversores de dois níveis e conversores multinível [5].

A operação dos conversores é feita de forma comutada, de modo a aproximar a tensão média produzida pelos impulsos à tensão de uma senoide. É notável que com o aumentar do número de níveis, a saída aproxima-se cada vez mais da forma de uma senoide, levando a uma menor distorção harmónica da saída e a um projeto mais relaxado dos filtros [5,41]. O número n de níveis diz sempre respeito ao número de níveis à saída de um braço do conversor. A agregação de dois braços permite dar origem a uma configuração em ponte completa com $n_{ll} = 2n - 1$ níveis entre as fases (incluindo o zero), e uma agregação de três braços permite uma configuração trifásica com $n_l = 2n_{ll} - 1$ níveis de tensão fase-neutro [5].

Resumindo, algumas das vantagens dos conversores multinível são [5,41,42]:

- Podem operar a frequências mais baixas e conseqüentemente têm menos perdas por comutação, levando a uma maior eficiência;
- Permitem a operação com tensões e conseqüentemente potências mais elevadas;
- Produzem saídas com degraus intermédios mais baixos, levando a taxas de variação da tensão (du/dt) e distorções harmónicas menores, assim como filtros mais pequenos e baratos;
- Para uma tensão de alimentação U_{dc} , os semicondutores suportam apenas uma tensão de $U_{dc}/(n - 1)$. Permite utilizar tensões mais elevadas ou semicondutores mais baratos;

- Algumas topologias têm tolerância a falhas, podendo continuar a funcionar com técnicas adequadas de controlo, embora com potências mais baixas.

Como desvantagens podem ser apontadas as seguintes [41,42]:

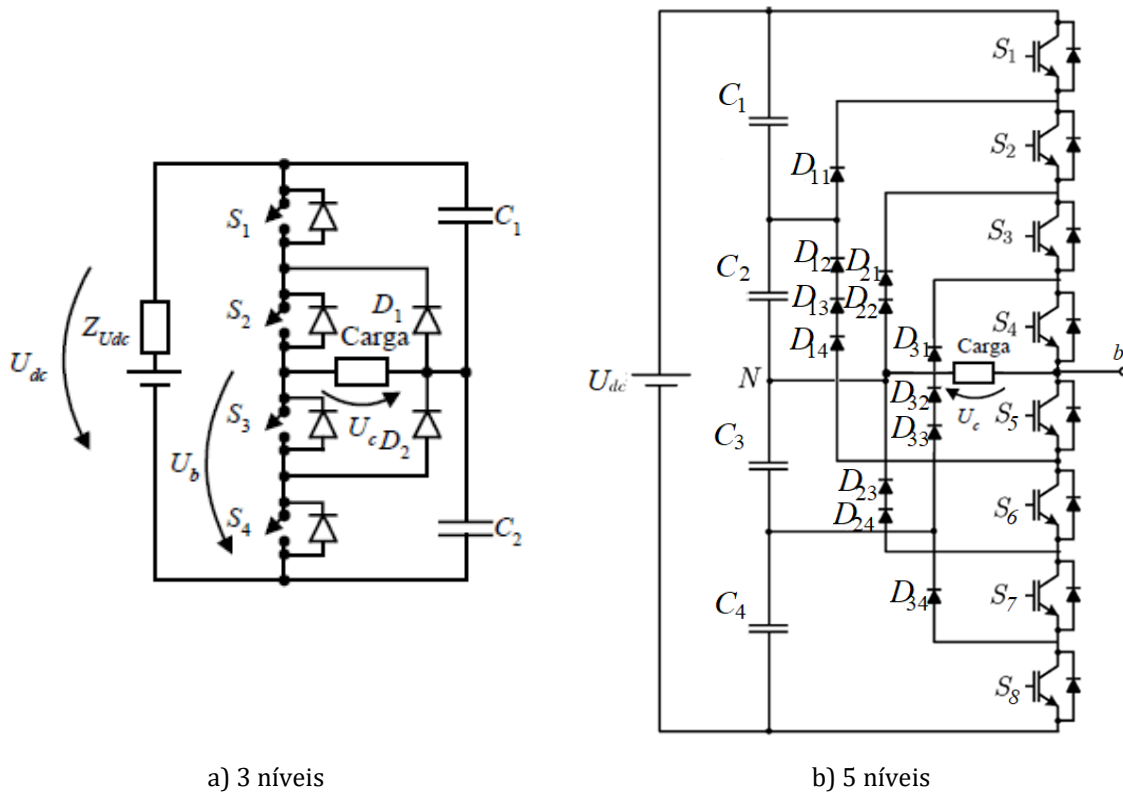
- Técnicas de controlo e modulação mais complexas;
- Existência de vários condensadores ou fontes de tensão isoladas para gerar os diferentes níveis de tensão;
- Complexidade acrescida no equilíbrio de condensadores;
- Aumento na quantidade de semicondutores e condensadores necessários, quando comparados com a topologia de dois níveis, o que torna os conversores mais caros e volumosos;
- Muitas ligações de comando para todos os semicondutores ativos, aquisição de várias grandezas elétricas, sistemas de processamento mais exigentes, *etc.*

Graças às suas características, os conversores multinível tornaram-se uma escolha interessante em muitas aplicações como o controlo de máquinas elétricas industriais (ventoinhas, sistemas bombagem), ligação de sistemas HVDC (*High Voltage Direct Current*), melhoria na qualidade energética (compensação de potência reativa, filtros ativos) e integração de energias renováveis (fotovoltaica, eólica) [41-46]. A complexidade de controlo do conversor e o número de dispositivos necessários, acaba por limitar o número de níveis utilizados em sistemas comerciais [41,45].

As principais topologias de conversores multinível são a de díodos ligados ao ponto neutro (NPC – *Neutral Point Clamped*), condensadores flutuantes (FC – *Flying Capacitors*) e conversores de ponte H em série (CHB – *Cascaded H-Bridge*) [5,41,42]. Na secção seguinte é descrita a topologia NPC.

2.5.1 Conversor NPC

No conversor NPC é utilizado um divisor capacitivo de forma a dividir a tensão de alimentação U_{dc} em vários níveis aproximadamente iguais. Na Figura 2.9 é apresentada a topologia monofásica de um conversor NPC de três e de cinco níveis. O braço do conversor de três níveis é composto por uma associação em série de quatro interruptores, daqui em diante designados por semicondutores de potência ativos (SPA), com díodos antiparalelo, enquanto no conversor de 5 níveis existem oito SPA [41]. Os díodos antiparalelo em cada SPA permitem que a corrente circule em sentido contrário, possibilitando a operação do conversor de forma bidirecional. São ainda adicionados díodos que fazem a ligação entre os pontos intermédios dos SPA, e os pontos intermédios dos condensadores.



a) 3 níveis

b) 5 níveis

Figura 2.9 – Topologias de conversores multinível: a) Três níveis [41]; b) Cinco níveis (adaptado de [5]).

O aumento do número de níveis faz reduzir a tensão que cada SPA tem de suportar, cerca de $U_{dc}/2$ para o conversor de três níveis e $U_{dc}/4$ para o conversor de cinco níveis, permitindo aumentar a tensão de alimentação para o dobro ou para o quádruplo respetivamente. Para um caso geral de n níveis de tensão à saída, são necessários $(n - 1)$ condensadores, $2(n - 1)$ SPA e respetivos díodos antiparalelo, e $(n - 1)(n - 2)$ díodos de ligação ao ponto neutro [41].

Os SPA operam no modo ligado, $S_k = 1$, ou desligado, $S_k = 0$, em que k é o número de cada SPA. Os SPA da parte superior do braço devem operar de forma complementar aos pares equivalentes da parte inferior, de forma a evitar situações de curto-circuito. No caso do conversor de três níveis, isto significa que o S_1 é complementar a S_3 , e S_2 é complementar a S_4 . Para o conversor de três níveis, as combinações válidas são resumidas na Tabela 2.1 [41].

Tabela 2.1 – Combinações válidas para os o conversor NPC de três níveis (adaptado de [41]).

Tensão U_b	Tensão U_c	S_1	S_2	S_3	S_4
U_{dc}	$U_{dc}/2$	1	1	0	0
$U_{dc}/2$	0	0	1	1	0
0	$-U_{dc}/2$	0	0	1	1

Na Figura 2.10 são esquematizadas as combinações da Tabela 2.1, com destaque para as malhas ativas em cada caso. Nesta figura é visível o efeito de roda livre que os díodos D_1 e D_2 introduzem, permitindo a ligação da saída ao ponto neutro dos condensadores e dando origem ao nível de tensão nulo. Estes díodos são também responsáveis por limitar a tensão em cada um dos SPA que estão desligados [47].

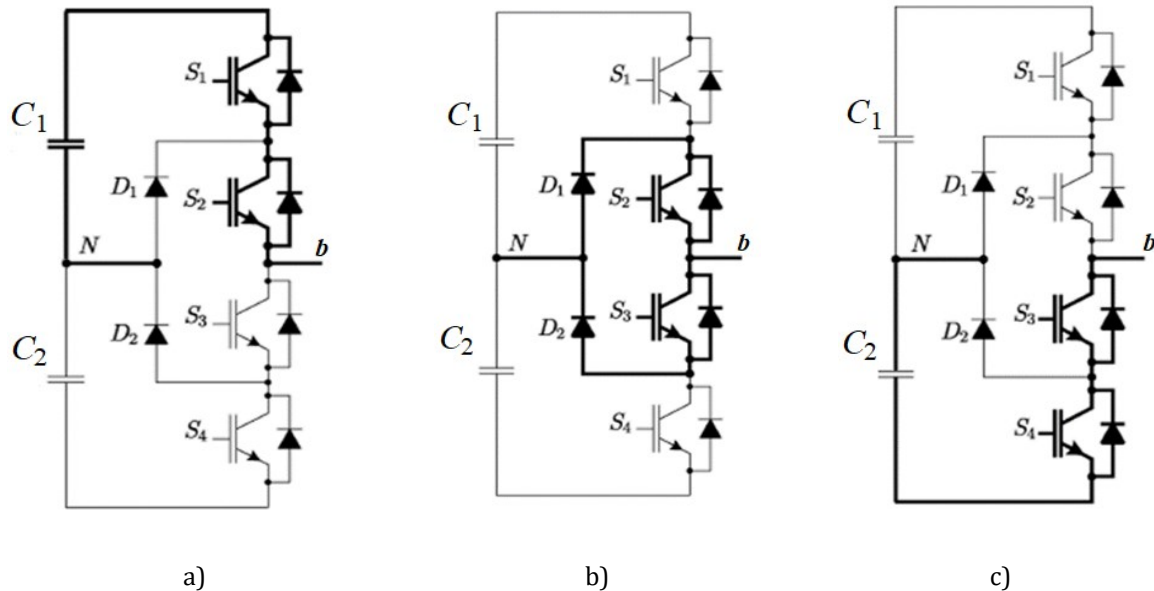


Figura 2.10 – Circuito equivalente para as três combinações válidas do conversor NPC de 3 níveis [5].

Para o caso do conversor de quatro níveis as combinações válidas são apresentadas na Tabela 2.2. Neste caso, os pares de SPA complementares são (S_1, S_5) , (S_2, S_6) , (S_3, S_7) , (S_4, S_8) [41].

Tabela 2.2 – Combinações válidas no conversor NPC de cinco níveis (adaptado de [41]).

Tensão U_b	Tensão U_c	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8
U_{dc}	$U_{dc}/2$	1	1	1	1	0	0	0	0
$3U_{dc}/4$	$U_{dc}/4$	0	1	1	1	1	0	0	0
$U_{dc}/2$	0	0	0	1	1	1	1	0	0
$U_{dc}/4$	$-U_{dc}/4$	0	0	0	1	1	1	1	0
0	$-U_{dc}/2$	0	0	0	0	1	1	1	1

Nesta tabela, (e também na Tabela 2.1, embora menos expressivo) é possível verificar uma tendência para os SPA afastados do centro do braço estarem ativos com menos frequência. Por exemplo, os SPA S_4 e S_5 estão ligados em quatro combinações, ao passo que os SPA S_1 e S_8 só estão ligados numa combinação [41]. Esta característica implica uma distribuição não homogênea das perdas de comutação e da temperatura dos semicondutores.

O aumento do número de níveis, embora contribua para uma melhor forma de onda, acarreta dois grandes desafios. O primeiro é o aumento quadrático do número de díodos necessários para realizar as ligações ao neutro, representando um custo acrescido e um aumento no tamanho do conversor. Este aumento deve-se ao facto de para níveis mais elevados os díodos ficarem sujeitos a tensões de bloqueio mais elevadas. A título de exemplo, na última combinação da Tabela 2.2, quando os SPA S_5, S_6, S_7, S_8 estão ligados a tensão suportada pelo conjunto de díodos D_{12}, D_{13}, D_{14} é de $3U_{dc}/4$, ou seja, três vezes superior à tensão que os SPA individuais têm de suportar, daí a necessidade de utilizar três díodos em série em vez de um [47].

O segundo grande desafio é a complexidade inerente ao equilíbrio dos condensadores. O conceito de conversor multinível NPC parte do princípio de que o divisor capacitivo divide a tensão em partes iguais. Porém, devido às assimetrias e imperfeições dos componentes num circuito real e aos transientes das cargas, existe uma tendência para que as tensões se desequilibrem, levando à necessidade de modificar o algoritmo de controlo de forma a evitar essa situação [41,48].

Resumidamente, o conversor NPC apresenta as seguintes vantagens [41,42,45]:

- Tecnologia madura, desenvolvida desde os anos 90 e muito utilizada na indústria;
- Possibilidade de funcionamento a frequências relativamente baixas, reduzindo as perdas por comutação;
- Existem combinações de SPA que podem ser aproveitados para o equilíbrio dos condensadores;
- Capacidade de regulação da potência reativa;
- Utiliza uma única fonte de tensão DC e menos condensadores em comparação com outras topologias.

Desvantagens:

- Aumento quadrático do número de díodos de ligação ao ponto neutro;
- Necessidade de equilibrar os condensadores, através de métodos que não são facilmente adaptáveis para níveis elevados;
- Não existe uma utilização equilibrada de todos os semicondutores.

A nível comercial a topologia NPC, e em particular a topologia de três níveis, é de facto uma das mais utilizadas por apresentar uma boa relação de compromisso entre a complexidade de controlo, número de componentes e distorção harmónica [45]. Na Figura 2.11 é apresentado um exemplo de um conversor NPC de três níveis da ABB, utilizado para aplicações com geradores eólicos até 12 MW. Neste caso, a tensão de

alimentação DC do conversor é regulada a partir de outro conversor NPC no lado da rede. São utilizados IGCT (*Integrated Gate Commutated Thyristor*) de 3,3 kV como SPA, e o controlo é feito através de uma técnica otimizada de impulsos no conversor do lado da rede e por PWM (*Pulse Width Modulation*) no conversor do lado do gerador [49].

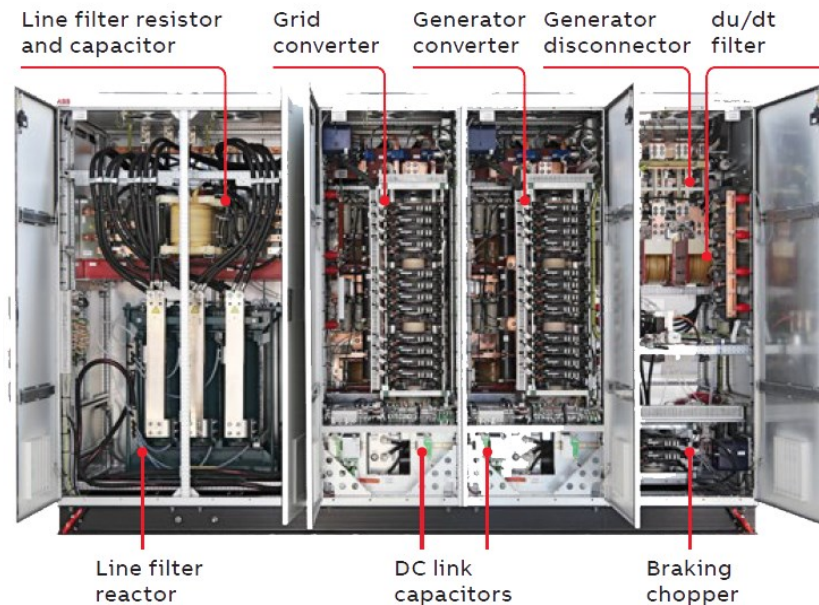


Figura 2.11 – Conversor PCS6000 da ABB para potências até 12 MW [49].

2.6 Técnicas de controlo de conversores multinível

Os conversores multinível realmente apresentam diversas vantagens, no entanto, para o controlo das grandezas elétricas são necessárias técnicas de controlo adequadas de forma a produzir as sequências de comutação corretas para os SPA. No caso dos conversores multinível esta tarefa é geralmente mais complexa devido à quantidade elevada de combinações possíveis e às necessidades de controlo adicionais (equilíbrio de condensadores, por exemplo).

As técnicas de modulação podem ser divididas em duas grandes categorias: as técnicas de baixa frequência (geralmente abaixo de 1 kHz) e as técnicas de alta frequência (>1 kHz) [5,47]. Nas técnicas de alta frequência as mais comuns são as baseadas em portadoras triangulares, como é o caso da modulação sinusoidal por largura de impulsos (SPWM – *Sinusoidal Pulse Width Modulation*), ou na representação vetorial das tensões, como é o caso da modulação por vetores espaciais (SVM – *Space Vector Modulation*). Nesta secção, serão abordadas estas duas últimas técnicas e ainda uma terceira técnica baseada no controlo não linear por modo de deslizamento (MD).

2.6.1 Modulação por vetores espaciais

Como apresentado na secção anterior, um conversor multinível tem um número limitado de n níveis de tensão à saída de cada braço. Num sistema trifásico a combinação desses n níveis de tensão em cada braço dá origem a um total de 3^n combinações que podem ser representadas num plano vetorial [41], [5]. Para o caso particular do conversor NPC de três níveis, existem 27 combinações totais, apresentadas no plano $\alpha\beta$ da Figura 2.12, em que os símbolos $+0$ simbolizam os níveis de tensão possíveis à saída de cada um dos três braços do conversor [5]. Nesta figura é visível que algumas combinações de SPA dão origem ao mesmo vetor. Estes vetores dizem-se redundantes e, apesar de produzirem o mesmo efeito na carga, provocam efeitos diferentes no comportamento dos condensadores do conversor NPC [41].

As técnicas SVM aproveitam este número limitado de combinações para realizar a escolha dos vetores adequados para o seguimento de uma tensão de referência, representada por v_s^* na Figura 2.12. No entanto, dado o número limitado de vetores, a tensão de referência dificilmente coincide com os vetores disponíveis. A solução passa por escolher um conjunto de vetores e determinar o tempo que cada um deles deve ser aplicado de forma a sintetizar um vetor médio equivalente ao vetor de referência [41, 47,48].

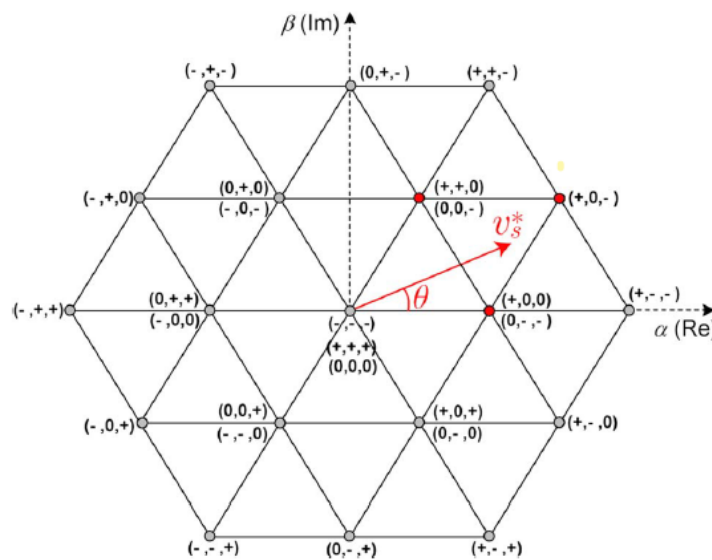


Figura 2.12 – Representação no plano $\alpha\beta$ dos vetores válidos para um conversor de 3 níveis [5].

Os vetores escolhidos são tipicamente os três vetores mais próximos do vetor de referência. O vetor de referência v_s^* pode ser sintetizado pela equação (2.1) [5,48,50].

$$t_s v_s^* = (t_0 v_0 + t_1 v_1 + t_2 v_2) \tag{2.1}$$

Em que t_1, t_2, t_3 são os tempos de aplicação de cada um dos vetores e t_s é o tempo correspondente a um período completo da sequência. A estratégia mais comum para o cálculo dos tempos passa por localizar o vetor de referência no espaço e reduzir o hexágono da Figura 2.12 a um hexágono com apenas seis triângulos, equivalente ao plano $\alpha\beta$ de um conversor de dois níveis [50]. Em [51] é aplicada uma abordagem semelhante, que consiste em localizar diretamente o triângulo onde está a referência e realizar uma mudança de referencial consoante a orientação do triângulo, resultando também no mesmo método de cálculo que um conversor de dois níveis.

Para realizar o equilíbrio dos condensadores geralmente utilizam-se os vetores redundantes que, apesar de terem a mesma amplitude, produzem efeitos diferentes nos condensadores [41,47,50]. O tempo t_0 alocado ao vetor v_0 pode ser dividido em duas secções, t_{01} e t_{02} , em que se aplicam vetores redundantes em cada uma delas [50]. A sequência de comando começa e acaba com um vetor redundante com a mesma amplitude, podendo ajustar o tempo de aplicação de cada um de forma a melhor equilibrar os condensadores. Aplicando esta abordagem à Figura 2.12 obter-se-ia a seguinte sequência $(+00) \rightarrow (+0-) \rightarrow (00-) \rightarrow (0--)$.

A técnica SVM apresenta uma boa utilização da tensão DC (permite uma maior tensão AC para a mesma tensão DC), as correntes têm uma variação reduzida, e a implementação é relativamente fácil através da utilização de processadores digitais de sinal [47]. Esta técnica pode ser aplicada a qualquer conversor, independentemente do número de níveis e da topologia, havendo naturalmente uma diferença na quantidade de vetores representados no plano $\alpha\beta$ e na complexidade de controlo devido ao aumento expressivo de vetores redundantes [41,47].

2.6.2 Modulação por largura de impulsos (PWM)

A técnica de modulação por largura de impulsos, PWM, é uma das mais conhecidas técnicas no controlo de várias topologias de conversores eletrónicos de potência e consiste na comparação de um sinal de referência (moduladora) com uma portadora triangular [52]. A variação do sinal de referência permite variar a largura dos impulsos resultantes do processo de comparação e, por consequência, variar a tensão média aplicada à saída do circuito. A técnica SPWM diz respeito ao caso particular em que a moduladora é um sinal sinusoidal.

Para o conversor NPC de três níveis, o controlo PWM tradicional é adaptado através da adição de uma segunda portadora, como esquematizado na Figura 2.13 a). Para realizar a comparação com as duas portadoras são necessários dois moduladores individuais (Figura 2.13 b)), cujas saídas são utilizadas para controlar diretamente os SPA

S_1 e S_2 de cada braço do conversor. Os SPA S_3 e S_4 são sempre operados de forma complementar, o que reduz o número de sinais de controlo a dois.

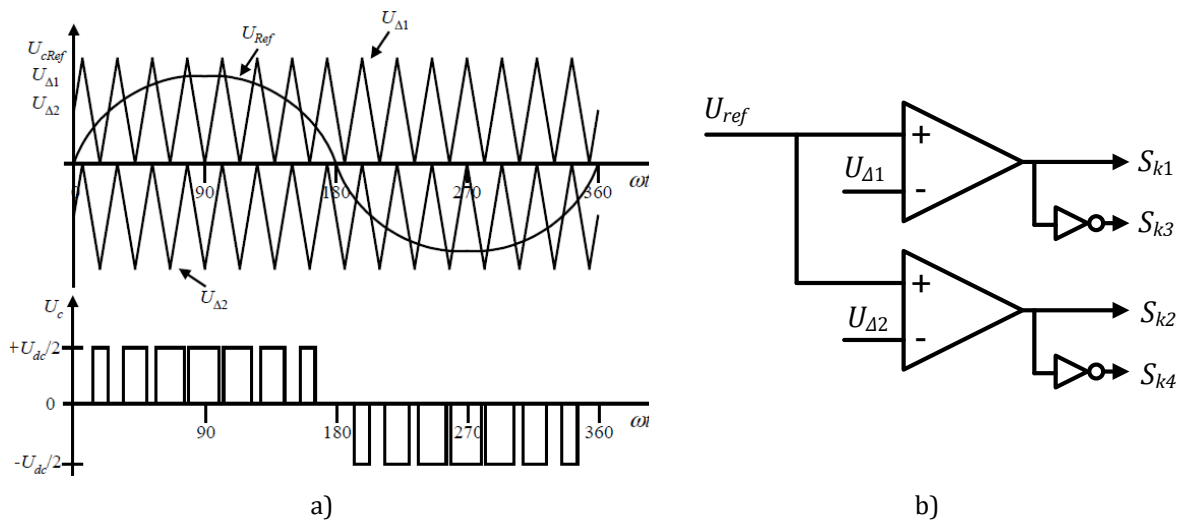


Figura 2.13 – a) Princípio de modulação e tensão à saída do conversor de três níveis [41]; b) Moduladores PWM para conversor de três níveis (baseado em [5,52]).

Para o caso geral de um conversor multinível de n níveis são necessárias $n - 1$ portadoras [5,53]. Os índices de modulação da amplitude e da frequência são apresentados em (2.2), em que A_m e f_m representam a amplitude e frequência da moduladora e A_s e f_s representam a amplitude e frequência da portadora [53].

$$m_a = \frac{2A_m}{(n - 1)A_s} \quad m_f = \frac{f_s}{f_m} \quad (2.2)$$

O modulador PWM é linear para um índice de modulação inferior à unidade, ou seja, $0 < m_a \leq 1$. Existem, no entanto, técnicas como a adição de uma terceira harmónica que permitem estender a região linear de funcionamento, aproveitando melhor a tensão DC disponível [48,53]. O valor de m_f deve ser relativamente elevado para diminuir a distorção da forma de onda. Com o aumento de m_f aumentam também as perdas de comutação.

Existem vários métodos para a distribuição das portadoras num modulador multinível, que podem ser divididos em duas categorias: LS-PWM (*Level Shifted PWM*), em que as portadoras são distribuídas verticalmente, ou PS-PWM (*Phase Shifted PWM*), em que as portadoras são desfasadas horizontalmente [5]. A sequência de impulsos do PS-PWM não é adequada ao controlo de conversores NPC, ao passo que a técnica LS-PWM pode ser aplicada a qualquer topologia.

Dentro do LS-PWM existem três principais configurações: a disposição em fase (PD – *Phase Disposition*), a disposição por oposição de fase (POD – *Phase Opposition*)

Disposition) e a disposição por oposição de fase alternada (APOD – *Alternative Phase Opposition Disposition*). No caso da PD as portadoras estão todas em fase, na POD as portadoras positivas estão em fase entre si, mas em oposição de fase com as portadoras negativas e na APOD estão todas em oposição de fase [5,53]. Na Figura 2.14 são exemplificadas estas três configurações para $m_f = 20$ e $m_a = 1$, no caso de um conversor de 7 níveis.

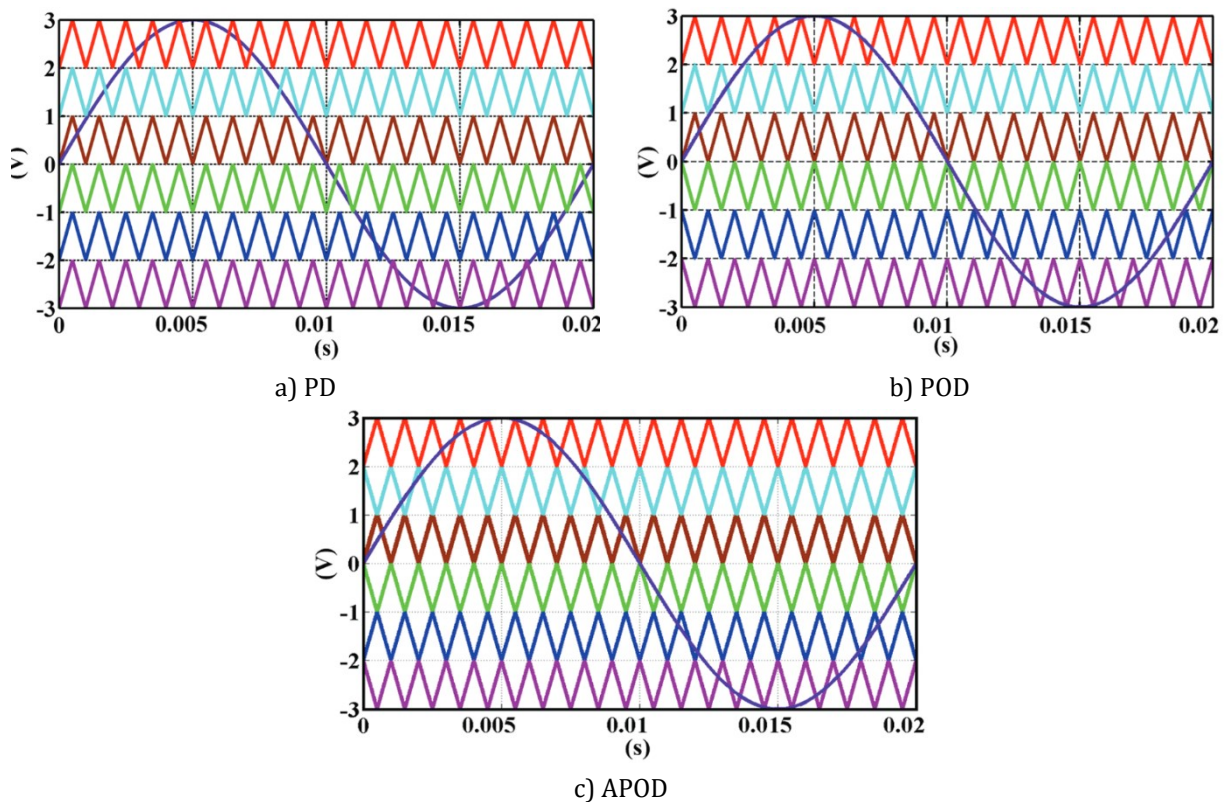


Figura 2.14 – Distribuição das portadoras para a modulação por SPWM num conversor de 7 níveis [53].

As diferentes relações de fase dos métodos vão originar ligeiras diferenças na forma de onda à saída do conversor. A técnica PD é a mais comum e fácil de implementar, e a que normalmente resulta em melhores características em termos de distorção harmónica (THD – *Total Harmonic Distortion*) [41,53]. Todas as técnicas LS-PWM podem ser aplicadas a qualquer topologia de conversor multinível, mas é mais comum a sua aplicação a conversores NPC. Já para os conversores FC e em cascata é preferível a utilização de técnicas PS-PWM que resultam num melhor equilíbrio das tensões nos condensadores e numa melhor distribuição da potência pelas células [5].

Neste método de modulação a abordagem mais comum para a compensação do desvio das tensões dos condensadores é através de um ajuste vertical da posição das portadoras ou do sinal modulador. Este ajuste, embora afete a corrente média fornecida por cada condensador e conseqüentemente o equilíbrio dos condensadores, não altera a tensão aplicada na carga [27,48].

O controlo linear por PWM é um controlo muito utilizado dado a sua simplicidade de implementação prática e estabilidade de funcionamento. Por outro lado, é um método relativamente lento, os parâmetros podem ser algo difíceis de ajustar de forma a obter uma resposta adequada em todas as situações e o seu funcionamento depende das características do sistema [40,41].

2.6.3 Modo de deslizamento

Um conversor eletrónico de potência pode ser considerado não linear e variante no tempo uma vez que a sua estrutura altera ao longo do tempo consoante os estados dos SPA. O controlo linear é muito utilizado no controlo de conversores eletrónicos de potência e em especial com moduladores PWM, no entanto, este tipo de controlo baseia-se em modelos aproximados em que a comutação é desprezada e assumem-se valores médios para as variáveis de comutação [54]. Uma melhor abordagem para o controlo de conversores passa precisamente por aproveitar a sua natureza de variante no tempo e realizar comutações de estado nos instantes adequados de forma a seguir uma dada grandeza de referência.

No modo de deslizamento, o controlo é baseado no modelo do sistema na forma canónica. Um sistema em malha fechada pode ser representado através dos erros das variáveis de estado, como indicado em (2.3).

$$\frac{d}{dt} \begin{bmatrix} e_{x_h} \\ \dots \\ e_{x_{j-1}} \\ e_{x_j} \end{bmatrix} = \begin{bmatrix} e_{x_{h+1}} \\ \dots \\ e_{x_j} \\ -f_e(e) + p_e(t) - b_e(e)u_h(t) \end{bmatrix} \quad (2.3)$$

Em que $e_{x_i} = x_{i_r} - x_i$ representa os erros das variáveis de estado, $f_e(e)$ e $b_e(e)$ representam funções do erro, $p_e(t)$ é uma perturbação do sistema e $u_h(t)$ é a função de controlo. O objetivo de controlo passa por determinar o valor de $u_h(t)$ que deve ser aplicado ao sistema de forma que as variáveis de estado convirjam para os valores de referência, ou seja, os erros sejam anulados. Para tal, é definida uma função dependente do erro e do tempo, chamada superfície de deslizamento $S(e_{x_i}, t)$, e que deverá seguir a condição (2.4) [54]:

$$S(e_{x_i}, t) = \sum_{i=h}^j k_i e_{x_i} = 0. \quad (2.4)$$

Em que k_i é uma constante, associada ao estado dinâmico do sistema. Quando a condição atrás é garantida, diz-se que o sistema está em modo de deslizamento. Adicionalmente, para que se mantenha em modo de deslizamento é necessário garantir

que $\dot{S}(e_{x_i}, t) = 0$, isto é, garantir que os erros são nulos e que o sistema não se desvia desse estado. Juntando estas duas condições é possível criar uma condição geral para o funcionamento em modo deslizamento [54]:

$$S(e_{x_i}, t)\dot{S}(e_{x_i}, t) < 0. \quad (2.5)$$

Esta expressão pode ser analisada em duas situações. Quando $S(e_{x_i}, t) > 0$, é necessário aplicar um vetor $u_h(t)$ que faça com que $\dot{S}(e_{x_i}, t) < 0$. Por outro lado, quando $S(e_{x_i}, t) < 0$, é necessário aplicar um vetor $u_h(t)$ para que $\dot{S}(e_{x_i}, t) > 0$. Em ambas as situações o objetivo é contrariar o comportamento da superfície de deslizamento $S(e_{x_i}, t)$ e voltar a trazê-la para zero [54].

Este comportamento resulta numa frequência de comutação a tender para o infinito o que não é realizável num conversor real. Para contrariar esse efeito é geralmente considerada uma largura de histerese ϵ para a superfície de deslizamento. Aplicando novamente a condição (2.5) a uma superfície de deslizamento com uma histerese ϵ e tendo como base o sistema em (2.3), é possível chegar à lei de comutação (2.6) que define a amplitude do impulso $u_h(t)$ a ser aplicado [54].

$$u_h(t) = \begin{cases} \frac{U}{b_e(e)} & \text{se } S(e_{x_i}, t) > +\epsilon \\ -\frac{U}{b_e(e)} & \text{se } S(e_{x_i}, t) < -\epsilon \end{cases} \quad (2.6)$$

O valor U deve ser tal que se permita a componente $b_e(e)u_h(t)$ sobrepor-se à componente $-f_e(e) + p_e(t)$ da equação (2.5) e forçar um valor $\frac{de_{x_i}}{dt} < 0$ ou $\frac{de_{x_i}}{dt} > 0$. No contexto de um conversor, o valor U simboliza a tensão de alimentação e deve ser dimensionada tendo em conta a amplitude máxima esperada para as perturbações [54].

A Figura 2.15 apresenta uma forma de onda típica resultante da aplicação do modo de deslizamento. Este tipo de controlo é bastante robusto e tem como vantagens o facto de aproveitar a natureza comutada dos conversores, ser independente dos parâmetros do sistema e reduzir a ordem do sistema, facilitando o seu controlo [41,54]. Por outro lado, dado que as comutações são realizadas apenas quando necessário, o modo de deslizamento é caracterizado por ter uma frequência de comutação variável [54].

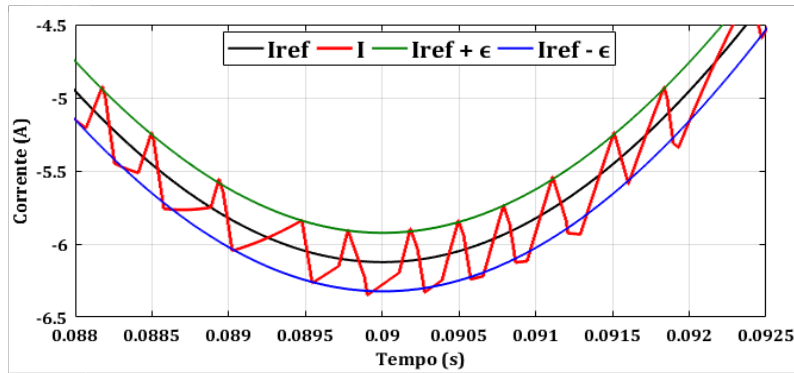


Figura 2.15 – Exemplo de um formato de onda obtido com modo de deslizamento.

À semelhança do SVM, o modo de deslizamento aproveita os vetores redundantes durante o controlo da corrente de forma a equilibrar as tensões nos condensadores [41].

2.7 Conclusões

Neste capítulo descreveram-se as características gerais das microrredes, os seus modos de funcionamento e as vantagens e desafios na implementação deste conceito. As microrredes permitem a agregação de várias fontes de geração distribuídas, sistemas de armazenamento de energia e cargas controláveis, podendo funcionar de forma autónoma quando necessário. A gestão inteligente de todos os recursos locais é essencial para reduzir a dependência da REE e aumentar a fiabilidade da microrrede. As microrredes híbridas permitem ainda conectar equipamentos que funcionem de forma nativa em AC ou DC nos respetivos barramentos AC ou DC, minimizando o número de conversões e as perdas associadas.

A interligação entre as secções AC e DC da microrrede híbrida pode ser feita através de um conversor que é responsável por controlar a potência injetada, a tensão AC ou a tensão DC, consoante o modo de funcionamento desejado. Os conversores multinível, através das técnicas de controlo adequadas, são uma boa escolha para esta função, devido à capacidade de funcionamento com potências elevadas e às reduzidas harmónicas. Em particular, o conversor NPC é largamente utilizado na indústria devido à boa relação entre o seu desempenho, complexidade de funcionamento e número de componentes utilizados.

No capítulo seguinte são deduzidos os modelos da dinâmica do conversor NPC, importantes para o desenvolvimento dos controladores adequados ao seu funcionamento como conversor de interligação.

3 Modelos do conversor multinível de interligação entre microrredes

Neste capítulo é apresentada a nomenclatura utilizada para a representação do conversor de interligação entre as microrredes AC e DC. Partindo de um esquema geral do sistema, deduzem-se as equações da dinâmica que relacionam as variáveis de estado do conversor com as variáveis de comutação. É também deduzido o modelo que relaciona as tensões da microrrede AC com as variáveis de estado do conversor, no caso em que a microrrede se encontra em modo autónomo.

3.1 Descrição do conversor

O conversor multinível utilizado na realização do trabalho foi um conversor NPC de 3 níveis, por ser a opção com a melhor relação de compromisso entre as várias topologias. A topologia de condensadores flutuantes precisaria de mais condensadores (três no total, um para cada braço), mais sensores de tensão e algoritmos de equilíbrio de todos os condensadores. A topologia de pontes H em série necessita de várias fontes de alimentação independentes pelo que não seria adequada ao contexto do trabalho, uma vez que se pretende ligar duas microrredes através dos seus pontos de acoplamento.

Ao longo do trabalho as microrredes DC e AC serão tratadas com um certo nível de abstração, partindo do pressuposto de que as FGD, SAEE e cargas que possam existir em cada uma das microrredes são coordenadas através de mecanismos adequados. As microrredes, individualmente, são definidas por fontes de tensão, representando as tensões típicas nos barramentos e por cargas resistivas representando o consumo das microrredes. Desta forma, é possível focar o controlo da microrrede híbrida através do controlo do CI. Na Figura 3.1 está presente o esquema do conversor NPC de três níveis trifásico, que tem o papel de CI, e a sua ligação a ambas as microrredes. A configuração trifásica consiste na expansão da topologia apresentada na secção 2.5.1, para as três fases, existindo no total 12 IGBT (*Insulated Gate Bipolar Transistor*), 6 díodos de ligação ao ponto neutro e 2 condensadores.

Neste modelo a microrrede híbrida é caracterizada pela tensão U_{dc} no barramento da microrrede DC e pelas tensões trifásicas no barramento da microrrede AC, U_{ACK} com $k \in \{1,2,3\}$. A ligação do conversor ao barramento da microrrede AC é feita através de bobinas de filtragem com coeficiente de autoindução L e resistência interna de perdas R_L . A ligação à microrrede DC é feita de forma unipolar e o divisor capacitivo é formado pelos condensadores C_1 e C_2 . Cada um dos IGBT é representado pela sua variável de comando S_{kj} , com $j \in \{1,2,3,4\}$.

Para o controlo do conversor é de maior importância relacionar as suas variáveis de estado, as correntes i_k e as tensões U_{C1} e U_{C2} , com as variáveis de comutação S_{kj} . Desta forma será possível identificar o comportamento das grandezas AC e DC do conversor e projetar os controladores de corrente e equilíbrio da tensão nos condensadores da forma mais adequada.

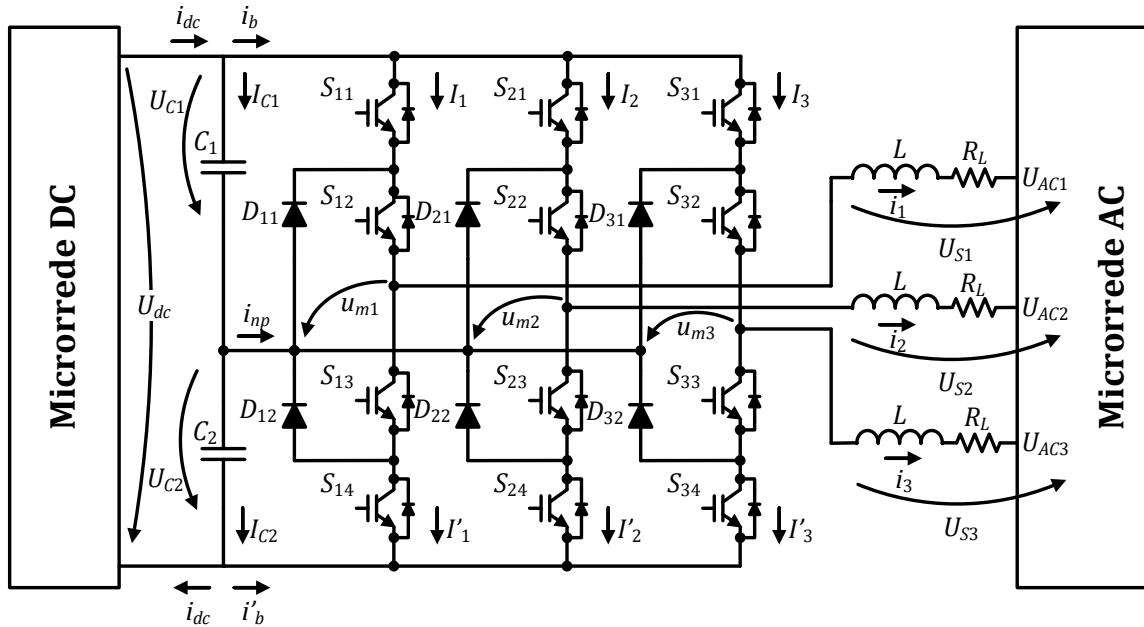


Figura 3.1 – Esquema do conversor de interligação entre as microrrede DC e AC.

À semelhança da topologia monofásica, os IGBT S_{k1} e S_{k2} funcionam de forma complementar em relação aos seus pares S_{k3} e S_{k4} . As combinações possíveis para cada braço são as já apresentadas na Tabela 2.1. De forma a simplificar a representação é de maior interesse introduzir uma variável associada a estas combinações. A variável de comutação γ_k é dada por [41]:

$$\gamma_k = \begin{cases} 1 & \text{para } (S_{k1} = 1 \wedge S_{k2} = 1) \wedge (S_{k3} = 0 \wedge S_{k4} = 0) \\ 0 & \text{para } (S_{k1} = 0 \wedge S_{k2} = 1) \wedge (S_{k3} = 1 \wedge S_{k4} = 0) \\ -1 & \text{para } (S_{k1} = 0 \wedge S_{k2} = 0) \wedge (S_{k3} = 1 \wedge S_{k4} = 1) \end{cases} \quad (3.1)$$

Considerando esta variável de comutação, definem-se as tensões entre cada braço e o neutro do divisor capacitivo, u_{mk} , por:

$$u_{mk} = \begin{cases} U_{C1} \approx \frac{U_{dc}}{2} & \text{se } \gamma_k = 1 \\ 0 & \text{se } \gamma_k = 0 \\ U_{C2} \approx -\frac{U_{dc}}{2} & \text{se } \gamma_k = -1 \end{cases} \quad (3.2)$$

Através de uma manipulação de expressões é possível combinar as condições anteriores numa única equação (3.3), relacionando as tensões entre braços, u_{mk} , com as tensões nos condensadores U_{C1} e U_{C2} e com as variáveis de comutação γ_k .

$$u_{mk} = \gamma_k \left(\frac{1 + \gamma_k}{2} \right) U_{C1} + \gamma_k \left(\frac{1 - \gamma_k}{2} \right) U_{C2} \quad (3.3)$$

Seguindo uma metodologia semelhante consegue-se relacionar as correntes I_k e I'_k , correspondentes às correntes na secção superior e inferior de cada braço do conversor, com as variáveis de comutação e com as correntes alternadas i_k de cada fase. Obtêm-se as seguintes condições:

$$I_k = \begin{cases} i_k & \text{se } \gamma_k = 1 \\ 0 & \text{se } \gamma_k = 0 \\ 0 & \text{se } \gamma_k = -1 \end{cases} ; \quad I'_k = \begin{cases} 0 & \text{se } \gamma_k = 1 \\ 0 & \text{se } \gamma_k = 0 \\ -i_k & \text{se } \gamma_k = -1 \end{cases} . \quad (3.4)$$

Estas condições podem ser combinadas em duas equações mais simplificadas:

$$\begin{cases} I_k = \gamma_k \left(\frac{1 + \gamma_k}{2} \right) i_k \\ I'_k = \gamma_k \left(\frac{1 - \gamma_k}{2} \right) i_k \end{cases} . \quad (3.5)$$

Estas duas equações em (3.5) e a equação (3.3) têm termos idênticos e que podem ser associados a novas variáveis para facilitar a manipulação das equações daqui em diante. Sejam Γ_{1k} e Γ_{2k} as novas variáveis definidas por:

$$\begin{cases} \Gamma_{1k} = \gamma_k \left(\frac{1 + \gamma_k}{2} \right) \\ \Gamma_{2k} = \gamma_k \left(\frac{1 - \gamma_k}{2} \right) \end{cases} . \quad (3.6)$$

Substituindo estas novas variáveis nas equações (3.3) e (3.5), obtêm-se o seguinte:

$$\begin{cases} u_{mk} = \Gamma_{1k} U_{C1} + \Gamma_{2k} U_{C2} \\ I_k = \Gamma_{1k} i_k \\ I'_k = \Gamma_{2k} i_k \end{cases} . \quad (3.7)$$

Estas três equações relacionam as tensões entre o braço e o neutro do conversor e as correntes em cada braço, com as variáveis de comutação, Γ_{1k} e Γ_{2k} , que por sua vez estão associadas aos estados dos SPA através das relações deduzidas anteriormente. Estas relações são utilizadas para a dedução do modelo dinâmico do conversor nas secções seguintes.

3.2 Modelos do sistema em coordenadas 123

O modelo dinâmico do conversor tem de envolver a dinâmica das tensões dos condensadores, U_{C1} e U_{C2} , e a dinâmica das correntes no lado da microrrede AC, i_1 , i_2 e i_3 . Como tal, o processo de obtenção do modelo pode ser realizado por partes. Considerando primeiro a dinâmica dos condensadores, pela lei dos nós podemos obter a seguinte relação entre correntes:

$$\begin{cases} I_{C1} = i_{dc} - i_b \\ I_{C2} = i_{dc} + i'_b \end{cases} \quad (3.8)$$

As correntes i_b e i'_b estão associadas às correntes em cada um dos braços do conversor. Através da expressão deduzida em (3.7) é também possível relacionar essas correntes com as variáveis de comutação Γ_{1k} e Γ_{2k} .

$$\begin{cases} i_b = I_1 + I_2 + I_3 = \Gamma_{11}i_1 + \Gamma_{12}i_2 + \Gamma_{13}i_3 \\ i'_b = -I'_1 - I'_2 - I'_3 = -\Gamma_{21}i_1 - \Gamma_{22}i_2 - \Gamma_{23}i_3 \end{cases} \quad (3.9)$$

Substituindo as equações (3.9) em (3.8), e relacionando a corrente de cada condensador com a tensão aos seus terminais obtém-se:

$$\begin{cases} C_1 \frac{dU_{C1}}{dt} = i_{dc} - \Gamma_{11}i_1 - \Gamma_{12}i_2 - \Gamma_{13}i_3 \\ C_2 \frac{dU_{C2}}{dt} = i_{dc} - \Gamma_{21}i_1 - \Gamma_{22}i_2 - \Gamma_{23}i_3 \end{cases} \quad (3.10)$$

Resolvendo em ordem à tensão dos condensadores é possível reescrever o sistema de equações na sua forma matricial:

$$\begin{bmatrix} \frac{dU_{C1}}{dt} \\ \frac{dU_{C2}}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{\Gamma_{11}}{C_1} & -\frac{\Gamma_{12}}{C_1} & -\frac{\Gamma_{13}}{C_1} \\ -\frac{\Gamma_{21}}{C_2} & -\frac{\Gamma_{22}}{C_2} & -\frac{\Gamma_{23}}{C_2} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} + \begin{bmatrix} \frac{1}{C_1} \\ \frac{1}{C_2} \end{bmatrix} [i_{dc}]. \quad (3.11)$$

Esta matriz define as equações de estado para as tensões dos condensadores, relacionando-as com as variáveis de comutação. Para completar o modelo do conversor resta desenvolver as equações da dinâmica para as correntes do lado AC. A equação da dinâmica nas bobinas L é obtida através da equação das malhas no lado AC:

$$U_{Sk} = L \frac{di_k}{dt} + R_L i_k + U_{ACk}. \quad (3.12)$$

Em que U_{Sk} é a tensão de fase à saída do conversor em relação ao neutro da microrrede AC. A equação da dinâmica deve relacionar a corrente com as variáveis de comutação à semelhança do que foi feito com as tensões dos condensadores. Segundo a nomenclatura da Figura 3.1, podem ser definidas as seguintes relações:

$$\begin{cases} U_{S1} + U_{S2} + U_{S3} = 0 \\ U_{12} = U_{S1} - U_{S2} = u_{m1} - u_{m2} \\ U_{23} = U_{S2} - U_{S3} = u_{m2} - u_{m3} \\ U_{31} = U_{S3} - U_{S1} = u_{m3} - u_{m1} \end{cases} \quad (3.13)$$

Em que U_{ik} é a tensão composta entre a fase i e a fase j , com $i, j \in \{1,2,3\}$. Este conjunto de equações indica que as tensões U_{Sk} estão relacionadas com as tensões u_{mk} entre os braços do conversor e o neutro do divisor capacitivo. As tensões u_{mk} por sua vez já foram anteriormente relacionadas com os estados das variáveis de comutação, o que sugere que é possível associar diretamente as tensões U_{Sk} com os estados da variável de comutação. Partindo do sistema de equações em (3.13), consegue-se chegar às tensões de fase U_{Sk} dadas por:

$$\begin{cases} U_{S1} = \frac{2u_{m1} - u_{m2} - u_{m3}}{3} \\ U_{S2} = \frac{2u_{m2} - u_{m1} - u_{m3}}{3} \\ U_{S3} = \frac{2u_{m3} - u_{m1} - u_{m2}}{3} \end{cases} \quad (3.14)$$

Realizando uma substituição de u_{mk} pelas relações obtidas em (3.7), chega-se aos seguintes resultados:

$$\begin{cases} U_{S1} = \frac{(2\Gamma_{11} - \Gamma_{12} - \Gamma_{13})U_{C1} + (2\Gamma_{21} - \Gamma_{22} - \Gamma_{23})U_{C2}}{3} \\ U_{S2} = \frac{(2\Gamma_{12} - \Gamma_{11} - \Gamma_{13})U_{C1} + (2\Gamma_{22} - \Gamma_{21} - \Gamma_{23})U_{C2}}{3} \\ U_{S3} = \frac{(2\Gamma_{13} - \Gamma_{11} - \Gamma_{12})U_{C1} + (2\Gamma_{23} - \Gamma_{21} - \Gamma_{22})U_{C2}}{3} \end{cases} \quad (3.15)$$

Para uma representação mais simples, realiza-se a mudança de variável apresentada em (3.16) com $i \in \{1,2\}$ [41]:

$$\Xi_{ki} = \frac{1}{3} \left[2\Gamma_{ik} - \sum_{\substack{j=1 \\ j \neq k}}^3 \Gamma_{ij} \right] \quad (3.16)$$

Finalmente, resolvendo a equação (3.12) em ordem às correntes i_k , substituindo as tensões U_{Sk} pelas relações obtidas em (3.15) e realizando a mudança de variável proposta em (3.16) ficamos com o seguinte modelo para a dinâmica das correntes do lado AC do conversor.

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_2}{dt} \\ \frac{di_3}{dt} \end{bmatrix} = \begin{bmatrix} \frac{\Xi_{11}}{L} & \frac{\Xi_{12}}{L} \\ \frac{\Xi_{21}}{L} & \frac{\Xi_{22}}{L} \\ \frac{\Xi_{31}}{L} & \frac{\Xi_{32}}{L} \end{bmatrix} \begin{bmatrix} U_{C1} \\ U_{C2} \end{bmatrix} - \begin{bmatrix} \frac{R_L}{L} & 0 & 0 \\ 0 & \frac{R_L}{L} & 0 \\ 0 & 0 & \frac{R_L}{L} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} - \begin{bmatrix} \frac{U_{AC1}}{L} \\ \frac{U_{AC2}}{L} \\ \frac{U_{AC3}}{L} \end{bmatrix} \quad (3.17)$$

Estas equações podem ser conjugadas com o modelo obtido para a dinâmica da tensão em (3.11), de forma a criar um modelo global do conversor que relacione todas as variáveis de estado do conversor com as variáveis de comutação [41,55].

$$\begin{bmatrix} \frac{di_1}{dt} \\ \frac{di_2}{dt} \\ \frac{di_3}{dt} \\ \frac{dU_{C1}}{dt} \\ \frac{dU_{C2}}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{R_L}{L} & 0 & 0 & \frac{\Xi_{11}}{L} & \frac{\Xi_{12}}{L} \\ 0 & -\frac{R_L}{L} & 0 & \frac{\Xi_{21}}{L} & \frac{\Xi_{22}}{L} \\ 0 & 0 & -\frac{R_L}{L} & \frac{\Xi_{31}}{L} & \frac{\Xi_{32}}{L} \\ -\frac{\Gamma_{11}}{C_1} & -\frac{\Gamma_{12}}{C_1} & -\frac{\Gamma_{13}}{C_1} & 0 & 0 \\ -\frac{\Gamma_{21}}{C_2} & -\frac{\Gamma_{22}}{C_2} & -\frac{\Gamma_{23}}{C_2} & 0 & 0 \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ i_3 \\ U_{C1} \\ U_{C2} \end{bmatrix} + \begin{bmatrix} -\frac{1}{L} & 0 & 0 & 0 \\ 0 & -\frac{1}{L} & 0 & 0 \\ 0 & 0 & -\frac{1}{L} & 0 \\ 0 & 0 & 0 & \frac{1}{C_1} \\ 0 & 0 & 0 & \frac{1}{C_2} \end{bmatrix} \begin{bmatrix} U_{AC1} \\ U_{AC2} \\ U_{AC3} \\ i_{dc} \end{bmatrix} \quad (3.18)$$

O modelo pode ser dito não linear e variante no tempo. A variância temporal advém do facto da matriz principal do sistema não ser constante e depender dos estados de comutação do circuito. O sistema é não linear, dado que as correntes dependem dos estados dos semicondutores e também das tensões dos condensadores que, por sua vez, também dependem dos estados dos semicondutores.

3.2.1 Variáveis de estado da microrrede AC em modo autónomo

No modelo (3.18) as tensões U_{ACk} são consideradas como perturbações do sistema e geralmente não são controláveis dado que são impostas pela REE. Exceção a este facto é quando a microrrede híbrida se encontra no modo autónomo, em que o objetivo de controlo do CI pode passar por controlar as tensões U_{ACk} . Como tal, torna-se necessário relacionar as variáveis de estado U_{ACk} com as variáveis de estado do conversor NPC já apresentadas. Para a obtenção da dinâmica das tensões U_{ACk} , a microrrede AC é representada pelo modelo simplificado da Figura 3.2, em que R_{AC} representa as cargas da microrrede e C_f é um condensador de filtragem.

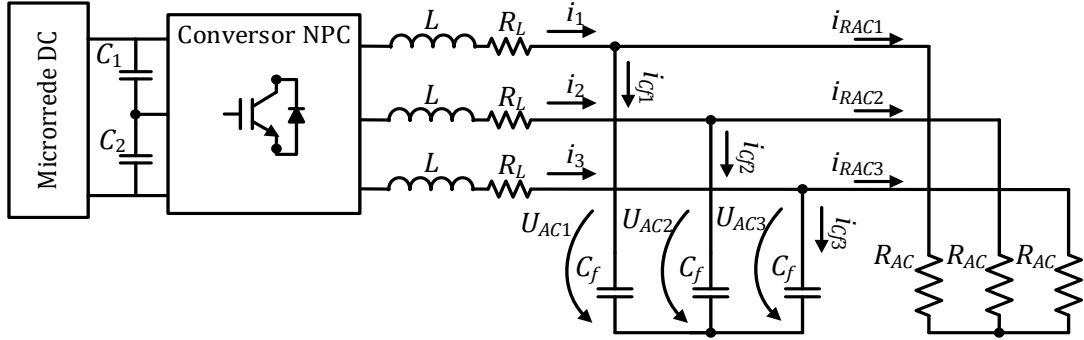


Figura 3.2 – Representação simplificada da microrrede AC em modo autônomo.

O condensador C_f em combinação com a bobina L forma um filtro passa baixo de segunda ordem, cuja frequência de corte é dada pela equação (3.19) [56]. O filtro é geralmente dimensionado de forma que a frequência de corte esteja bem abaixo da frequência de comutação típica do conversor. Geralmente também é desejado minimizar o impacto que o condensador C_f tem no aumento da potência reativa e minimizar o impacto da queda de tensão na bobina L [56].

$$f_c = \frac{1}{2\pi\sqrt{LC_f}} \quad (3.19)$$

Através da Figura 3.2 e a partir da lei dos nós, é possível escrever:

$$i_k = i_{Cfk} + i_{RACk} \quad (3.20)$$

Resolvendo em ordem à corrente dos capacitores, substituindo pela equação da corrente num condensador, $i_{Cfk} = C_f \frac{dU_{ACK}}{dt}$, e aplicando a lei de Ohm na carga obtém-se:

$$\frac{dU_{ACK}}{dt} = \frac{1}{C_f} i_k - \frac{1}{C_f} \frac{U_{ACK}}{R_{AC}} \quad (3.21)$$

Expandindo a equação para os três braços e reescrevendo na forma matricial, obtém-se o modelo em (3.22). Neste modelo, utilizado para definir a microrrede no estado autônomo, as tensões U_{ACK} são as variáveis de estado do sistema e as correntes do conversor i_k são as variáveis de controlo utilizadas para controlar as tensões U_{ACK} .

$$\begin{bmatrix} \frac{dU_{AC1}}{dt} \\ \frac{dU_{AC2}}{dt} \\ \frac{dU_{AC3}}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{1}{C_f R_{AC}} & 0 & 0 \\ 0 & -\frac{1}{C_f R_{AC}} & 0 \\ 0 & 0 & -\frac{1}{C_f R_{AC}} \end{bmatrix} \begin{bmatrix} U_{AC1} \\ U_{AC2} \\ U_{AC3} \end{bmatrix} + \begin{bmatrix} \frac{1}{C_f} & 0 & 0 \\ 0 & \frac{1}{C_f} & 0 \\ 0 & 0 & \frac{1}{C_f} \end{bmatrix} \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} \quad (3.22)$$

Neste caso as tensões U_{ACk} e as correntes i_k têm uma relação linear entre si. As correntes i_k continuam a estar relacionadas de forma não linear com as variáveis de comutação segundo o modelo descrito anteriormente.

3.3 Modelos do sistema em coordenadas $\alpha\beta 0$

Os modelos anteriores são linearmente dependentes devido à relação entre as correntes i_1, i_2 e i_3 num sistema trifásico sem neutro, o que os tornam pouco adequados para o dimensionamento dos controladores. Por esta razão é preferível representar o conversor no sistema de coordenadas ortogonal $\alpha\beta 0$. As grandezas X no sistema de coordenadas 123 e $\alpha\beta 0$ estão relacionadas entre si através da transformada de Clarke-Concordia, descrita pelas equações (3.23) e (3.24), em que C é a matriz de transformação de Clarke e C^T é a sua transposta [41,55]. A matriz C é ortogonal, o que leva a $C^{-1} = C^T$.

$$X_{123} = CX_{\alpha\beta 0} \quad (3.23)$$

$$X_{\alpha\beta 0} = C^T X_{123} \quad (3.24)$$

A matriz de transformação de Clarke e a sua transposta são as seguintes:

$$C = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & 0 & \frac{\sqrt{2}}{2} \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} & \frac{\sqrt{2}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} & \frac{\sqrt{2}}{2} \end{bmatrix} \Rightarrow C^{-1} = C^T = \sqrt{\frac{3}{2}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{\sqrt{2}}{2} & \frac{\sqrt{2}}{2} & \frac{\sqrt{2}}{2} \end{bmatrix}. \quad (3.25)$$

A aplicação da transformada de Clarke ao modelo do conversor apresentado anteriormente em (3.18) permite chegar ao modelo em (3.26). Nesta representação, as componentes homopolares ($i_0, \Gamma_{i0}, U_{AC0}$) foram omitidas, uma vez que são nulas num sistema trifásico simétrico [41,55].

$$\begin{bmatrix} \frac{di_\alpha}{dt} \\ \frac{di_\beta}{dt} \\ \frac{dU_{C1}}{dt} \\ \frac{dU_{C2}}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{R_L}{L} & 0 & \frac{\Gamma_{1\alpha}}{L} & \frac{\Gamma_{2\alpha}}{L} \\ 0 & -\frac{R_L}{L} & \frac{\Gamma_{1\beta}}{L} & \frac{\Gamma_{2\beta}}{L} \\ -\frac{\Gamma_{1\alpha}}{C_1} & -\frac{\Gamma_{1\beta}}{C_1} & 0 & 0 \\ -\frac{\Gamma_{2\alpha}}{C_2} & -\frac{\Gamma_{2\beta}}{C_2} & 0 & 0 \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \\ U_{C1} \\ U_{C2} \end{bmatrix} + \begin{bmatrix} -\frac{1}{L} & 0 & 0 \\ 0 & -\frac{1}{L} & 0 \\ 0 & 0 & \frac{1}{C_1} \\ 0 & 0 & \frac{1}{C_2} \end{bmatrix} \begin{bmatrix} U_{AC\alpha} \\ U_{AC\beta} \\ i_{dc} \end{bmatrix} \quad (3.26)$$

As novas variáveis de comutação neste espaço de coordenadas, $\Gamma_{i\alpha}$ e $\Gamma_{i\beta}$, com $i \in \{1,2\}$, são também obtidas pela transformada de Clarke e podem ser reduzidas a:

$$\begin{aligned}\Gamma_{i\alpha} &= \frac{1}{\sqrt{6}}(2\Gamma_{i1} - \Gamma_{i2} - \Gamma_{i3}); \\ \Gamma_{i\beta} &= \frac{1}{\sqrt{2}}(\Gamma_{i2} - \Gamma_{i3}).\end{aligned}\tag{3.27}$$

A representação neste sistema traz uma vantagem. As variáveis $\alpha\beta$ são ortogonais e podem ser controladas de forma independente, eliminando a dependência entre variáveis que antes ocorria com i_1, i_2 e i_3 . O sistema, no entanto, continua a ser não linear e variante no tempo pelas mesmas razões.

O modelo das tensões da microrrede AC após a aplicação da transformada de Clarke é dado por [57]:

$$\begin{bmatrix} \frac{dU_{AC\alpha}}{dt} \\ \frac{dU_{AC\beta}}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{1}{C_f R_{AC}} & 0 \\ 0 & -\frac{1}{C_f R_{AC}} \end{bmatrix} \begin{bmatrix} U_{AC\alpha} \\ U_{AC\beta} \end{bmatrix} + \begin{bmatrix} \frac{1}{C_f} & 0 \\ 0 & \frac{1}{C_f} \end{bmatrix} \begin{bmatrix} i_{\alpha} \\ i_{\beta} \end{bmatrix}.\tag{3.28}$$

3.4 Modelos do sistema em coordenadas $dq0$

O modelo do conversor nas coordenadas $\alpha\beta$ embora permita reduzir o controlo do conversor a duas variáveis ortogonais, ainda apresenta a inconveniência das grandezas serem sinusoidais. A aplicação da transformada de Park permite tornar as grandezas elétricas constantes no tempo através de um sistema de coordenadas, também ele ortogonal, que gira em torno da origem do referencial a uma velocidade síncrona ω , como esquematizado na Figura 3.3 [58].

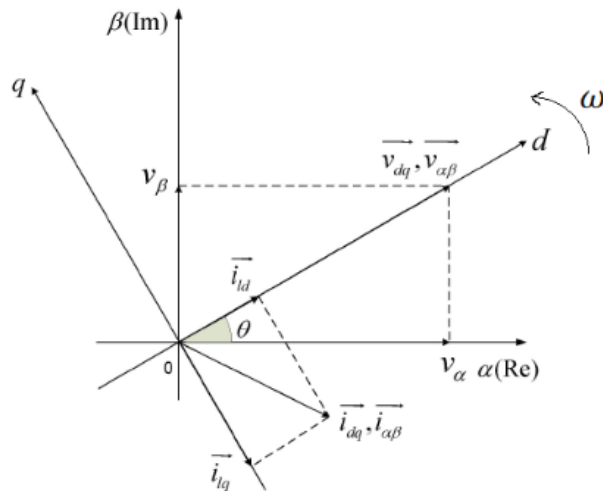


Figura 3.3 – Representação do sistema de coordenadas $dq0$ [58].

A passagem entre os sistemas de coordenadas faz-se através da aplicação da transformada de Park. A relação entre as grandezas no sistema de coordenadas $\alpha\beta 0$ e no sistema de coordenadas $dq0$ é apresentada em (3.29) e (3.30), [41,55].

$$\mathbf{X}_{123} = \mathbf{D}\mathbf{X}_{dq0} \quad (3.29)$$

$$\mathbf{X}_{dq0} = \mathbf{D}^T\mathbf{X}_{123} \quad (3.30)$$

Em que \mathbf{D} é a matriz de transformação de Park, \mathbf{D}^T é a sua composta, e o vetor \mathbf{X} representa as grandezas às quais está a ser aplicada a transformada. As matrizes de transformação são definidas em (3.31), [41,55].

$$\mathbf{D} = \begin{bmatrix} \cos \theta & -\sin \theta & 0 \\ \sin \theta & \cos \theta & 0 \\ 0 & 0 & 1 \end{bmatrix} \Rightarrow \mathbf{D}^{-1} = \mathbf{D}^T = \begin{bmatrix} \cos \theta & \sin \theta & 0 \\ -\sin \theta & \cos \theta & 0 \\ 0 & 0 & 1 \end{bmatrix} \quad (3.31)$$

O ângulo θ , representado na Figura 3.3, é dado pela expressão (3.32). A velocidade de rotação angular, ω , é escolhida de forma que o referencial seja síncrono com as grandezas elétricas (geralmente $\omega = 2\pi 50$) e a fase ϕ_p , entre os eixos α e d no instante inicial, é escolhida de forma que o eixo d do referencial esteja alinhado com a componente α da tensão ($\phi_p = 0$), simplificando os cálculos [41,58].

$$\theta = \omega t + \phi_p \quad (3.32)$$

A aplicação da transformada de Park ao modelo do sistema em coordenadas $\alpha\beta$ dá origem ao modelo em (3.33), [41,55]. As componentes homopolares ($i_0, \Gamma_{i0}, U_{AC0}$) foram omitidas por serem nulas num sistema trifásico simétrico.

$$\begin{bmatrix} \frac{di_d}{dt} \\ \frac{di_q}{dt} \\ \frac{dU_{C1}}{dt} \\ \frac{dU_{C2}}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{R_L}{L} & \omega & \frac{\Gamma_{1d}}{L} & \frac{\Gamma_{2d}}{L} \\ -\omega & -\frac{R_L}{L} & \frac{\Gamma_{1q}}{L} & \frac{\Gamma_{2q}}{L} \\ -\frac{\Gamma_{1d}}{C_1} & -\frac{\Gamma_{1q}}{C_1} & 0 & 0 \\ -\frac{\Gamma_{2d}}{C_2} & -\frac{\Gamma_{2q}}{C_2} & 0 & 0 \end{bmatrix} \begin{bmatrix} i_d \\ i_q \\ U_{C1} \\ U_{C2} \end{bmatrix} + \begin{bmatrix} -\frac{1}{L} & 0 & 0 \\ 0 & -\frac{1}{L} & 0 \\ 0 & 0 & \frac{1}{C_1} \\ 0 & 0 & \frac{1}{C_2} \end{bmatrix} \begin{bmatrix} U_{ACd} \\ U_{ACq} \\ i_{dc} \end{bmatrix} \quad (3.33)$$

Este modelo continua a ser não linear e variante no tempo, no entanto, o facto de ser baseado num referencial síncrono e as grandezas deixarem de ser sinusoidais facilita o processo de controlo. As novas variáveis de comutação, calculadas pela transformada de Park, são representadas pelas expressões (3.34).

$$\begin{aligned}\Gamma_{id} &= \Gamma_{i\alpha} \cos \theta + \Gamma_{i\beta} \sin \theta \\ \Gamma_{iq} &= -\Gamma_{i\alpha} \sin \theta + \Gamma_{i\beta} \cos \theta\end{aligned}\tag{3.34}$$

A aplicação da transformada de Park ao modelo das tensões U_{ACk} resulta no modelo em (3.35), [57,59]:

$$\begin{bmatrix} \frac{dU_{ACd}}{dt} \\ \frac{dU_{ACq}}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{1}{C_f R_{AC}} & \omega \\ -\omega & -\frac{1}{C_f R_{AC}} \end{bmatrix} \begin{bmatrix} U_{ACd} \\ U_{ACq} \end{bmatrix} + \begin{bmatrix} \frac{1}{C_f} & 0 \\ 0 & \frac{1}{C_f} \end{bmatrix} \begin{bmatrix} i_d \\ i_q \end{bmatrix}.\tag{3.35}$$

3.5 Conclusões

Neste capítulo descreveram-se os modelos do conversor NPC no contexto de uma ligação entre duas microrredes AC e DC. Os modelos relacionam as variáveis de estado do conversor (correntes AC e tensões dos condensadores) com as variáveis de comutação que representam os estados de cada semicondutor ativo de potência, demonstrando que o conversor pode ser considerado como um sistema não linear e variante no tempo.

Existe ainda uma dependência entre as três correntes AC que pode ser eliminada através da transformada de Clarke, dando origem a novos modelos no sistema de coordenadas ortogonal $\alpha\beta 0$. Para facilitar a futura aplicação de métodos de controlo lineares, os modelos foram também representados no sistema de coordenadas síncrono $dq0$, onde as grandezas elétricas são constantes.

Para além dos modelos do conversor NPC, foi apresentado o modelo simplificado da microrrede AC, quando esta se encontra no estado autónomo, e que relaciona as tensões AC com as correntes à saída do conversor.

No capítulo seguinte, estes modelos são utilizados para o dimensionamento de controladores lineares e não lineares de acordo com os vários cenários de funcionamento do conversor de interligação da microrrede.

4 Controlo do conversor de interligação entre microrredes

Neste capítulo é feito o dimensionamento dos controladores utilizados nos principais modos de funcionamento do conversor de interligação: controlo de corrente da microrrede AC, equilíbrio da tensão dos condensadores, tensão da microrrede DC e tensão da microrrede AC. Começa-se pelo desenvolvimento do controlador das correntes AC por modo de deslizamento (MD) e por modulação por largura de impulso (PWM). Em seguida apresentam-se os controladores de tensão da microrrede DC e da microrrede AC, que têm como objetivo calcular a corrente de referência para o controlador de corrente interno.

4.1 Controlo de corrente por MD no lado da microrrede AC

O controlo de corrente é bastante importante pois está diretamente relacionado com a potência ativa e reativa injetadas na microrrede. Em termos de controlo do CI, este pode ser controlado para injetar uma determinada quantidade de potência ativa ou reativa, ou podem ser utilizadas malhas de controlo externas para o controlo de tensão AC ou DC. Neste último caso, os controladores da malha externa ajustam adequadamente a corrente de referência do controlador de corrente. Nesta secção começa-se por descrever o algoritmo de controlo de corrente por MD.

O desenvolvimento do controlador de corrente por MD é feito no sistema de coordenadas $\alpha\beta$ com base nos modelos deduzidos e apresentados em (3.26). Uma vez que tanto as correntes AC como as tensões dos condensadores dependem das variáveis de comutação, a maneira mais adequada de desenvolver o controlador passa por separar os objetivos de controlo, lidando primeiro com o controlo da corrente e depois com o equilíbrio dos condensadores.

Para aplicar a teoria do MD é necessário que as correntes sejam descritas em função das variáveis de controlo que neste caso são as variáveis Γ_{1x} e Γ_{2x} com $x \in \{\alpha, \beta\}$, de acordo com o modelo em (3.26). Os termos que multiplicam por estas variáveis são agrupados numa nova variável de controlo u_x , dada por (4.1). Adicionalmente, durante o desenvolvimento do controlador da corrente é possível assumir que $U_{C1} \approx U_{C2} \approx U_{dc}/2$, dando origem às simplificações apresentadas.

$$u_x = \Gamma_{1x}U_{C1} + \Gamma_{2x}U_{C2} \approx (\Gamma_{1x} + \Gamma_{2x})\frac{U_{dc}}{2} = \gamma_x \frac{U_{dc}}{2} \quad (4.1)$$

Os termos γ_x resultantes da simplificação equivalem à aplicação da transformada de Clarke às variáveis de comutação γ_i definidas inicialmente em (3.1).

A equação da dinâmica das correntes com a nova variável de controlo u_x , é dada por:

$$\frac{di_x}{dt} = -\frac{R_L}{L}i_x + \frac{1}{L}u_x - \frac{1}{L}U_{ACx}. \quad (4.2)$$

O controlo por MD é efetuado em ambas as componentes α e β da corrente. O controlo de um sistema em malha fechada é geralmente feito utilizando o erro das variáveis em relação às suas referências. Para uma dada corrente de referência i_{xRef} , o erro e_{ix} das correntes i_x é dado por:

$$e_{ix} = i_{xRef} - i_x. \quad (4.3)$$

A equação em (4.2) é de primeira ordem e relaciona diretamente as grandezas i_x com as suas variáveis de comando. Por essa razão, a aplicação da superfície de deslizamento resulta apenas um termo, que pode ser dado por:

$$S(e_{ix}, t) = e_{ix} = i_{xRef} - i_x. \quad (4.4)$$

A derivada da superfície de deslizamento está associada à derivada do erro:

$$\dot{S}(e_{ix}, t) = \frac{de_{ix}}{dt} = \frac{di_{xRef}}{dt} - \frac{di_x}{dt}. \quad (4.5)$$

Substituindo a equação (4.2) em (4.5), obtém-se:

$$\dot{S}(e_{ix}, t) = \frac{di_{xRef}}{dt} + \frac{R_L}{L}i_x - \frac{1}{L}u_x + \frac{U_{ACx}}{L}. \quad (4.6)$$

Aplicando a condição para o MD (2.5), e assumindo que a superfície de deslizamento em (4.4) tem um erro admissível de ϵ , para que a comutação dos semicondutores seja limitada, obtém-se a seguinte lei de comutação:

$$\begin{cases} \text{Para } S(e_{ix}, t) > \epsilon, & \text{impor } \dot{S}(e_{ix}, t) < 0 \Rightarrow u_x > L \frac{di_{xRef}}{dt} + R_L i_x + U_{ACx} \\ \text{Para } S(e_{ix}, t) < -\epsilon, & \text{impor } \dot{S}(e_{ix}, t) > 0 \Rightarrow u_x < L \frac{di_{xRef}}{dt} + R_L i_x + U_{ACx} \end{cases}. \quad (4.7)$$

A lei de comutação em (4.7) define que, em caso de o erro da corrente ser superior ao erro admissível ϵ , deve ser aplicado um vetor de tensão u_x que force a derivada do erro a um valor negativo e o faça convergir novamente para zero. Por outro lado e de forma análoga, se o erro da corrente for inferior a $-\epsilon$, deve-se aplicar um vetor u_x que force a derivada a um valor positivo, fazendo com que o erro convirja para zero.

Adicionalmente, esta lei de comutação acaba por impor uma relação mínima entre a tensão da microrrede DC e da microrrede AC. Recordando que o vetor u_x está dependente

da tensão da microrrede DC (equação (4.1)), a lei de comutação em (4.7) impõe que a tensão da microrrede DC tem ser tal que permita a existência de vetores com amplitude suficiente para compensar a queda de tensão na bobina ($L \frac{di_{xRef}}{dt}$ e $R_L i_x$) e a tensão da microrrede AC (U_{ACx}). No conversor multinível em questão existem no total 27 vetores disponíveis, que podem ser calculados a partir da expressão em (4.1), atribuindo todas as combinações de γ_x . Todas as 27 combinações possíveis são enumeradas na Tabela 4.1.

Tabela 4.1 – Combinações de vetores para o conversor NPC (adaptado de [41]).

Vetor	γ_1	γ_2	γ_3	u_α/U_{dc}	u_β/U_{dc}	$i_b - i'_b$	i_{np}
1	-1	-1	-1	0,00	0,00	0	0
2	-1	-1	0	-0,20	-0,35	i_3	i_3
3	-1	-1	1	-0,41	-0,71	$-i_1 - i_2 + i_3$	0
4	-1	0	-1	-0,20	0,35	i_2	i_2
5	-1	0	0	-0,41	0,00	$-i_1$	$-i_1$
6	-1	0	1	-0,61	-0,35	$-i_1 + i_3$	$-i_1 - i_3$
7	-1	1	-1	-0,41	0,71	$-i_1 + i_2 - i_3$	0
8	-1	1	0	-0,61	0,35	$-i_1 + i_2$	$-i_1 - i_2$
9	-1	1	1	-0,82	0,00	$-i_1 + i_2 + i_3$	0
10	0	-1	-1	0,41	0,00	i_1	i_1
11	0	-1	0	0,20	-0,35	$-i_2$	$-i_2$
12	0	-1	1	0,00	-0,71	$-i_2 + i_3$	$-i_2 - i_3$
13	0	0	-1	0,20	0,35	$-i_3$	$-i_3$
14	0	0	0	0,00	0,00	0	0
15	0	0	1	-0,20	-0,35	i_3	$-i_3$
16	0	1	-1	0,00	0,71	$i_2 - i_3$	$-i_2 - i_3$
17	0	1	0	-0,20	0,35	i_2	$-i_2$
18	0	1	1	-0,41	0,00	$-i_1$	i_1
19	1	-1	-1	0,82	0,00	$i_1 - i_2 - i_3$	0
20	1	-1	0	0,61	-0,35	$i_1 - i_2$	$-i_1 - i_2$
21	1	-1	1	0,41	-0,71	$i_1 - i_2 + i_3$	0
22	1	0	-1	0,61	0,35	$i_1 - i_3$	$-i_1 - i_3$
23	1	0	0	0,41	0,00	i_1	$-i_1$
24	1	0	1	0,20	-0,35	$-i_2$	i_2
25	1	1	-1	0,41	0,71	$i_1 + i_2 - i_3$	0
26	1	1	0	0,20	0,35	$-i_3$	i_3
27	1	1	1	0,00	0,00	0	0

Nesta tabela também foram registradas a diferença de correntes ($i_b - i'_b$) que, como será visto mais à frente, é representativa do sentido de transferência da potência do conversor; e a corrente à saída do ponto neutro do divisor capacitivo (i_{np}) que é representativa do equilíbrio dos condensadores. Estas duas variáveis e sua importância na seleção de vetores serão explicadas ao longo das próximas subseções. Para já interessa notar que apesar de existirem 27 combinações diferentes para os semicondutores, nem todas representam vetores com amplitudes diferentes (as

combinações assinaladas a azul na primeira parte da tabela resultam nos mesmos vetores de tensão que as combinações assinaladas a verde na segunda parte da tabela).

4.1.1 Equilíbrio dos condensadores por modo de deslizamento

O controlo do equilíbrio dos condensadores também pode ser feito através do modo de deslizamento aplicado à tensão dos condensadores. Neste caso, a superfície de deslizamento é definida à custa do erro entre as tensões dos dois condensadores:

$$S(e_{Uc}, t) = e_{Uc} = U_{C1} - U_{C2}. \quad (4.8)$$

A derivada da superfície de deslizamento é dada por:

$$\dot{S}(e_{Uc}, t) = \frac{de_{Uc}}{dt} = \frac{dU_{C1}}{dt} - \frac{dU_{C2}}{dt}. \quad (4.9)$$

Substituindo as equações da dinâmica dos condensadores do modelo (3.26), obtém-se a equação da dinâmica do erro dos condensadores:

$$\frac{de_{Uc}}{dt} = \left[\frac{\Gamma_{2\alpha}}{C_2} - \frac{\Gamma_{1\alpha}}{C_1} \right] i_\alpha + \left[\frac{\Gamma_{2\beta}}{C_2} - \frac{\Gamma_{1\beta}}{C_1} \right] i_\beta + \left[\frac{1}{C_1} - \frac{1}{C_2} \right] i_{dc}. \quad (4.10)$$

Por outro lado, tendo em conta as correntes do divisor capacitivo (ver Figura 3.1), é possível escrever a relação de correntes em (4.11).

$$i_{np} = I_{C1} - I_{C2} = C_1 \frac{dU_{C1}}{dt} - C_2 \frac{dU_{C2}}{dt} \approx C \frac{de_{Uc}}{dt} \quad (4.11)$$

A equação (4.11) indica que a corrente do neutro do divisor capacitivo está associada à dinâmica do desequilíbrio dos condensadores. Com base nesta característica, e retomando as equações do modo de deslizamento para o equilíbrio das tensões, pode ser definida a seguinte lei de comutação:

$$\begin{cases} \text{Para } S(e_{Uc}, t) > \epsilon_{Uc}, & \text{impor } \dot{S}(e_{Uc}, t) < 0 \Rightarrow n_p < 0 \\ \text{Para } S(e_{Uc}, t) < -\epsilon_{Uc}, & \text{impor } \dot{S}(e_{Uc}, t) > 0 \Rightarrow n_p > 0 \end{cases} \quad (4.12)$$

Esta lei de comutação expressa que quando o erro das tensões é superior a uma margem de erro admissível ϵ_{Uc} , é necessário aplicar um vetor que dê origem a uma derivada do erro negativa, de forma que o erro se aproxime novamente de zero. Graças à relação obtida em (4.11), esta condição é equivalente a escolher um vetor da tabela que provoque uma corrente no neutro negativa. Por outro lado, quando o erro é inferior a $-\epsilon_{Uc}$ é necessário aplicar um vetor que faça com que a derivada do erro seja positiva, fazendo o erro se aproximar de zero novamente, o que é equivalente a escolher um vetor cuja corrente de neutro seja também ela positiva.

Os valores de i_{np} podem ser calculados para todas as combinações de γ_k substituindo as correntes I_{C1} e I_{C2} na primeira parte da equação (4.11), pelas expressões originalmente definidas em (3.5). Após algum desenvolvimento chega-se ao resultado abaixo:

$$i_{np} = -i_1\gamma_1^2 - i_2\gamma_2^2 - i_3\gamma_3^2. \quad (4.13)$$

Esta equação é utilizada para calcular todas as combinações possíveis de i_{np} para cada vetor da Tabela 4.1. Analisando a tabela é visível que as combinações redundantes que resultam na mesma tensão têm comportamentos simétricos no que concerne à corrente no neutro, i_{np} . A título de exemplo, o par de vetores (2, 15) produz a mesma tensão à saída, no entanto, o vetor 2 produz uma corrente de neutro $i_{np} = i_3$ ao passo que o vetor 15 produz uma corrente de neutro $i_{np} = -i_3$. Esta redundância é tida em conta na escolha dos vetores a serem aplicados.

4.1.2 Escolha dos vetores

Na Figura 4.1 estão representados todos os vetores da Tabela 4.1, são no total 19 vetores diferentes de entre as 27 combinações totais. Os eixos α e β foram divididos em 5 partes, dando origem a uma grelha no plano com 25 posições distintas, o que permite associar pelo menos um quadrado da grelha a cada vetor.

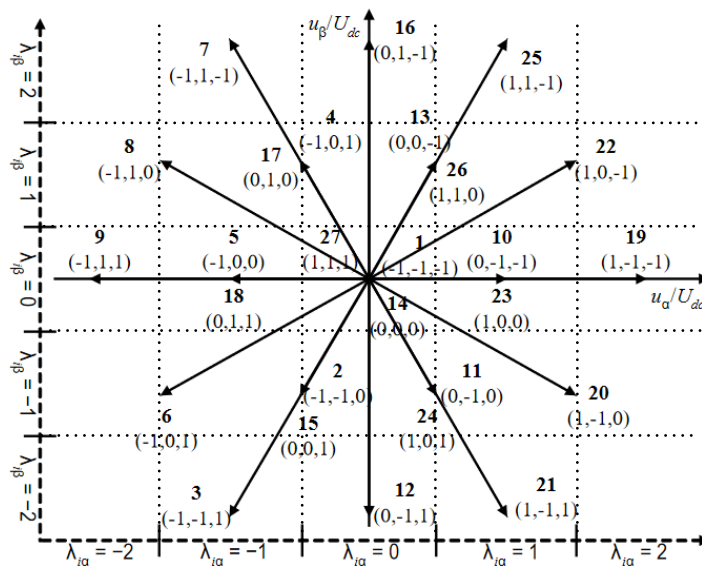


Figura 4.1 – Representação no plano $\alpha\beta$ de todos os vetores do conversor (adaptado de [41]).

Para a aplicação da lei de comutação das correntes em (4.7), os erros das correntes, $e_{i\alpha}$ e $e_{i\beta}$, são mapeados em 5 níveis diferentes através das variáveis $\lambda_{i\alpha}$ e $\lambda_{i\beta}$, que tomam os valores inteiros $\{-2,-1,0,1,2\}$ [41]. Estas duas variáveis são utilizadas para endereçar o

espaço e selecionar um dos vetores disponíveis, permitindo a escolha de vetores com maior amplitude quando o erro é maior e vetores com menor amplitude quando o erro é menor.

A quantificação dos erros das correntes através das variáveis $\lambda_{i\alpha}$ e $\lambda_{i\beta}$ em cinco níveis pode ser feita através da estrutura apresentada na Figura 4.2. Esta estrutura utiliza quatro comparadores de histerese com larguras $\{\pm\epsilon_1, \pm\epsilon_2, \pm\epsilon_3, \pm\epsilon_4\}$, em que $\epsilon_1 < \epsilon_2 < \epsilon_3 < \epsilon_4$, e as saídas individuais comutam entre -0,5 e 0,5. O resultado combinado destes comparadores permite obter uma saída associada à variável $\lambda_{i\alpha}$ ou $\lambda_{i\beta}$.

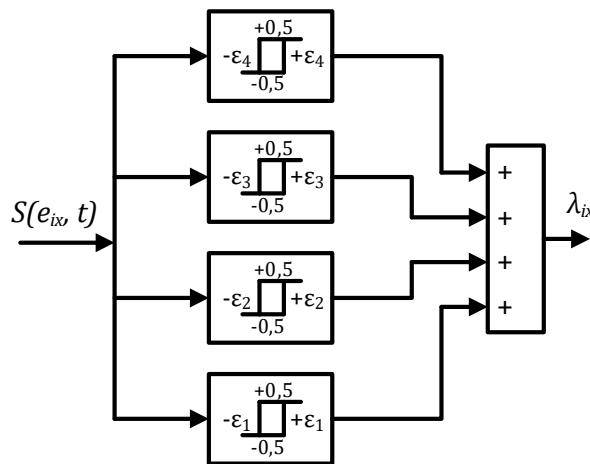


Figura 4.2 – Quantificação do erro das correntes com histerese de 5 níveis (adaptado de [54]).

Para a escolha dos vetores redundantes de tensão é necessário analisar o sentido de potência. A potência fornecida pelo lado DC do conversor pode ser calculada por (4.14), assumindo que os condensadores estão equilibrados.

$$P \approx \frac{U_{dc}}{2} (i_b - i'_b) = \frac{U_{dc}}{2} (\gamma_1 i_1 + \gamma_2 i_2 + \gamma_3 i_3). \quad (4.14)$$

A tensão de alimentação U_{dc} é sempre positiva, pelo que o sentido de transferência de potência é apenas dependente do sinal da parcela $(\gamma_1 i_1 + \gamma_2 i_2 + \gamma_3 i_3)$. Na Tabela 4.1, estão presentes as expressões de $(i_b - i'_b)$ para todas as combinações de vetores. É de notar que os valores de i_{np} estão relacionados com $(i_b - i'_b)$, uma vez que na primeira parte da tabela os valores são iguais e na segunda parte são simétricos. Isto significa que o valor de i_{np} está dependente do sentido de transferência de potência e que para impor a lei de comutação em (4.12) é necessário analisar o sinal de $(i_b - i'_b)$, para além do erro entre as tensões dos condensadores.

No modo retificador ($(i_b - i'_b) < 0$), a escolha de um vetor com i_{np} positivo deve recair na segunda parte da tabela onde i_{np} tem o sinal simétrico de $(i_b - i'_b)$. Se for desejado escolher um vetor com i_{np} negativo, a escolha deverá recair na primeira parte

da tabela onde i_{np} tem o mesmo sinal de $(i_b - i'_b)$. De forma análoga é possível concluir que se o conversor estiver a funcionar no modo inversor $((i_b - i'_b) > 0)$, a escolha de um vetor com i_{np} positivo deve recair para a primeira metade da tabela e para um vetor com i_{np} negativo a escolha deve recair para a segunda metade da tabela.

A Tabela 4.2 resume em que situações se devem utilizar os vetores redundantes com base neste raciocínio e na lei de comutação em (4.12).

Tabela 4.2 – Resumo da escolha de vetores para o equilíbrio da tensão [41].

$(e_{Uc} > \epsilon_{Uc} \wedge \Delta_{ib} < \epsilon_{\Delta ib}) \vee$ $(e_{Uc} < \epsilon_{Uc} \wedge \Delta_{ib} > \epsilon_{\Delta ib})$	2	4	5	10	11	13
$(e_{Uc} > \epsilon_{Uc} \wedge \Delta_{ib} > \epsilon_{\Delta ib}) \vee$ $(e_{Uc} < \epsilon_{Uc} \wedge \Delta_{ib} < \epsilon_{\Delta ib})$	15	17	18	23	24	26

Em que $\Delta_{ib} = (i_b - i'_b)$, e $\epsilon_{\Delta ib}$ é a histerese no cálculo de Δ_{ib} . Combinando esta estratégia de seleção de vetores para o equilíbrio da tensão, com a estratégia de seleção dos vetores para o controlo de corrente através das variáveis $\lambda_{i\alpha}$ e $\lambda_{i\beta}$ e Figura 4.1, chega-se à Tabela 4.3 que contém o conjunto de vetores a aplicar em todas as situações.

Tabela 4.3 – Mapeamento dos vetores (adaptado de [41]).

		$(e_{Uc} > \epsilon_{Uc} \wedge \Delta_{ib} > \epsilon_{\Delta ib}) \vee$ $(e_{Uc} < \epsilon_{Uc} \wedge \Delta_{ib} < \epsilon_{\Delta ib})$					$(e_{Uc} > \epsilon_{Uc} \wedge \Delta_{ib} < \epsilon_{\Delta ib}) \vee$ $(e_{Uc} < \epsilon_{Uc} \wedge \Delta_{ib} > \epsilon_{\Delta ib})$				
		λ_α					λ_α				
		-2	-1	0	1	2	-2	-1	0	1	2
λ_β	2	8	7	16	25	25	8	7	16	25	25
	1	8	17	17	26	22	8	4	4	13	22
	0	9	18	27	23	19	9	5	27	10	19
	-1	6	15	24	24	20	6	2	11	11	20
	-2	3	3	12	21	20	3	3	12	21	20

Após a escolha do vetor a aplicar e antes da sua aplicação, deve ser feita uma verificação em cada braço para que não sejam provocadas comutações superiores a um degrau. Para isso, o valor γ_k deve respeitar a seguinte condição [41]:

$$\gamma_k = \begin{cases} \gamma'_k & \text{se } |\gamma_{k_{ant}} - \gamma'_k| \leq 1 \\ \gamma'_k + 1 & \text{se } \gamma_{k_{ant}} - \gamma'_k = 2 \\ \gamma'_k - 1 & \text{se } \gamma_{k_{ant}} - \gamma'_k = -2 \end{cases} \quad (4.15)$$

O diagrama de controlo geral das correntes no lado da microrrede AC por MD, com base nos mecanismos descritos nesta secção, é ilustrado na Figura 4.3.

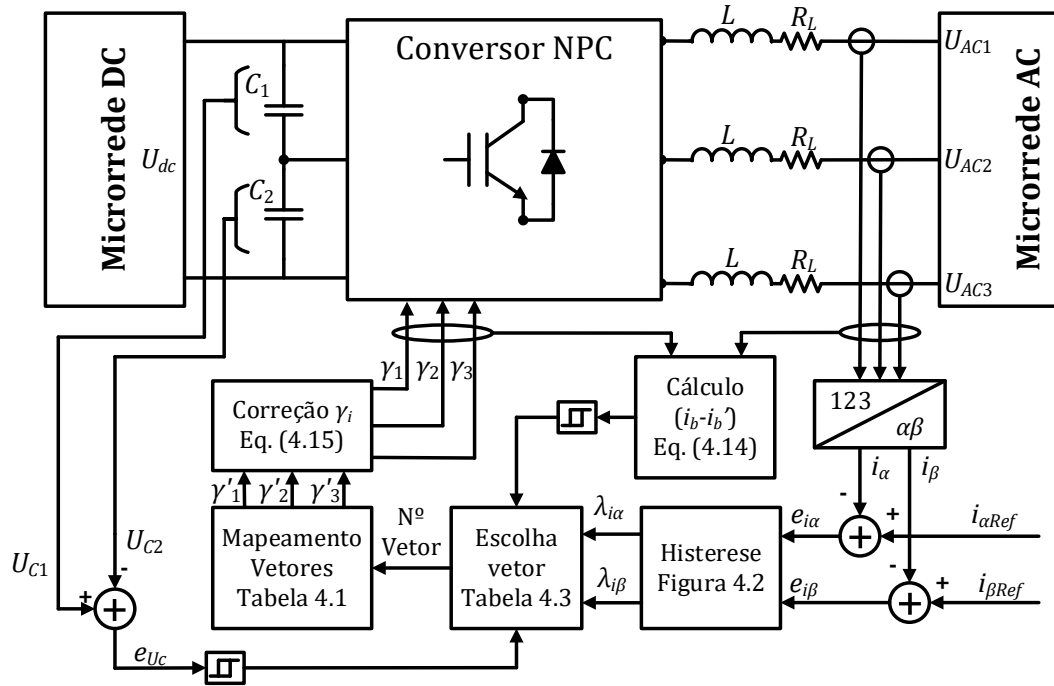


Figura 4.3 – Esquema geral do controlo das correntes por MD.

4.2 Controlo de corrente por PWM no lado da microrrede AC

Para o controlo da corrente por PWM em malha fechada utilizou-se o modelo nas coordenadas dq do conversor, apresentado em (3.33), dado ser um modelo caracterizado por ter grandezas constantes e, portanto, mais adequado à aplicação de métodos de controlo lineares. Neste tipo de controlo o sistema original é linearizado e consideram-se valores médios das variáveis de comutação, desprezando o efeito das comutações. À semelhança do controlo por MD, numa fase inicial começa-se por assumir que os condensadores estão equilibrados e escreve-se uma nova variável de controlo, u_z com $z \in \{d, q\}$, apresentada abaixo:

$$u_z = \Gamma_{1z}U_{C1} + \Gamma_{2z}U_{C2} \approx (\Gamma_{1z} + \Gamma_{2z}) \frac{U_{dc}}{2} = \gamma_z \frac{U_{dc}}{2}. \quad (4.16)$$

A simplificação das equações das correntes com base nesta variável resulta nas equações (4.17) e (4.18), [59,60]:

$$\frac{di_d}{dt} = -\frac{R_L}{L}i_d + \omega i_q + \frac{u_d}{L} - \frac{1}{L}U_{ACd}; \quad (4.17)$$

$$\frac{di_q}{dt} = -\frac{R_L}{L}i_q - \omega i_d + \frac{u_q}{L} - \frac{1}{L}U_{ACq}. \quad (4.18)$$

Aplicando a transformada de Laplace e resolvendo em ordem às variáveis de estado i_d e i_q , obtém-se as equações (4.19) e (4.20).

$$i_d = \frac{\frac{1}{L}(\omega L i_q + \gamma_d \frac{U_{dc}}{2} - U_{ACd})}{(s + \frac{R_L}{L})}; \quad (4.19)$$

$$i_q = \frac{\frac{1}{L}(-\omega L i_d + \gamma_q \frac{U_{dc}}{2} - U_{ACq})}{(s + \frac{R_L}{L})}. \quad (4.20)$$

As variáveis γ_d e γ_q resultam da transformada $dq0$ às variáveis originais γ_1, γ_2 e γ_3 . Para o controlo por PWM desprezam-se os efeitos das comutações, assume-se que o sistema é linear e que as variáveis γ_d e γ_q representam o fator de ciclo a aplicar ao modulador PWM. A Figura 4.4 representa o diagrama de blocos deste sistema. O sistema tem acoplamento entre as correntes, ou seja, a componente i_d é afetada pela componente i_q e vice-versa, o que acaba por degradar a resposta dinâmica do sistema.

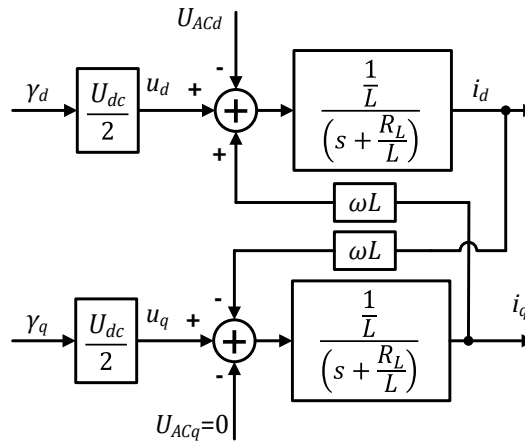


Figura 4.4 - Diagrama de blocos completo da dinâmica das correntes nas coordenadas dq .

O controlador escolhido para o controlo em malha fechada foi um PI (Proporcional-Integral) por permitir um erro estacionário nulo. Este controlador é responsável por calcular o fator de ciclo γ_d e γ_q de forma a manter o erro das correntes nulo. Para melhorar a resposta dinâmica do sistema foram introduzidos elementos de controlo adicionais que permitem eliminar o acoplamento das correntes presentes na Figura 4.4. Desta forma, o controlo em d e q pode ser feito de forma independente e a resposta dinâmica do sistema é melhorada [58]. Considerando estes elementos de compensação, as variáveis de controlo podem ser dadas pelas expressões (4.21) e (4.22) [58].

$$\gamma_d = \frac{2(\gamma'_d - L\omega i_q)}{U_{dc}} \quad (4.21)$$

$$\gamma_q = \frac{2(\gamma'_q + L\omega i_d)}{U_{dc}} \quad (4.22)$$

Em que γ'_d e γ'_q são as saídas dos controladores PI nas duas componentes da corrente. Substituindo nas equações (4.19) e (4.20), obtém-se a equação (4.23) em que as correntes i_z passam a ser controladas pelas novas variáveis γ'_z , com $z \in \{d, q\}$, fornecidas pelo PI respectivo e deixa de existir acoplamento.

$$i_z = \frac{\frac{1}{L}(\gamma'_z - U_{ACz})}{\left(s + \frac{R_L}{L}\right)} \quad (4.23)$$

Para além do acoplamento das componentes das correntes, existem perturbações causadas pela tensão da microrrede AC, U_{ACz} . Estas tensões são geralmente constantes (no caso de U_{ACq} até costuma ser nula) ou têm uma variação muito lenta, pelo que é possível eliminá-las a longo prazo através da componente integral do PI. A função de transferência de um PI é a seguinte:

$$G(s) = k_{pPWM} + \frac{k_{iPWM}}{s} = \frac{k_{pPWM}}{s} \left(s + \frac{k_{iPWM}}{k_{pPWM}} \right). \quad (4.24)$$

O diagrama de blocos simplificado e com a adição de um PI para o controlo em malha fechada é apresentado na Figura 4.5. Devido ao desacoplamento das correntes, e à semelhança entre as equações, é possível a utilização de controladores iguais para ambas as componentes.

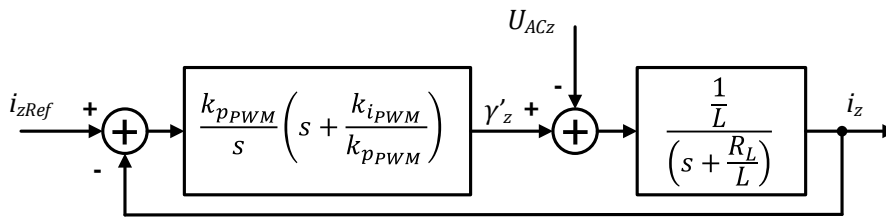


Figura 4.5 – Diagrama de blocos em malha fechada para o controlo de corrente por PWM.

De forma a simplificar os cálculos dos parâmetros k_{iPWM} e k_{pPWM} , é possível adotar uma estratégia de cancelamento pólo-zero. Assumindo:

$$\frac{k_{iPWM}}{k_{pPWM}} = \frac{R_L}{L}, \quad (4.25)$$

A função de transferência do sistema em malha fechada é dada pela equação (4.26).

$$i_z = \frac{\frac{k_{pPWM}}{L}}{s + \frac{k_{pPWM}}{L}} i_{zRef} + \frac{\frac{s}{L}}{(s + k_{pPWM}) \left(s + \frac{R_L}{L} \right)} U_{ACz} \quad (4.26)$$

Em regime permanente, $s \rightarrow 0$, a perturbação U_{ACz} é eliminada e $i_z = i_{zRef}$. Para o cálculo dos parâmetros k_{iPWM} e k_{pPWM} tem-se em conta apenas a parcela da função de transferência em (4.26) que relaciona a corrente com a sua referência e tem a forma característica de um sistema de primeira ordem com largura de banda ω_p :

$$\frac{i_z}{i_{zRef}} = \frac{\omega_p}{s + \omega_p}. \quad (4.27)$$

Daqui, e com base da simplificação em (4.25), retiram-se os valores de k_{iPWM} e k_{pPWM} :

$$k_{pPWM} = L\omega_p; \quad k_{iPWM} = \frac{R_L}{L} k_{pPWM}. \quad (4.28)$$

A largura de banda, ω_p , deverá ser muito inferior à frequência da portadora triangular, f_s , utilizada no modulador PWM, mas ainda assim grande o suficiente para obter um controle de corrente rápido.

4.2.1 Equilíbrio dos condensadores

A estratégia de equilíbrio dos condensadores passa por adicionar um desvio vertical nas portadoras triangulares utilizadas nos moduladores PWM de cada fase. Consegue-se demonstrar (ver Apêndice A) que a adição de um deslocamento vertical $\Delta\gamma$ das portadoras não afeta a dinâmica da tensão U_{dc} , nem das correntes, mas afeta o erro da tensão entre condensadores. A equação (4.29) descreve a dinâmica do erro dos condensadores em função de $\Delta\gamma$, das correntes trifásicas e das variáveis de comutação γ_i .

$$\frac{de_{Uc}}{dt} = \frac{1}{C} \left((-\gamma_1^2 i_1 - \gamma_2^2 i_2 - \gamma_3^2 i_3) + 2\Delta\gamma(\gamma_1 i_1 + \gamma_2 i_2 + \gamma_3 i_3) \right) \quad (4.29)$$

A primeira parcela do lado direito da equação (4.29) é igual à equação original do erro (A.2) do Apêndice A. A segunda parcela é dependente do deslocamento da portadora $\Delta\gamma$ e do sentido de transferência de potência devido ao termo presente em (4.14). Esta equação demonstra que é possível afetar o equilíbrio dos condensadores através da adição de um deslocamento vertical $\Delta\gamma$. Estas duas parcelas são agrupadas em duas variáveis, A e B , apresentadas em (4.30) para facilitar a sua manipulação.

$$\begin{aligned} A &= (-\gamma_1^2 i_1 - \gamma_2^2 i_2 - \gamma_3^2 i_3) \\ B &= (i_b - i'_b) = (\gamma_1 i_1 + \gamma_2 i_2 + \gamma_3 i_3) \end{aligned} \quad (4.30)$$

Através desta substituição de variáveis, aplicando a transformada de Laplace à equação (4.29) e resolvendo em ordem ao erro obtém-se:

$$e_{Uc} = \frac{1}{sC} (A + 2\Delta\gamma B). \quad (4.31)$$

O objetivo de controlo é manter um erro nulo entre as tensões dos condensadores, $e_{Uc} \approx 0$, através do deslocamento da portadora $\Delta\gamma$. A variável A pode ser considerada como sendo uma perturbação, e a variável B será tida em conta para o sentido de transferência de potência. O diagrama de controlo é representado na Figura 4.6, onde se utilizou um controlador PI.

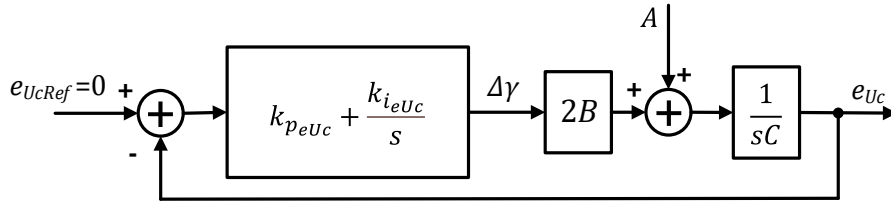


Figura 4.6 – Diagrama de blocos para o controlo em malha fechada do equilíbrio da tensão dos condensadores C_1 e C_2 .

A função de transferência em malha fechada do sistema, ignorando a perturbação A e após algum desenvolvimento, é dada por:

$$\frac{e_{Uc}}{e_{UcRef}} = \frac{\frac{2Bk_{peUc}}{C} s + \frac{2Bk_{ieUc}}{C}}{s^2 + \frac{2Bk_{peUc}}{C} s + \frac{2Bk_{ieUc}}{C}}. \quad (4.32)$$

Trata-se de uma função característica de segunda ordem, com uma frequência natural ω_n e uma constante de amortecimento ξ . A partir do denominador podemos retirar as seguintes equações:

$$\begin{aligned} 2\xi\omega_n &= \frac{2Bk_{peUc}}{C} \Rightarrow k_{peUc} = \frac{\xi\omega_n C}{B}; \\ \omega_n^2 &= \frac{2Bk_{ieUc}}{C} \Rightarrow k_{ieUc} = \frac{\omega_n^2}{2B}. \end{aligned} \quad (4.33)$$

No cálculo dos parâmetros k_{ieUc} e k_{peUc} é necessário ter em conta que estes dependem do sentido de potência B . Para que o sistema de controlo funcione em ambos os sentidos é necessário modificar a sua saída de acordo com o sinal de B . Neste caso em particular, em que o controlo é feito nas coordenadas dq , o sentido de transferência de

potência pode também ser determinado diretamente através do sinal de i_d , não sendo necessário calcular a expressão de B . Na Figura 4.7 é ilustrado o esquema de controlo com esta modificação.

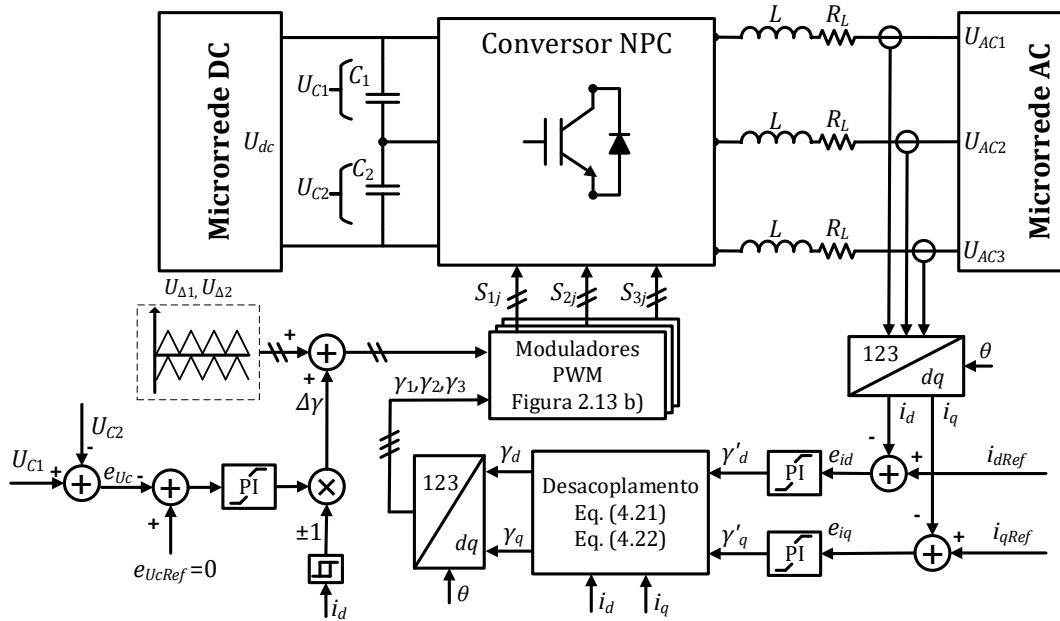


Figura 4.7 – Esquema geral do controlo das correntes por PWM.

No cálculo pode-se assumir um valor médio para B , e ajustar a frequência natural do sistema, ω_n , num valor bastante baixo para não causar demasiadas variações nas portadoras. A constante de amortecimento poderá ter o valor 0,7 de modo a não causar grandes sobrelevações.

4.3 Controlo da tensão da microrrede DC

No modo de controlo de tensão da microrrede DC parte-se do pressuposto que o barramento da microrrede AC está estabilizado, quer seja pela rede elétrica, caso a microrrede híbrida esteja em modo normal de funcionamento, ou pelos elementos de geração e armazenamento presentes na microrrede AC, no caso de estar a funcionar no modo autónomo. Em todo o caso, o CI faz a regulação da tensão da microrrede DC. O controlo da tensão da microrrede DC será feito a partir de um controlador PI.

Partindo do modelo do sistema nas coordenadas dq em (3.33), a dinâmica da tensão DC pode ser escrita por:

$$\frac{dU_{dc}}{dt} = \frac{dU_{C1}}{dt} + \frac{dU_{C2}}{dt}. \quad (4.34)$$

Substituindo pelas equações da dinâmica dos capacitores C_1 e C_2 obtém-se a equação (4.35).

$$\frac{dU_{dc}}{dt} = -\left(\frac{\Gamma_{1d}}{C_1} + \frac{\Gamma_{2d}}{C_2}\right) i_d - \left(\frac{\Gamma_{1q}}{C_1} + \frac{\Gamma_{2q}}{C_2}\right) i_q + \left(\frac{1}{C_1} + \frac{1}{C_2}\right) i_{dc} \quad (4.35)$$

Para efeitos de dimensionamento do controlador de tensão DC, a componente i_q associada à potência reativa foi desprezada de forma a simplificar o modelo do sistema. O dimensionamento do controlador PI pode ser efetuado para uma resistência R_{dc} , representante do consumo típico da microrrede DC. Sendo assim, e considerando $C_1 \approx C_2 \approx C$, podemos rescrever a equação:

$$\frac{dU_{dc}}{dt} = -\frac{\gamma_d}{C} i_d - \frac{2 U_{dc}}{C R_{dc}}. \quad (4.36)$$

Aplicando a transformada de Laplace e resolvendo em ordem a U_{dc} , obtém-se a função de transferência do sistema em malha aberta:

$$U_{dc} = -\frac{\gamma_d}{s + \frac{2}{C R_{dc}}} i_d. \quad (4.37)$$

O objetivo do controlador PI é calcular a corrente de referência que deverá ser imposta ao controlador interno de corrente, independentemente da técnica de controle utilizada. O diagrama de controle do sistema com a adição de um PI é apresentado na Figura 4.8. Neste diagrama de blocos parte-se do princípio de que o controlador interno de corrente consegue seguir a referência com rapidez e, como tal, a componente de atraso entre a corrente e a sua referência é desprezável.

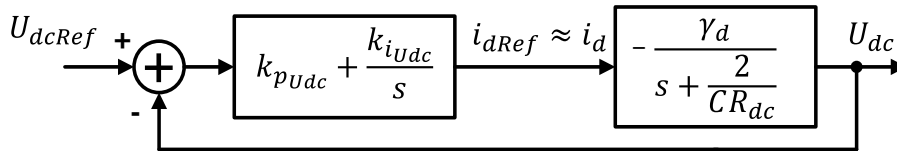


Figura 4.8 – Diagrama de blocos do controlador de tensão da microrrede DC.

Após algum desenvolvimento, a função de transferência em malha fechada do sistema é dada por:

$$\frac{U_{dc}}{U_{dcRef}} = \frac{-\frac{1}{C} (k_{pU_{dc}} s + k_{iU_{dc}}) \gamma_d}{s^2 + \left(\frac{2}{R_{dc} C} - k_{pU_{dc}} \frac{\gamma_d}{C}\right) s - \frac{k_{iU_{dc}}}{C} \gamma_d}. \quad (4.38)$$

O denominador desta função de transferência tem a forma característica de uma função de segunda ordem. Os parâmetros $k_{iU_{dc}}$ e $k_{pU_{dc}}$, dados por (4.39) e (4.40), podem ser ajustados em função da frequência natural ω_n e da constante de amortecimento ξ .

$$\omega_n^2 = -\frac{k_{i_{Udc}}}{C}\gamma_d \Rightarrow k_{i_{Udc}} = -\frac{\omega_n^2 C}{\gamma_d} \quad (4.39)$$

$$2\xi\omega_n = \left(\frac{2}{R_{dc}C} - k_{p_{Udc}}\frac{\gamma_d}{C}\right) \Rightarrow k_{p_{Udc}} = \frac{2 - 2\xi\omega_n R_{dc}C}{\gamma_d R_{dc}} \quad (4.40)$$

Os parâmetros $k_{i_{Udc}}$ e $k_{p_{Udc}}$ dependem da variável de comutação γ_d . Para obter uma estimativa do valor médio de γ_d pode-se utilizar a equação da corrente i_d em regime permanente. A equação (4.17) em regime estacionário, considerando $i_q \approx 0$ para uma potência reativa nula, pode ser reescrita como:

$$0 = -\frac{R_L}{L}i_d + \frac{\gamma_d U_{dc}}{L} - \frac{1}{L}U_{ACd}. \quad (4.41)$$

Resolvendo em ordem a γ_d obtém-se a seguinte expressão:

$$\gamma_d = \frac{2(R_L i_d + U_{ACd})}{U_{dc}}. \quad (4.42)$$

A resistência R_L representa as perdas nos enrolamentos da bobina e geralmente é muito baixa. Por esta razão, o termo $R_L i_d$ é muito menor do que o termo U_{ACd} e pode ser desprezado. Estando o eixo d do referencial $dq0$ alinhado com a componente α da tensão (tal como na Figura 3.3), o valor de U_{ACd} é dado por [41]:

$$U_{ACd} = \sqrt{\frac{3}{2}}U_{AC}. \quad (4.43)$$

Substituindo este valor em (4.42) e desprezando o termo dependente de R_L obtém-se a seguinte aproximação:

$$\gamma_d \approx \frac{\sqrt{6}U_{AC}}{U_{dc}}. \quad (4.44)$$

Os parâmetros $k_{i_{Udc}}$ e $k_{p_{Udc}}$ podem então ser dados por:

$$\begin{aligned} k_{i_{Udc}} &= -\frac{\omega_n^2 C U_{dc}}{\sqrt{6}U_{AC}}; \\ k_{p_{Udc}} &= \frac{(2 - 2\xi\omega_n R_{dc}C)U_{dc}}{\sqrt{6}U_{AC}R_{dc}}. \end{aligned} \quad (4.45)$$

A frequência natural do controlador de tensão deve ser muito inferior à frequência do controlador interno de corrente, para que este último tenha tempo de reagir e seguir corretamente a referência.

4.4 Controlo da tensão da microrrede AC

O controlo da tensão da microrrede AC é também feito nas coordenadas dq , mais especificamente a partir do modelo do sistema em (3.35). O controlador implementado é responsável por fornecer as correntes de referência para o controlador interno de corrente, independentemente do método utilizado neste último. Aplicando a transformada de Laplace ao modelo (3.35) e resolvendo em ordem às variáveis de estado U_{ACz} , obtêm-se as seguintes equações:

$$U_{ACd} = \frac{\frac{1}{C_f} (i_d + \omega C_f U_{ACq})}{\left(s + \frac{1}{C_f R_{AC}}\right)}; \quad (4.46)$$

$$U_{ACq} = \frac{\frac{1}{C_f} (i_q - \omega C_f U_{ACd})}{\left(s + \frac{1}{C_f R_{AC}}\right)}. \quad (4.47)$$

O diagrama de blocos equivalente a estas equações está presente na Figura 4.9.

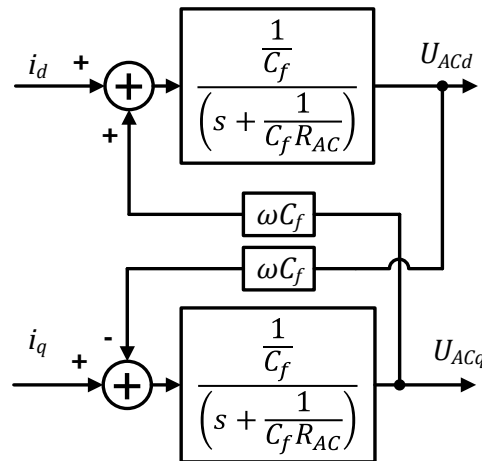


Figura 4.9 – Diagrama de blocos do modelo simplificado da microrrede AC.

Este modelo também apresenta um acoplamento entre as duas componentes da tensão, o que pode degradar a resposta em regime dinâmico. Para eliminar esta dependência são introduzidos elementos de desacoplamento, à semelhança do que já foi feito com o controlo interno de corrente por PWM [16]. Para tal, definem-se as novas variáveis em (4.48) e (4.49):

$$i_d = i'_d - \omega C_f U_{ACq}; \quad (4.48)$$

$$i_q = i'_q + \omega C_f U_{ACd}. \quad (4.49)$$

Substituindo (4.48) e (4.49) nas equações originais (4.46) e (4.47) respetivamente, obtém-se o novo sistema sem o acoplamento das tensões, em que as tensões U_{ACz} estão relacionadas com as novas variáveis de controlo i'_z , com $z \in \{d, q\}$.

$$U_{ACz} = \frac{\frac{1}{C_f}}{\left(s + \frac{1}{C_f R_{AC}}\right)} i'_z \quad (4.50)$$

O objetivo do controlador PI é calcular a corrente de referência i'_{zRef} que deverá ser seguida pelo controlador interno de corrente. O diagrama de controlo do modelo sem acoplamento das tensões é apresentado na Figura 4.10.

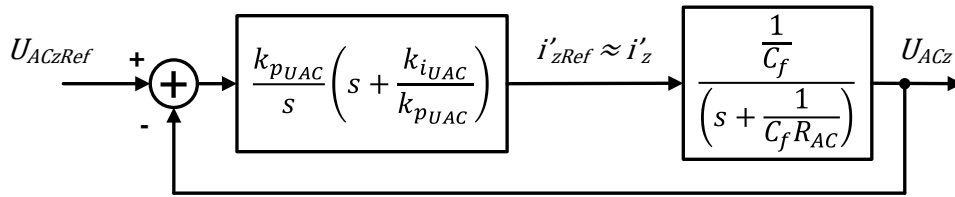


Figura 4.10 – Diagrama de blocos do controlo de tensão da microrrede AC.

Aplicando a técnica de cancelamento pólo-zero, obtém-se a seguinte relação:

$$\frac{k_{iUAC}}{k_{pUAC}} = \frac{1}{C_f R_{AC}}. \quad (4.51)$$

Com esta simplificação, a função de transferência da Figura 4.10 é dada por:

$$\frac{U_{ACz}}{U_{ACzRef}} = \frac{\frac{k_{pUAC}}{C_f}}{s + \frac{k_{pUAC}}{C_f}} = \frac{\omega_p}{s + \omega_p}. \quad (4.52)$$

Sendo uma função de transferência de primeira ordem, os parâmetros podem ser definidos em função da largura de banda do sistema através das expressões (4.53).

$$\begin{aligned} k_{pUAC} &= \omega_p C_f \\ k_{iUAC} &= \frac{1}{C_f R_f} k_{pUAC} \end{aligned} \quad (4.53)$$

A largura de banda do sistema deverá ser muito inferior à largura de banda do controlador de corrente interno, para garantir que este último consegue reagir adequadamente às mudanças de referências da corrente.

4.5 Conclusões

Neste capítulo foram projetados os controladores em malha fechada para as correntes AC, para o equilíbrio da tensão dos condensadores do conversor e para as tensões das microrredes DC e AC.

Para o controlo das correntes AC utilizaram-se dois métodos, um baseado em controlo linear (PWM) e outro baseado em controlo não linear (MD). O PWM faz uso de um PI para o cálculo do sinal de controlo a aplicar aos moduladores e utiliza portadoras modificadas para o equilíbrio dos condensadores. O MD baseia-se na aplicação dos vetores mais adequados de forma a manter as correntes AC e as tensões dos condensadores dentro de limites de histerese definidos.

As tensões das microrredes AC e DC são reguladas através de controladores PI com controlo interno de corrente, sendo o PI responsável por calcular as correntes de referência. Para que as tensões sejam ajustadas de forma adequada é necessário que a largura de banda da malha externa do controlo de tensão seja muito inferior à largura de banda do controlo interno de corrente.

No capítulo seguinte são apresentados os resultados da aplicação destes controladores em ambiente de simulação e experimental.

5 Resultados de simulação e experimentais

Neste capítulo começa-se por descrever a plataforma de simulação e os modelos implementados para cada um dos modos de funcionamento da microrrede híbrida. Em seguida são descritos os elementos principais que constituem o protótipo de baixa potência implementado em laboratório para a verificação dos resultados de simulação, e os circuitos de condicionamento de sinal desenvolvidos. Por fim, são apresentados os principais resultados obtidos na simulação e no protótipo laboratorial nos vários modos de funcionamento do sistema e em vários cenários de teste. Quando aplicável, é feita uma comparação entre o controlo de corrente por MD e por PWM.

5.1 Descrição do modelo em MATLAB/Simulink

O sistema de interligação entre microrredes foi desenvolvido numa primeira fase através da ferramenta de simulação Simulink integrada no MATLAB. A principal biblioteca utilizada para a modelação do sistema foi a *Simscape Power Systems*, que contém todos os componentes eletrónicos de potência, fontes de alimentação e blocos de medição necessários. As simulações foram efetuadas no modo contínuo, permitindo uma melhor aproximação aos resultados reais.

Foram feitas simulações para três modos de funcionamento do conversor: controlo das correntes AC com equilíbrio das tensões dos condensadores, controlo da tensão da microrrede DC e controlo da tensão da microrrede AC. Adicionalmente, as simulações destes dois últimos modos foram realizadas com um controlo interno de corrente baseado em PWM e em MD. O sistema foi desenvolvido de forma modular, de modo a facilitar a integração entre os vários blocos do sistema e os vários tipos de simulação. A Figura 5.1 apresenta a estrutura base do sistema que foi adaptada consoante o tipo de simulação.

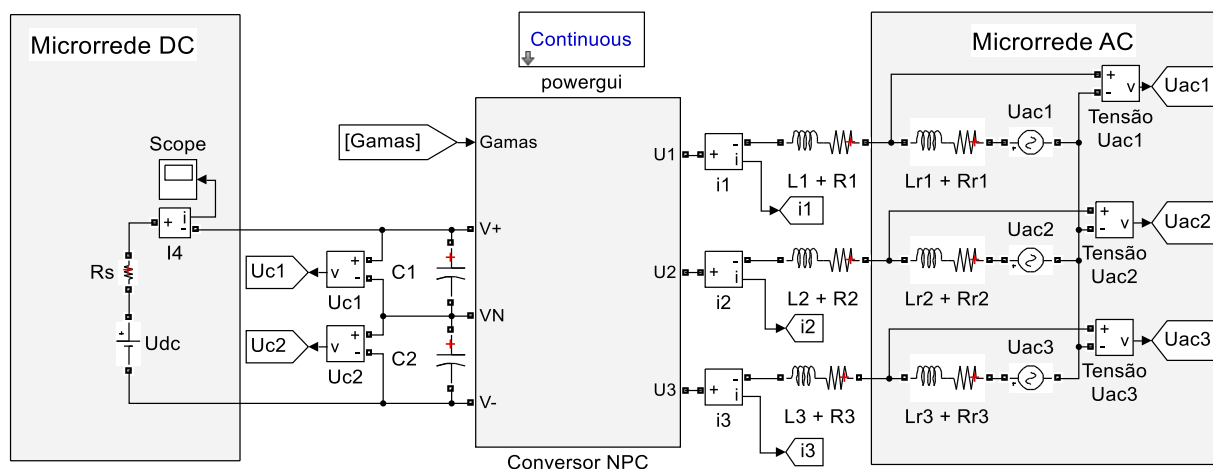


Figura 5.1 – Modelo geral do sistema de interligação entre microrredes implementado no Simulink.

O modelo interno do bloco do conversor NPC está presente na Figura B.1 do Apêndice B. Os diodos e IGBT foram utilizados com os parâmetros (resistência interna, tensão polarização do diodo, *etc.*) pré-definidos pela biblioteca. Na Figura 5.1 a microrrede DC foi modelada por uma fonte de tensão com a sua resistência interna R_s , e a microrrede AC foi modelada através de três fontes de tensão alternadas e respetivas indutâncias, representando a ligação à REE. Esta representação em particular simboliza o modo de funcionamento interligado da microrrede, em que ambas as microrredes têm os seus barramentos controlados (no lado DC pelas FGD e/ou SAEE locais e no lado AC pela REE) e o CI funciona no modo de controlo de corrente/potência. Este modo serve também para avaliar o comportamento dos controladores de corrente que serão utilizados internamente no controlo de tensão da microrrede DC e da microrrede AC.

5.1.1 Controlo de corrente

Para o controlo de corrente, foram desenvolvidos dois blocos genéricos, um para o MD e outro para o PWM, que recebem as grandezas amostradas com uma frequência de amostragem fixa, simbolizando a amostragem de um processador digital, e produzem os seis sinais de controlo necessários para o controlo do conversor.

O modelo completo para o controlo de corrente por MD é apresentado na Figura B.2 do Apêndice B. As amostras das correntes são convertidas para o plano $\alpha\beta$ utilizando um bloco que implementa a transformada de Clarke. São calculados os erros das correntes com base nas referências em $\alpha\beta$ e estes são mapeados em cinco níveis através do diagrama de blocos presente na Figura 5.2 a). O sentido de transferência de potência é calculado através do diagrama de blocos da Figura 5.2 b), que se baseia na equação (4.14), e é posteriormente mapeado numa variável binária através de um comparador de histerese. De forma semelhante, o desequilíbrio entre tensões dos condensadores é mapeado noutra variável binária.

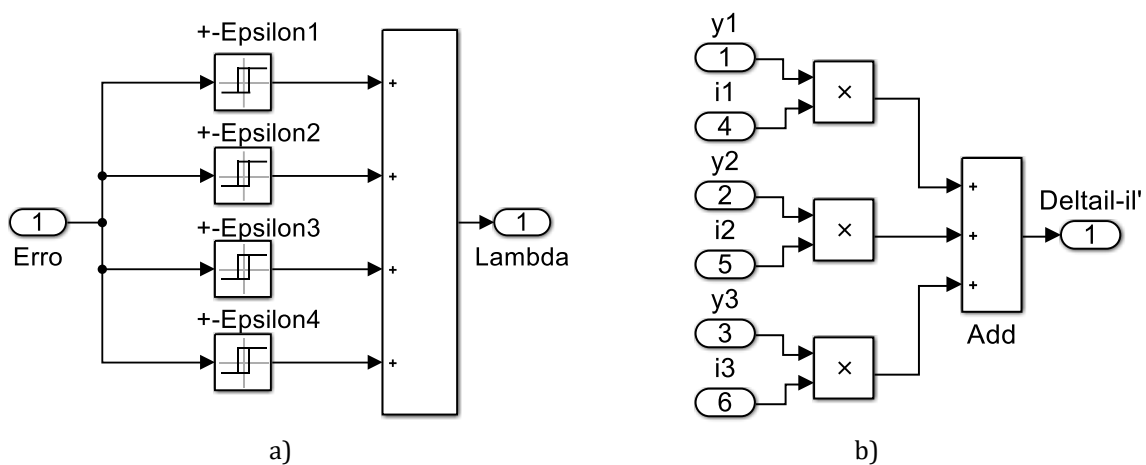


Figura 5.2 – Diagramas de blocos desenvolvidos no Simulink para: a) Quantificação do erro da corrente em 5 níveis; b) Cálculo do sentido de potência.

Para a escolha dos vetores utilizou-se o diagrama de blocos da Figura 5.3. Existem duas tabelas que contêm as combinações de vetores da Tabela 4.3. Estas tabelas são endereçadas através das variáveis λ_α e λ_β resultantes da quantificação dos erros das correntes e a escolha entre tabelas é feita tendo em conta as variáveis binárias que definem o sentido da potência e o erro do desequilíbrio dos condensadores. O vetor escolhido é utilizado para o endereçamento de uma terceira tabela que contém as 27 combinações de γ_k apresentadas inicialmente na Tabela 4.1.

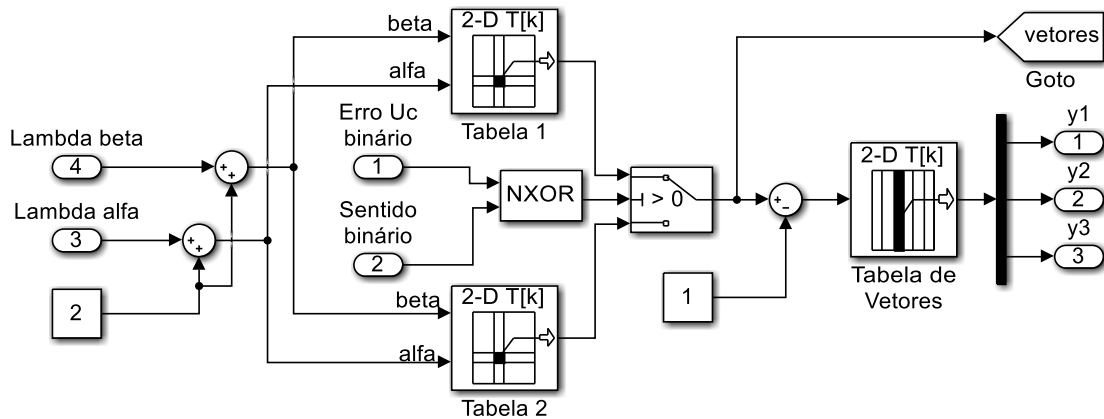


Figura 5.3 – Diagrama de blocos implementado no Simulink para a escolha dos vetores.

Esta escolha resulta nos três valores de γ_k a aplicar aos braços do conversor. Para evitar transições não adjacentes em cada braço é feita uma verificação final tendo como base a condição (4.15). O último passo do algoritmo consiste em mapear cada γ_k em impulsos binários para os SPA S_{k1} e S_{k2} , de acordo com a notação previamente estabelecida em (3.1).

O esquema completo do controlo de corrente por PWM está presente na Figura B.3 do Apêndice B. As correntes amostradas são representadas no plano dq através da transformada de Park e são calculados os erros em relação às referências. Com os erros, utilizam-se dois controladores PI iguais para ambas as componentes dq para o cálculo do sinal de controlo. A Figura 5.4 apresenta o modelo do PI utilizado, tanto no controlo de corrente por PWM como nos restantes modos que envolvem um PI.

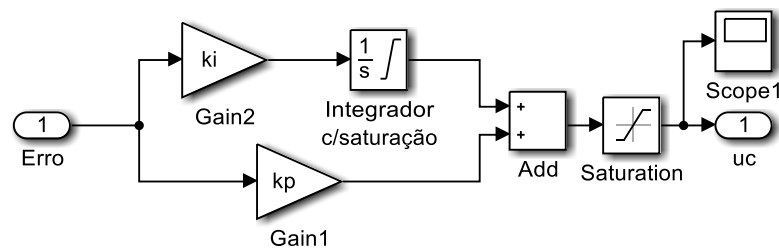


Figura 5.4 – Controlador PI utilizado no controlo das correntes por PWM.

À saída dos PI são adicionados os elementos de desacoplamento. Os sinais de controlo resultantes destas operações são transformados de novo para o plano de coordenadas 123, onde são utilizados em cada um dos três moduladores PWM associados a cada braço do conversor. O modelo do modulador PWM desenvolvido é apresentado na Figura 5.5 e é baseado na modulação LS-PWM com portadoras triangulares.

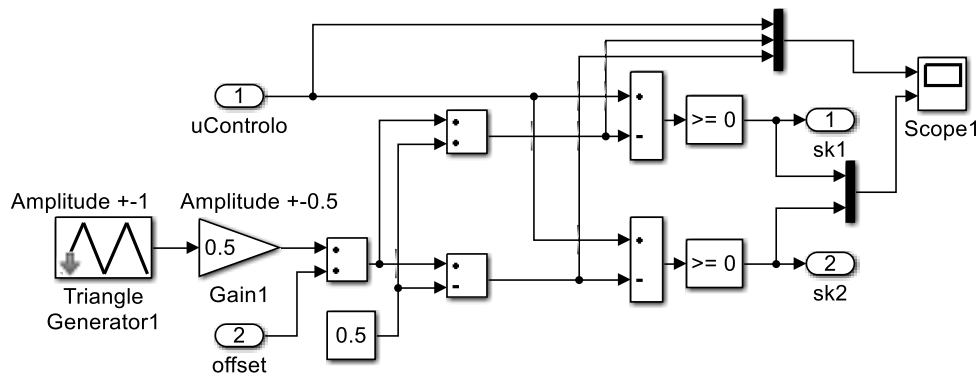


Figura 5.5 – Esquema do modulador PWM implementado no Simulink.

Para o equilíbrio da tensão dos condensadores é utilizado um PI que calcula o desvio vertical que deve ser aplicado às portadoras com base no desequilíbrio atual. A saída do PI é ajustada conforme seja o sentido de transferência de potência. O sentido é indicado diretamente analisando o sinal da componente direta da corrente (i_d) através de um comparador de histerese. Na Figura B.4 do Apêndice B é apresentado o esquema global da simulação para controlo de corrente.

5.1.2 Controlo das tensões das microrredes DC e AC

O controlo das tensões das microrredes DC e AC é feito tendo como base o controlo interno de corrente, por MD ou PWM, explicado na secção anterior. No caso do controlo de tensão DC, parte-se do princípio de que a microrrede híbrida continua no modo interligado de funcionamento, estando conectada à REE. Desta forma, a tensão do barramento AC continua a ser imposta pela REE e o foco do CI é na regulação do barramento DC.

Para representar a microrrede híbrida neste modo de funcionamento, a secção da microrrede DC descrita anteriormente foi substituída pelo modelo da Figura 5.6. Neste modelo existe uma carga fixa R_{dc} associada ao consumo típico da microrrede DC. As restantes cargas são utilizadas para variar o consumo e avaliar o comportamento dinâmico do CI. Existe ainda uma fonte de tensão que é conectada ao barramento DC através de uma resistência R_g e é utilizada para representar as fontes de geração que possam existir na microrrede. Uma vez que a tensão do barramento é regulada num ponto fixo pelo CI, a variação da fonte de tensão resulta numa variação da corrente injetada

localmente na microrrede DC. Dependendo do consumo local, o CI pode ter necessidade de injetar mais ou menos potência de forma a manter o barramento DC regulado.

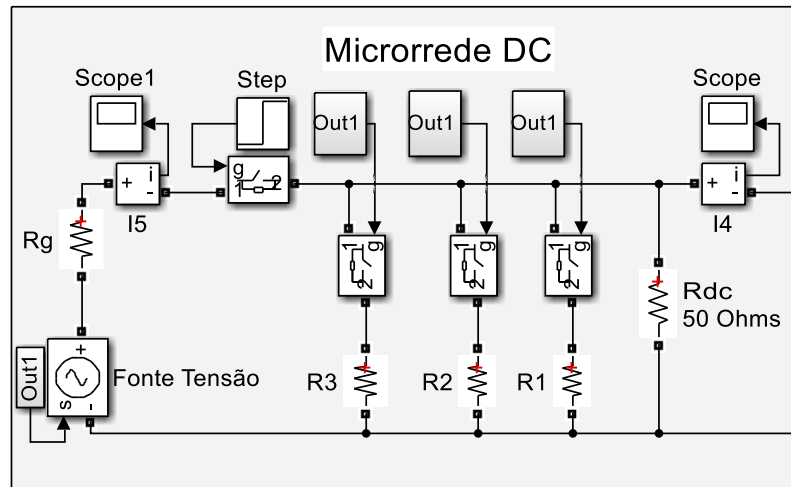


Figura 5.6 – Modelo da microrrede DC implementada no Simulink para o modo de controlo de tensão DC.

Em termos de controlo, o esquema utilizado foi o da Figura 5.7, composto por um PI para a componente direta da corrente. As tensões dos condensadores são amostradas através de blocos *sample and hold* com uma frequência de amostragem fixa, de forma a simular o processo de amostragem realizado por um processador. A componente em quadratura pode ser utilizada para regular a potência reativa injetada na microrrede AC, mas será, geralmente, mantida a zero. Nesta figura existe ainda um bloco para a conversão das correntes de referência em dq para $\alpha\beta$, no caso de o controlo interno ser por MD.

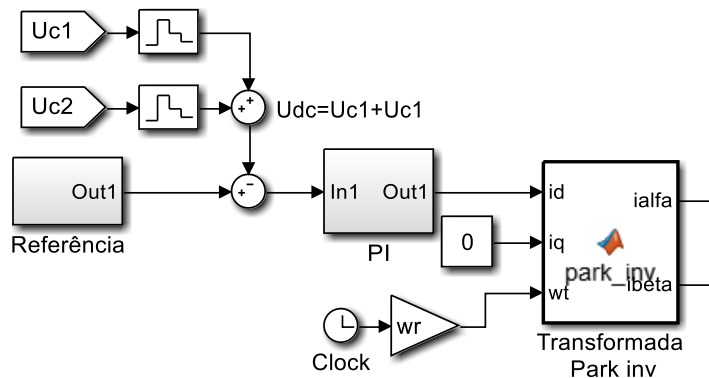


Figura 5.7 – Esquema de controlo implementado no Simulink para a tensão da microrrede DC.

Para o controlo da tensão da microrrede AC, a secção da microrrede AC apresentada anteriormente na Figura 5.1 foi substituída pelo modelo da Figura 5.8. Neste modelo a microrrede híbrida está no modo autónomo e deixa de existir a ligação da REE para estabilizar o barramento AC. Parte-se do princípio de que existe capacidade local na microrrede DC para estabilizar o barramento DC, podendo o CI focar-se na regulação da tensão AC. A carga equilibrada R_{AC} é fixa e representa o consumo típico da microrrede, e

a resistência R_{AC2} é utilizada para variar o consumo e avaliar a resposta do conversor face a perturbações. O conjunto de condensadores de filtragem é utilizado para suavizar a tensão AC, em conjunção com as bobinas L do conversor, formando um filtro LC .

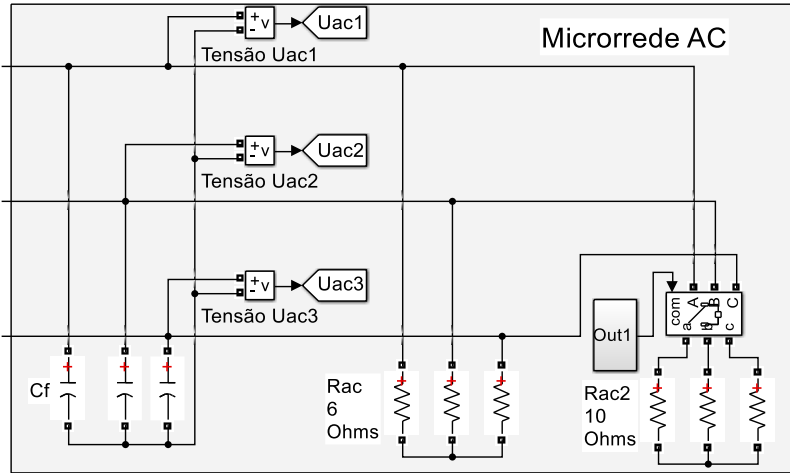


Figura 5.8 – Modelo da microrrede AC implementada no Simulink para o modo de controlo da tensão AC.

Para o controlo, utiliza-se o esquema da Figura 5.9. As tensões AC são amostradas através de blocos *sample and hold*, e convertidas em coordenadas dq . As correntes de referência para o controlo interno de corrente são calculadas com base em controladores PI com desacoplamento entre as componentes direta e em quadratura.

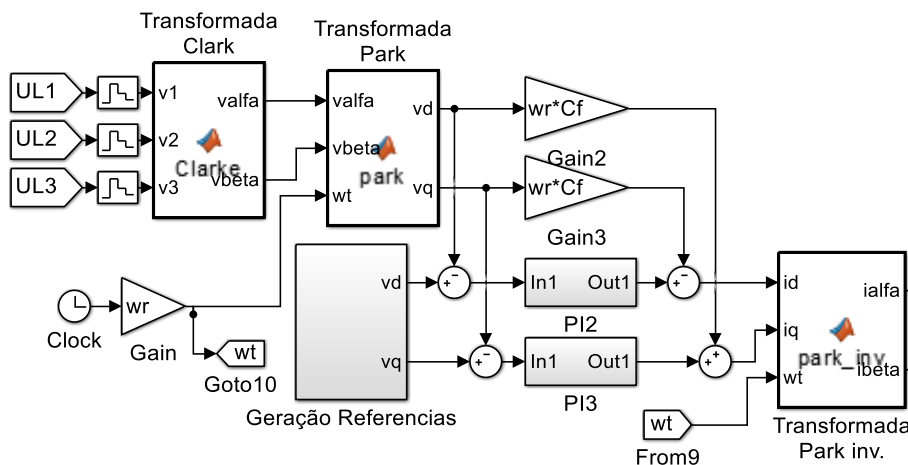


Figura 5.9 – Esquema implementado no Simulink para o controlo de tensão da microrrede AC.

Na Figura B.5 e Figura B.6 do Apêndice B estão incluídos os esquemas globais da simulação para o controlo de tensão da microrrede DC e da microrrede AC, respetivamente. Estas figuras em específico dizem respeito ao controlo de tensão utilizando um controlo interno por MD, no entanto, a única diferença face ao controlo interno por PWM é a existência de um bloco extra para que as correntes sejam fornecidas nas coordenadas $\alpha\beta$ em vez das coordenadas dq utilizadas no cálculo das referências.

5.2 Descrição do protótipo laboratorial

Para complementar e confirmar os resultados obtidos na simulação, foi montado um protótipo laboratorial para o sistema de interligação entre microrredes baseado num conversor NPC. A Figura 5.10 apresenta uma visão global do sistema.

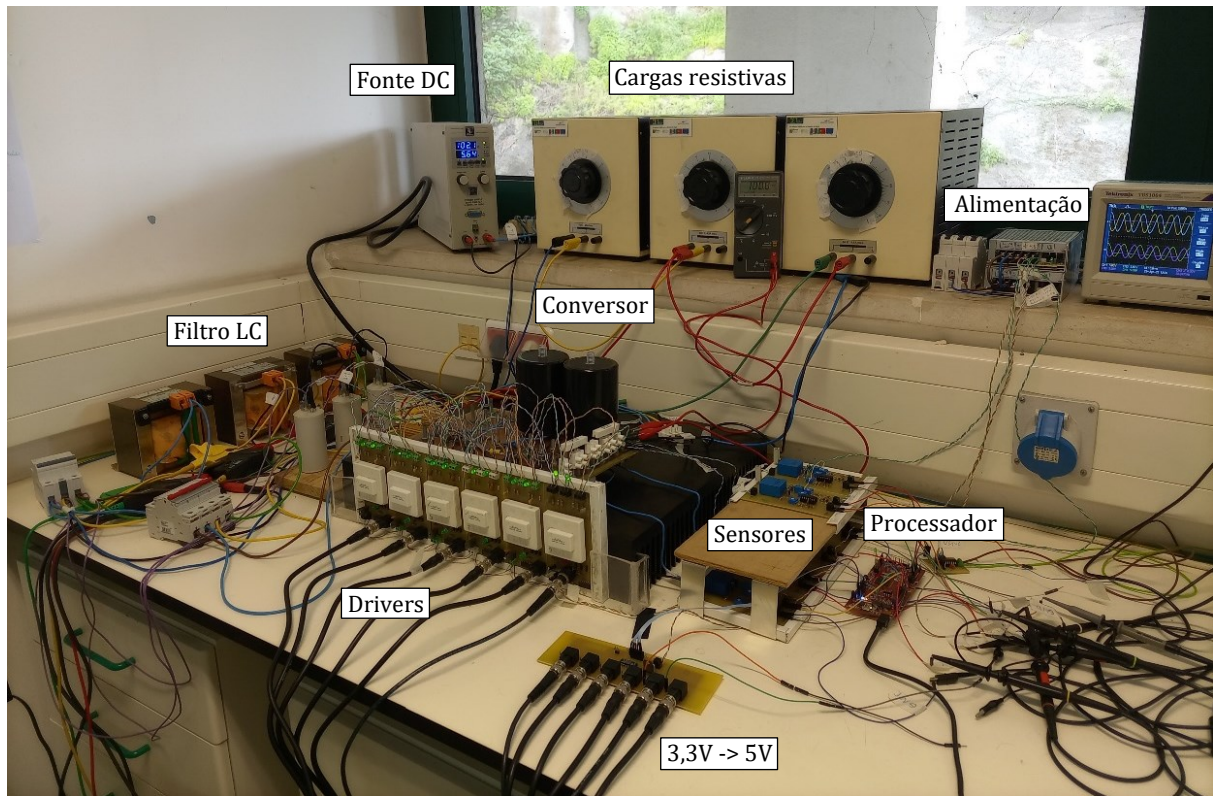


Figura 5.10 – Protótipo laboratorial para a interligação de microrredes.

O conversor NPC, apresentado em detalhe na Figura C.1 do Apêndice C, utiliza seis módulos SKM50GB123D da Semikron por braço, com dois IGBT e os respetivos díodos de roda livre em cada módulo. Cada braço do conversor tem um módulo SKKD60F com dois díodos para a ligação ao ponto neutro do circuito. Os condensadores têm uma capacidade de 2,2 mF e uma tensão máxima de 450 V.

O comando dos IGBT é feito através de seis *drivers* SKHI 22BR, agrupados no painel da Figura C.2 do Apêndice C, em que cada um permite controlar dois IGBT de forma independente. Estes *drivers* fornecem isolamento entre o circuito de potência e o circuito de comando e implementam funcionalidades como a geração de um tempo morto entre as saídas, monitorização e proteção de curto-circuitos e monitorização de falhas de alimentação, desligando as saídas em caso de anomalias. São utilizados dois *drivers* por braço, um para cada par de IGBT complementares. A PCB (*Printed Circuit Board*) onde os *drivers* estão conectados implementa a complementaridade das duas entradas, pelo que é apenas necessário fornecer um sinal de controlo para cada *driver*.

A ligação à REE, nos testes que o exigem, é feita através de três transformadores com uma relação de transformação de 230/24 V RMS ligados em estrela, incluídos na Figura C.3 do Apêndice C. O sincronismo com a rede elétrica é feito através da deteção da passagem por zero da tensão da primeira fase. Para minimizar as falhas na deteção de passagem por zero utilizou-se um transformador de baixa potência com uma relação de transformação de 230/6 V RMS ligado à primeira fase e um comparador de histerese para a deteção do cruzamento por zero. A utilização de um transformador exclusivo para a monitorização da fase permite eliminar o ruído na tensão provocado pelas variações da corrente e pela impedância dos transformadores.

5.2.1 Circuitos construídos

Para a leitura das tensões e das correntes do sistema, foi desenvolvido um conjunto de PCBs que utilizam os sensores LV25-P e LA25-NP da LEM respetivamente [61,62]. Foram desenvolvidas no total quatro PCBs para a leitura de tensão (dois condensadores no lado DC e duas fases do lado AC) e duas PCBs para a leitura de corrente em duas fases. Ambas as PCBs, para a monitorização de tensão e de corrente, têm o mesmo circuito de condicionamento de sinal, apresentado na Figura D.1 do Apêndice D, dado que os sensores têm as mesmas características no lado secundário. A diferença entre as PCBs reside na maneira como o primário dos sensores é ligado. Na Figura D.2 a) é apresentada a ligação do sensor de tensão, onde existe um conector para a introdução de uma resistência externa adequada à gama de tensões a ler. Para o sensor de corrente, presente na Figura D.2 b), utiliza-se uma configuração fixa para uma gama de ± 12 A.

O circuito de condicionamento consiste em duas secções semelhantes que funcionam de forma independente, permitindo mapear o resultado da leitura dos sensores num nível de tensão entre 0 e 3 V ou num nível de tensão entre -8 V e +8 V, conforme seja mais apropriado ao sistema de processamento escolhido para o controlo do protótipo. No circuito com saída de ± 8 V, o primeiro andar consiste num amplificador para o ajuste do ganho do circuito. O segundo andar consiste num conjunto de díodos *zener* para proteção do processador em caso de sobretensão e num *buffer* de tensão.

No caso do circuito com saída de 3 V, o primeiro andar é também de amplificação. Para gerar um *offset* e manter o sinal com uma excursão positiva utiliza-se um divisor resistivo ligado a uma referência de 3 V. A referência é criada por um potenciómetro e um diodo *zener* de 3 V, permitindo ajustar ligeiramente o *offset*. A proteção acima de 3 V é feita a partir de um diodo com uma baixa queda de tensão ligado a uma referência fixa de 3 V, e abaixo dos 0 V é feita a partir de um retificador de precisão. Os desenhos (*layout*) das PCBs de monitorização de tensão e corrente são representados na Figura D.5. Na Figura D.7 do Apêndice D é mostrada a fotografia das PCBs construídas.

Para além das PCBs de monitorização das tensões e correntes, foi desenvolvida uma PCB que realiza o acoplamento entre os 3,3 V do processador e os *drivers* do conversor através um circuito integrado com seis *buffers* de tensão (74HCT365). A necessidade desta PCB deve-se ao facto de as entradas dos *drivers* do conversor terem um limiar de tensão de 3,9 V que não é possível de atingir com o processador utilizado. O esquemático do circuito e o desenho da PCB são apresentados na Figura D.3 e na Figura D.6 do Apêndice D respetivamente, e a fotografia da PCB contruída é mostrada na Figura D.8.

A deteção da passagem por zero da primeira fase da rede é feita através de um circuito baseado num comparador de histerese apresentado na Figura D.4. Dada a simplicidade do circuito apenas foi implementado numa placa perfurada, exibida na Figura D.9.

5.2.2 Controlo do protótipo laboratorial

O controlo do conversor multinível foi efetuado através da plataforma de desenvolvimento de baixo custo *LAUNCHXL-F28379D* baseada na família de processadores TMS320F2837xD da Texas Instruments [63]. Esta placa tem todos os circuitos necessários para a alimentação do processador e para o acesso aos seus periféricos principais. A programação do processador é feita em linguagem *C* através do *Code Composer Studio* (CCS), permitindo ainda a visualização e alteração de variáveis em tempo real, entre outras funcionalidades de *debug* sem impacto na capacidade de processamento principal.

O processador é de 32 *bits* e possui dois núcleos independentes com uma frequência de relógio que pode ir até 200 MHz. A comunicação entre os dois núcleos (*IPC-Inter-Processor Communications*) pode ser feita de três formas: através de uma região partilhada e definida pelo utilizador na memória RAM (*Random Access Memory*) global de cada núcleo, através de dois blocos na memória RAM que já estão reservados para este efeito ou através de oitos registos internos (*IPC Message Registers*) que permitem a comunicação unidirecional entre núcleos (quatro registos para cada lado) [64,65].

Existem no total quatro módulos ADC (*Analog to Digital Converter*) independentes que são partilhados pelos dois núcleos do processador. Cada módulo contém 16 canais ADC que podem funcionar a 12 *bits* ou 16 *bits* no modo *single ended* ou diferencial respetivamente, com uma gama de conversão de 0 a 3 V. O início da conversão pode ser despoletado através de interrupções, ou manualmente através de *software* [64]. A geração de sinais PWM com diversos formatos pode ser feita através de módulos ePWM (*Enhanced PWM*). Cada módulo possui uma portadora com formato configurável e duas saídas resultantes da comparação com dois sinais de controlo.

A programação pode ser feita com auxílio à biblioteca C2000 *driverlib* que já contém um conjunto de funções genéricas e de alto nível e permitem a configuração e utilização de quase todos os periféricos do processador. Outra alternativa consiste em utilizar diretamente os registos dos periféricos através das estruturas de dados fornecidas nos ficheiros *header* do fabricante. Para este trabalho foi adotada uma abordagem mista, todas as configurações dos periféricos foram realizadas com recurso à biblioteca por acelerar o processo de configuração e por serem operações que são realizadas uma única vez. Mas o acesso aos periféricos (leitura das entradas analógicas, atualização das saídas, *etc.*) foi feito através dos registos correspondentes, dado que são operações que se realizam frequentemente.

O protótipo laboratorial foi controlado nos mesmos modos de funcionamento que na simulação, isto é, controlo de corrente na microrrede AC com equilíbrio da tensão dos condensadores, controlo de tensão da microrrede DC e controlo de tensão da microrrede AC sendo utilizada uma montagem diferente para cada um. A Figura 5.11 apresenta um esquema que resume as ligações e as funções desempenhadas pela placa de desenvolvimento nos três modos de funcionamento.

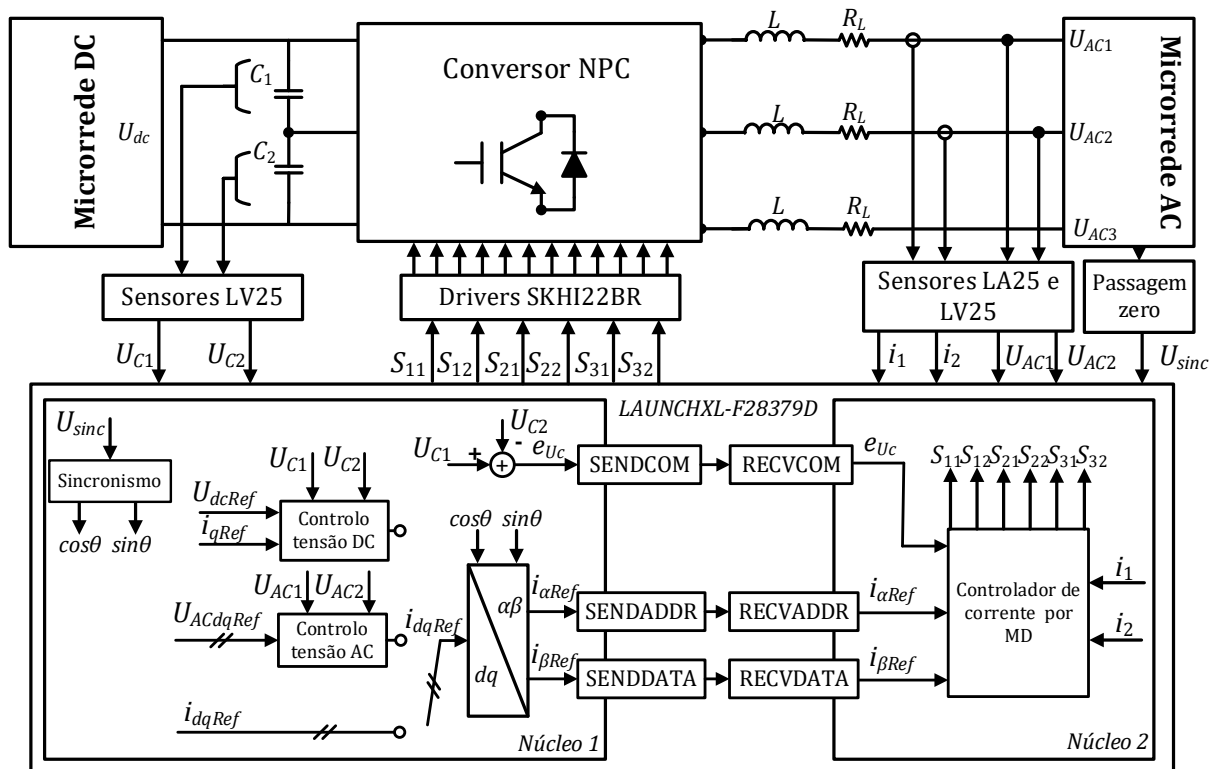


Figura 5.11 - Ligação da placa de desenvolvimento ao protótipo laboratorial com controlo interno por MD.

Nos testes baseados no controlo de corrente por MD, o controlo do sistema foi dividido pelos dois núcleos do processador. O algoritmo do núcleo 2 é igual em todos os casos e é responsável pela amostragem das correntes i_1 e i_2 , e implementação do

algoritmo de controlo de correntes por MD com base nas correntes de referência em coordenadas $\alpha\beta$ e no erro entre as tensões dos condensadores que são enviados pelo núcleo 1. A comunicação entre os núcleos foi feita através de três registos IPC em cada núcleo, chamados *IPCRECVCOM*, *IPCRECVADDR*, *IPCREVDATA* no núcleo 2 e *IPCSENDCOM*, *IPCSENDADDR*, *IPCSENDATA* no núcleo 1. Na secção E.1 do Apêndice E é apresentado o código em C desenvolvido para o núcleo 2 do processador e que implementa o controlo de corrente por MD.

No controlo das correntes da microrrede AC, o núcleo 1 é responsável por realizar o sincronismo com a REE, amostrar as tensões dos condensadores C_1 e C_2 e calcular o erro entre elas, e calcular a corrente de referência em $\alpha\beta$ com base na amplitude definida na janela de *debug* do CCS. O controlo da tensão da microrrede DC é semelhante, com a diferença da componente direta da corrente de referência a ser calculada por um PI com base no erro da tensão DC. A componente em quadratura da corrente pode ser ajustada para a regulação da potência reativa na microrrede AC, embora tenha sido mantida a zero na quase totalidade dos testes.

No controlo da tensão da microrrede AC não é necessário realizar o sincronismo com a REE, dado que a referência é gerada localmente. O núcleo 1 é encarregue de amostrar as tensões dos condensadores C_1 e C_2 e calcular o erro entre elas, amostrar as tensões U_{AC1} e U_{AC2} , e calcular as correntes de referência com base no erro das tensões U_{ACd} e U_{ACq} . O código desenvolvido no núcleo 1 para o controlo de tensão da microrrede AC foi incluído na secção E.2 do Apêndice E.

Dada a semelhança entre o controlo da tensão da microrrede AC, o controlo das correntes da microrrede AC e o controlo da tensão da microrrede DC, os códigos correspondentes a estes dois últimos modos não são incluídos neste documento. A maior diferença nestes casos é a existência de uma rotina de interrupção que reinicia o índice da tabela de senos e cossenos através do sincronismo com a REE. A configuração da interrupção externa e a rotina de interrupção são incluídas na secção E.3 do Apêndice E.

Para os testes baseados em controlo por PWM, o controlo foi realizado apenas em um núcleo, por uma questão de simplificação no desenvolvimento. As ligações ao protótipo laboratorial e os modos de controlo, esquematizados na Figura 5.12 foram os mesmos que para o MD.

Para a modulação são utilizados três moduladores ePWM, um para cada braço. Cada modulador tem apenas uma única portadora e dois sinais de controlo, cujos valores são guardados nos registos *CMPA* e *CMPB*, em contraste com o modelo da simulação que tem duas portadoras e um sinal modulador. A adaptação para modo de funcionamento do modulador foi feita deslocando um dos sinais moduladores na vertical com uma

amplitude de deslocamento igual à amplitude da portadora. Esta técnica é equivalente a deslocar a secção negativa do esquema da Figura 2.13 b) para a parte positiva, resultando em duas portadoras coincidentes e equivalentes a uma única portadora, e em dois sinais de controlo. Um sinal de controlo corresponde à parte positiva da senoide e mantém-se inalterado e o outro corresponde à parte negativa e passa a ficar deslocado.

O desvio inicialmente aplicado às portadoras para fins de equilíbrio dos condensadores também foi alterado e passou a ser aplicado ao sinal modulador, devido à maior facilidade em realizar este procedimento no *hardware* em questão.

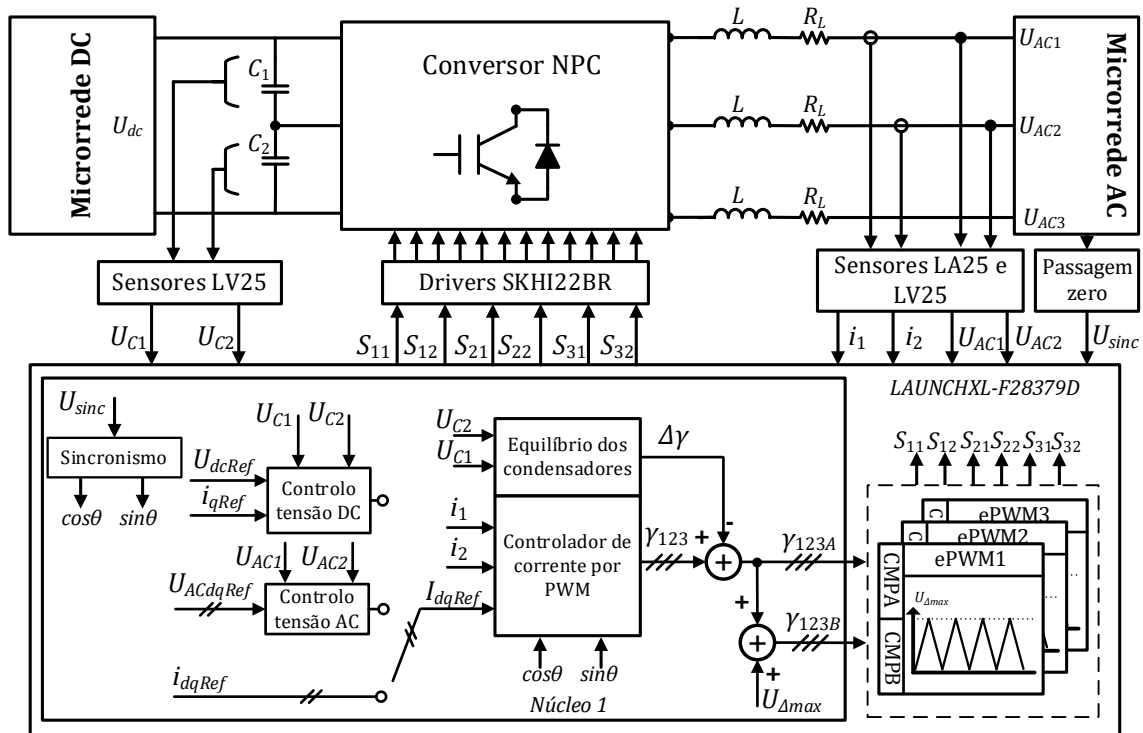


Figura 5.12 – Ligação da placa de desenvolvimento ao protótipo laboratorial com controlo interno por PWM.

Na secção E.4 do Apêndice E é apresentado o código em C desenvolvido para o controlo da tensão da microrrede AC com controlo interno por PWM. Por uma questão de limitação de espaço a tabela de senos e cossenos, que é igual à do MD, foi excluída. Pelas mesmas razões que no MD, não são apresentados os códigos para o controlo de corrente da microrrede AC nem para o controlo de tensão da microrrede DC. Na atividade experimental não foram implementados os mecanismos de desacoplamento das correntes e das tensões.

5.3 Resultados para o modo de controlo de corrente

Nesta secção apresentam-se os resultados obtidos na simulação e com o protótipo laboratorial para o modo de controlo de corrente no lado da microrrede AC. Neste modo, a tensão da microrrede DC está regulada e é representada por uma fonte de tensão DC com uma tensão de cerca de 100 V. No lado da microrrede AC, a tensão é estabelecida pela REE e tem uma amplitude de 35 V, correspondente ao secundário dos transformadores utilizados no laboratório. O processador foi configurado com uma frequência de amostragem de 40 kHz para o modo PWM, e para o MD utilizou-se uma frequência de amostragem de 10 kHz no núcleo 1 (amostragem das tensões DC e geração de referências) e 150 kHz no núcleo 2, para a amostragem das correntes. A frequência de amostragem elevada nas correntes do MD é justificada pela necessidade de conseguir acompanhar as pequenas variações da corrente em torno da corrente de referência e pela utilização de uma bobina com uma indutância relativamente baixa (5 mH). A Tabela F.1 do Apêndice F resume os parâmetros nominais dos componentes utilizados nas simulações e no laboratório, assim como os parâmetros do controlador por MD. Na Tabela F.2 estão resumidos os parâmetros utilizados nos controladores PI e parâmetros do circuito no controlo por PWM.

5.3.1 Controlo de corrente em estado estacionário

Nesta experiência foram definidas correntes de referência com uma amplitude de 5 A, com o propósito de analisar o comportamento em estado estacionário e confirmar que o controlador é capaz de seguir corretamente as referências. Os resultados experimentais foram retirados nas saídas de ± 8 V das PCBs de monitorização através de um osciloscópio Tektronix TBS1064 e as amostras foram exportadas em formato .csv. Os resultados de simulação e experimentais para as correntes trifásicas obtidos com o MD são apresentados na Figura 5.13.

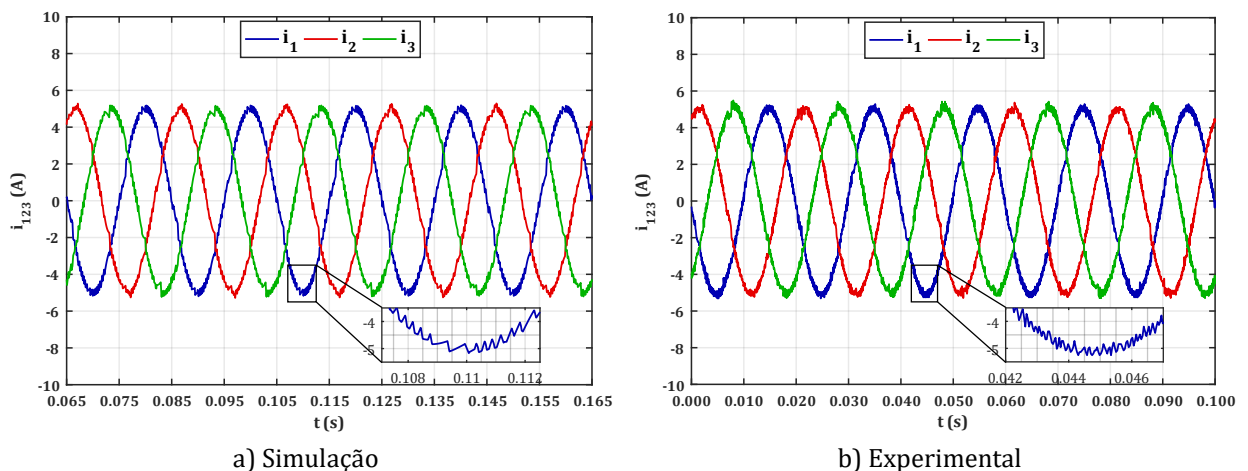


Figura 5.13 – Correntes trifásicas em estado estacionário para o controlo por MD.

Ambos os resultados são semelhantes e demonstram que as correntes seguem as suas referências. A variação da corrente em torno do valor médio está próxima do valor definido para a largura da primeira banda de histerese do controlador de corrente ($\pm 0,2$ A). A componente prática tem uma frequência de comutação ligeiramente superior à simulação, o que poderá ser causado por valores de indutância ligeiramente mais baixos do que os valores nominais considerados na simulação, por imprecisões nos circuitos sensores e ruído na entrada no ADC do processador, levando a comutações extra. O THD (*Total Harmonic Distortion*) obtido foi de 4,04 % para a simulação e 1,40 % para a parte experimental. O valor muito mais baixo na prática deve-se ao facto do analisador de potência inicialmente utilizado para medir o THD (Chauvin Arnoux 8332B) considerar apenas as primeiras 50 harmónicas (até 2,5 kHz) ao passo que no Simulink foram consideradas harmónicas até 25 kHz. Analisando as amostras experimentais no Simulink obtém-se um THD de 4,49%, que está mais coerente com a simulação. Daqui em diante as medições do THD serão apresentadas de acordo com os valores obtidos no Simulink a partir das amostras experimentais.

As tensões dos condensadores U_{C1} e U_{C2} , presentes na Figura 5.14, estão equilibradas em torno de 50 V e mantêm-se dentro da banda de histerese estabelecida (3 V). Para manter este bom funcionamento é necessária uma escolha cuidada das bandas de histerese no controlo de corrente. Larguras de histerese demasiado baixas nas correntes, embora desejadas, poderão levar à escolha mais frequente de vetores de maior amplitude e que não possuem um par redundante que possa ser aproveitado para o equilíbrio dos condensadores.

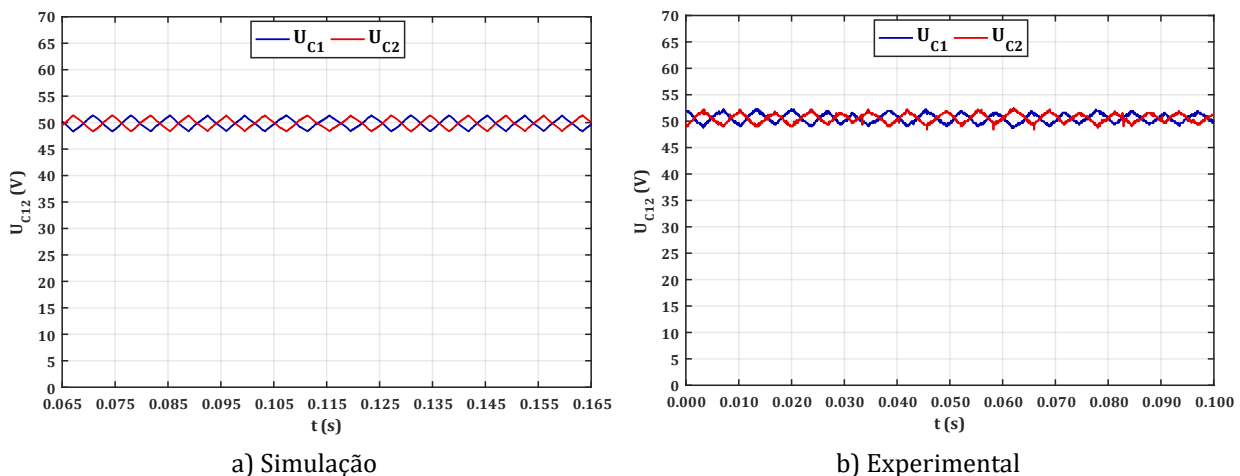


Figura 5.14 – Tensões dos condensadores C_1 e C_2 em estado estacionário para o controlo por MD.

O mesmo procedimento foi efetuado para o controlo de corrente por PWM. Os resultados obtidos para as correntes trifásicas são apresentados na Figura 5.15. Os resultados de simulação e experimentais são semelhantes e seguem as referências de 5 A, embora a componente experimental apresente ligeiras distorções. Comparativamente ao

controlo por MD nota-se, tanto na simulação como na prática, uma redução da amplitude de variação da corrente em torno do seu valor médio. Esta redução é confirmada pelo THD de 1,21 % na simulação e de 2,70 % na prática.

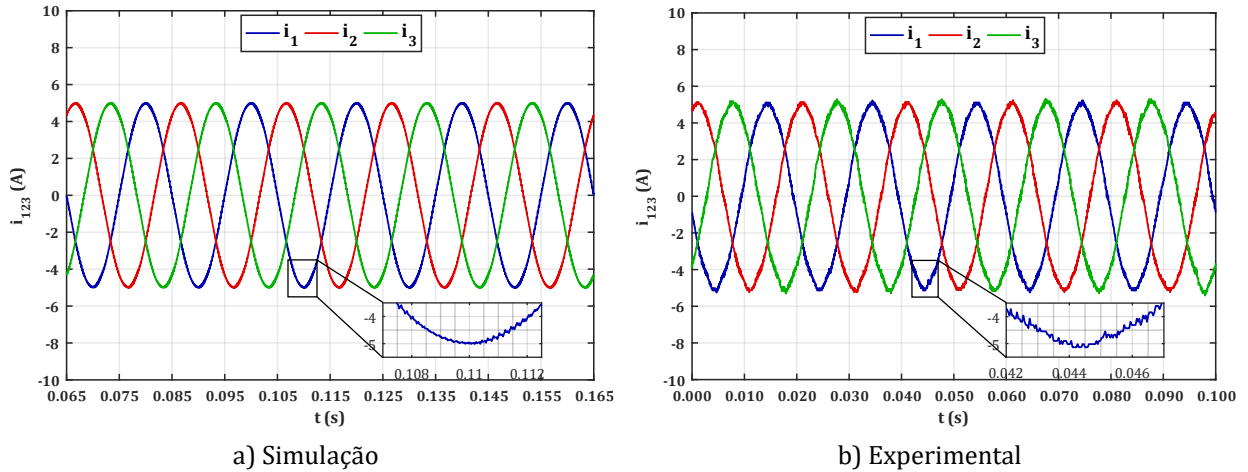


Figura 5.15 – Correntes trifásicas em estado estacionário para o controlo por PWM.

Na Figura 5.16 estão presentes as formas de onda dos condensadores U_{C1} e U_{C2} . As tensões mantêm-se equilibradas e em torno dos 50 V. A variação da tensão dos condensadores tem uma amplitude de aproximadamente 1,16 V na simulação e 1,60 V na componente experimental, e uma frequência de oscilação de 150 Hz, devido à presença de uma terceira harmónica na perturbação do sistema apresentada anteriormente na equação (4.30) e na Figura 4.6 [66]. A utilização de um PI no sistema de controlo faz com que não seja possível eliminar por completo essa perturbação sinusoidal.

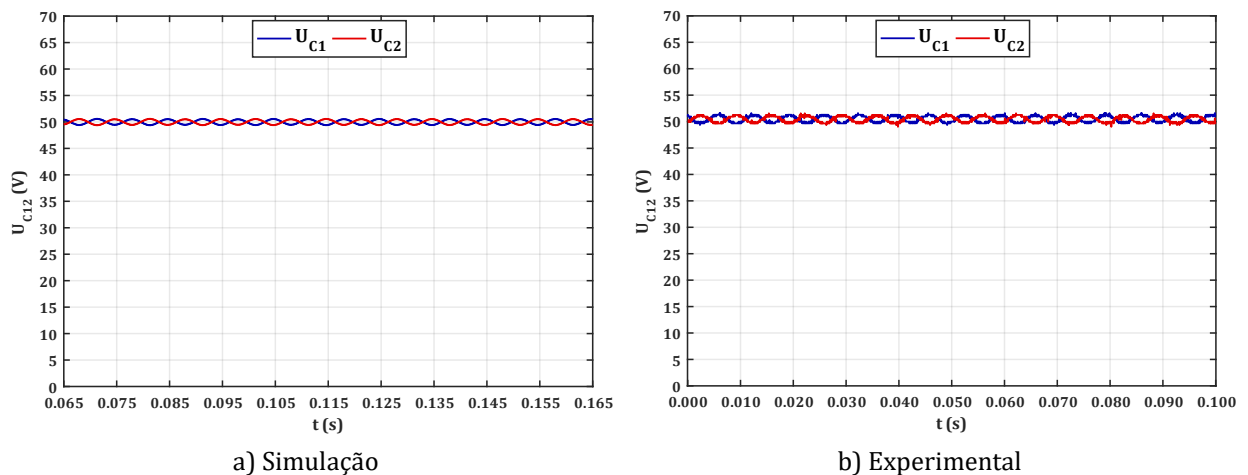


Figura 5.16 – Tensões dos condensadores C_1 e C_2 para o controlo por PWM.

De modo a comparar melhor os dois métodos utilizou-se o osciloscópio para o cálculo da FFT da forma de onda da corrente i_1 . Os resultados normalizados em relação à amplitude máxima são apresentados na Figura 5.17. No MD o conteúdo espectral mais expressivo encontra-se 45 dB abaixo da harmónica principal (50 Hz), tem um pico entre

5 kHz e 7,5 kHz e estende-se até sensivelmente 10 kHz, fruto da frequência de comutação variável do MD. Por outro lado, o PWM é caracterizado um espectro mais limpo com harmónicas nos múltiplos da portadora triangular (5 kHz), resultante do processo de modulação. Os harmónicos em torno da frequência da portadora estão pelo menos 40 dB abaixo da harmónica principal.

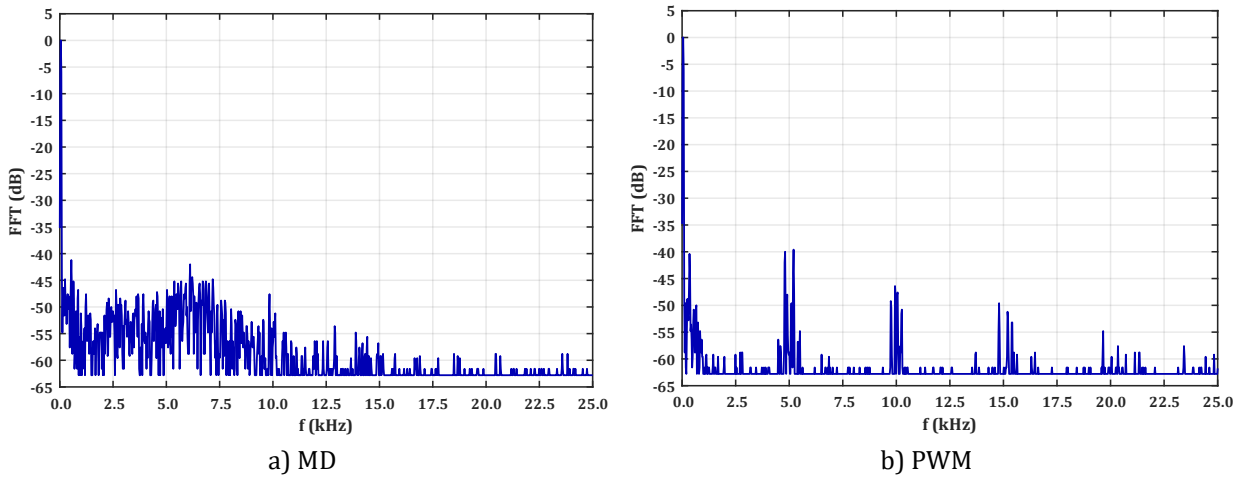


Figura 5.17 – Resultados experimentais para o conteúdo espectral da corrente i_1 .

O alinhamento entre a corrente e a tensão da primeira fase para o MD está presente na Figura 5.18. Na simulação a tensão corresponde à tensão lida diretamente na primeira fase, enquanto na prática corresponde à tensão à saída do transformador auxiliar de 6 V RMS. Em ambos os casos o FP (Fator de Potência) é quase unitário, sendo 0,995 na simulação e 0,981 nos resultados experimentais.

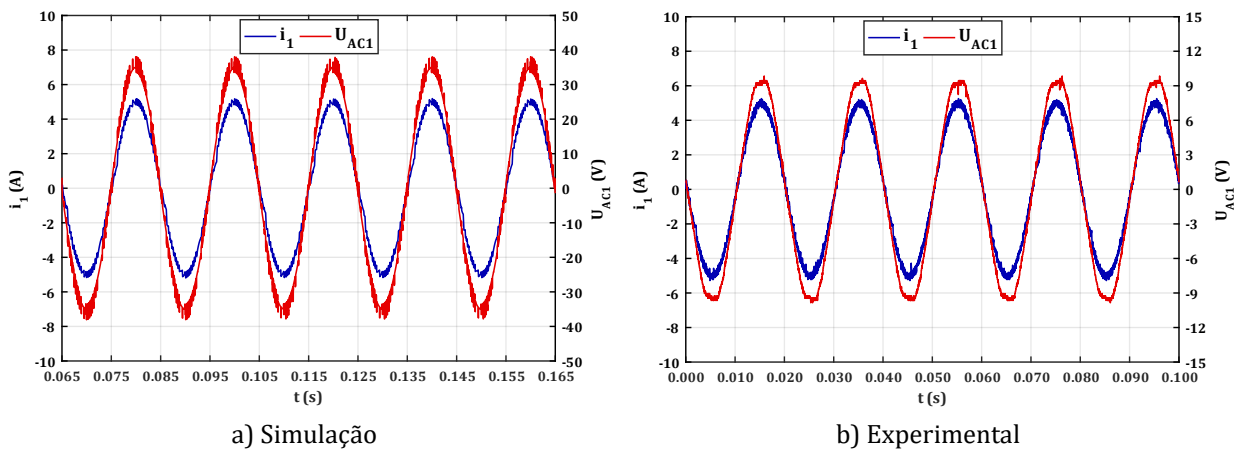


Figura 5.18 – Corrente e tensão da primeira fase para o controlo por MD.

Na Figura 5.19 estão presentes as mesmas formas de onda para o caso do controlo por PWM. O FP obtido foi de 0,999 na simulação e 0,97 na prática. As pequenas diferenças do fator de potência na simulação e prática, tanto no MD como no PWM, devem-se a imprecisões no mecanismo de deteção de sincronismo e a imprecisões na leitura do analisador de potência.

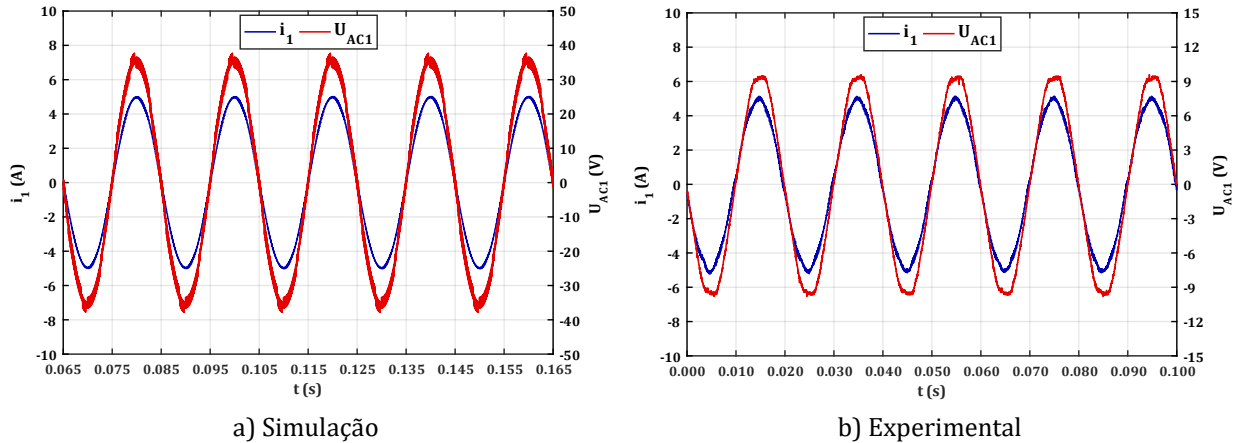


Figura 5.19 – Corrente e tensão da primeira fase para o controlo por PWM.

Nestes exemplos o CI está a injetar potência ativa na microrrede AC com um FP quase unitário. Na secção G.1 do Apêndice G são apresentados resultados de simulação e experimentais com o conversor a funcionar como retificador, isto é, para uma injeção de potência na microrrede DC e resultados experimentais para dois FP não unitários.

5.3.2 Controlo de corrente em regime dinâmico

Para avaliar o comportamento dinâmico do controlador de corrente, aplicou-se uma variação em degrau de 5 A para 10 A na amplitude das correntes de referência. Os resultados de simulação e experimentais para o MD são apresentados na Figura 5.20.

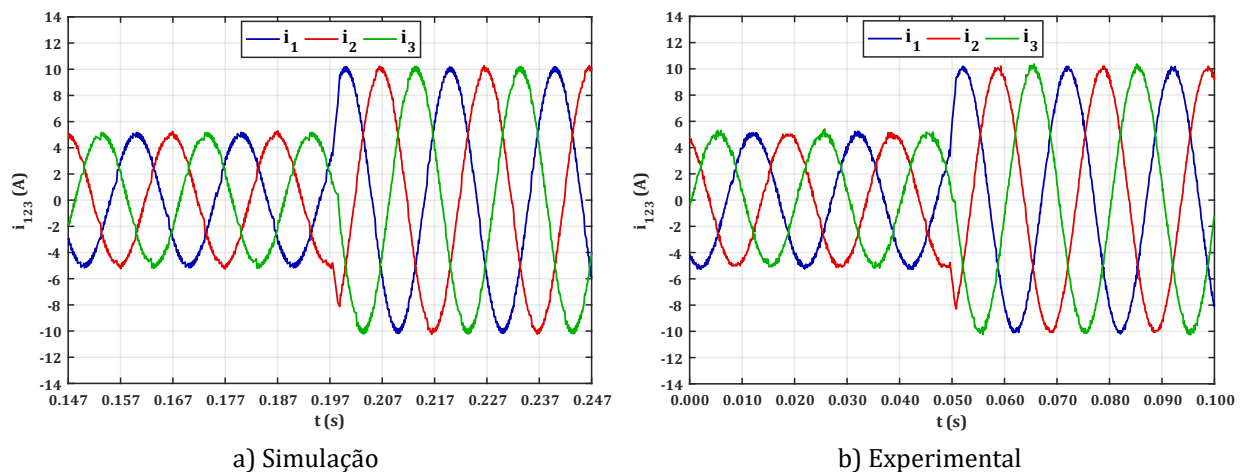


Figura 5.20 – Correntes trifásicas para um aumento da corrente de referência com controlo por MD.

As correntes seguem rapidamente a alteração das referências, com tempos de subida na ordem de 1,5 ms, e as formas de onda no momento de transição são bastante semelhantes entre a simulação e a prática, evidenciando que o modelo de simulação é uma boa aproximação do modelo real. Este comportamento rápido das correntes é particularmente importante quando são utilizadas malhas de controlo externas. Na Figura 5.21 estão presentes os mesmos resultados para o modo PWM onde também é visível uma

grande semelhança entre resultados de simulação e resultados práticos, com uma resposta rápida, na ordem de 1,5 ms, em ambos os casos.

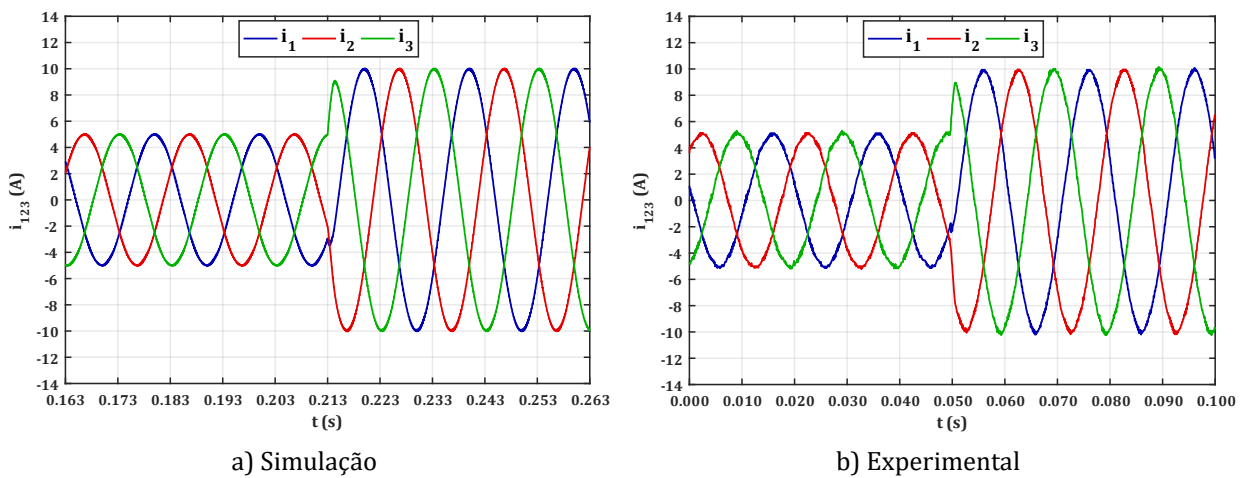


Figura 5.21 – Correntes trifásicas para um aumento da corrente de referência com controlo por PWM.

Para uma diminuição das correntes de referência os resultados são semelhantes e também demonstram um comportamento rápido. Dado o comportamento similar, estes resultados são incluídos na secção G.2 do Apêndice G.

As tensões nos condensadores no ambiente experimental durante o aumento da referência da corrente são apresentadas na Figura 5.22 para ambas as técnicas de controlo. Mesmo com a variação em degrau das correntes, ambos os algoritmos conseguem manter o equilíbrio dos condensadores em torno do valor médio de 50 V.

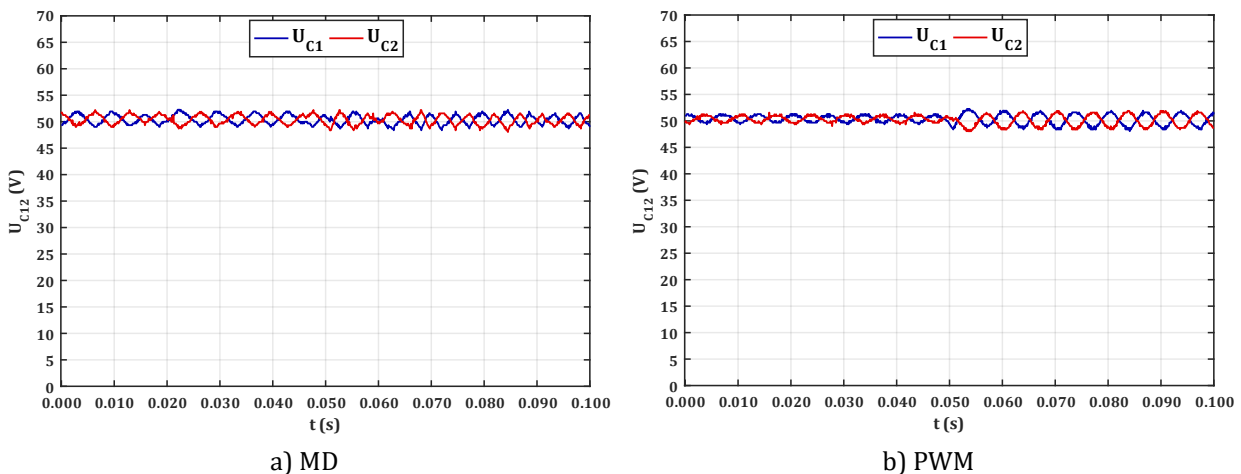


Figura 5.22 – Tensões dos condensadores durante um aumento da corrente de referência.

No MD, a banda de histerese de 3 V para as tensões dos condensadores continua a ser respeitada, embora a partir dos 50 ms exista uma maior oscilação devido a um aumento na corrente fornecida pelos condensadores e que os leva a descarregar mais

rapidamente. Por outro lado, no PWM a amplitude da variação das tensões U_{C1} e U_{C2} aumentou de 1,60 V para 2,91 V, também devido à maior descarga dos condensadores.

Para comparar a capacidade de equilíbrio dos mecanismos de equilíbrio dos condensadores, forçou-se um desequilíbrio enquanto o sistema estava desligado ($I_{ref} = 0$). Em seguida, o sistema foi ligado com uma corrente de referência de 3 A. A evolução das tensões dos condensadores é apresentada na Figura 5.23.

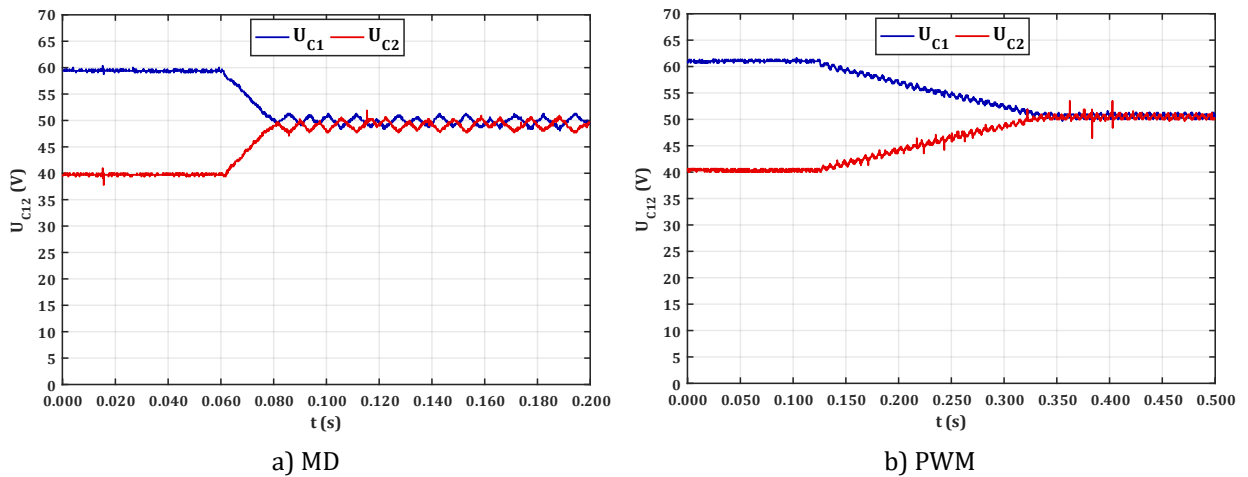


Figura 5.23 – Tensões dos condensadores C_1 e C_2 partindo de um desequilíbrio.

Estes resultados demonstram que o mecanismo de equilíbrio dos condensadores no caso do MD é consideravelmente mais rápido a equilibrar os condensadores do que o mecanismo do PWM (20 ms contra 200 ms). No MD os vetores são sempre escolhidos da tabela de vetores redundantes o que permite a convergência das tensões para o ponto de equilíbrio. No caso do PWM, o equilíbrio depende da adição de um desvio vertical de forma a forçar um condensador a descarregar ligeiramente mais do que o outro. O ritmo a que isto acontece depende da amplitude do desvio vertical das portadoras, que deve ser relativamente pequeno de forma a não provocar distorções nas formas de onda da corrente.

5.4 Resultados do controlo da microrrede DC

Nesta secção são apresentados os resultados das simulações e das experiências práticas para o controlo da tensão da microrrede DC. A tensão da microrrede AC, à semelhança dos testes anteriores, continua a ser estabelecida pela REE e o CI passa a ser utilizado para regular a tensão da microrrede DC. Os parâmetros utilizados nestes testes foram resumidos na Tabela F.3 do Apêndice F. Os parâmetros associados ao controlador interno de corrente para o MD e para o PWM, continuam a ser os mesmos que já foram apresentados. O modelo de simulação utilizado para estes testes já foi mencionado anteriormente e está disponível na Figura B.5 do Apêndice B.

5.4.1 Estado estacionário

Para testar o controlo de tensão da microrrede DC, a fonte de tensão DC foi substituída por uma carga de aproximadamente 50Ω , simbolizando o consumo típico da microrrede DC. Os resultados de simulação e experimentais obtidos para a regulação da tensão da microrrede DC com um controlo interno por MD são apresentados na Figura 5.24. Na simulação a tensão está estabilizada em torno de $100,0 \text{ V}$ com uma variação de $0,44 \text{ V}$, e na componente experimental está centrada em $99,6 \text{ V}$ com uma variação de $1,28 \text{ V}$.

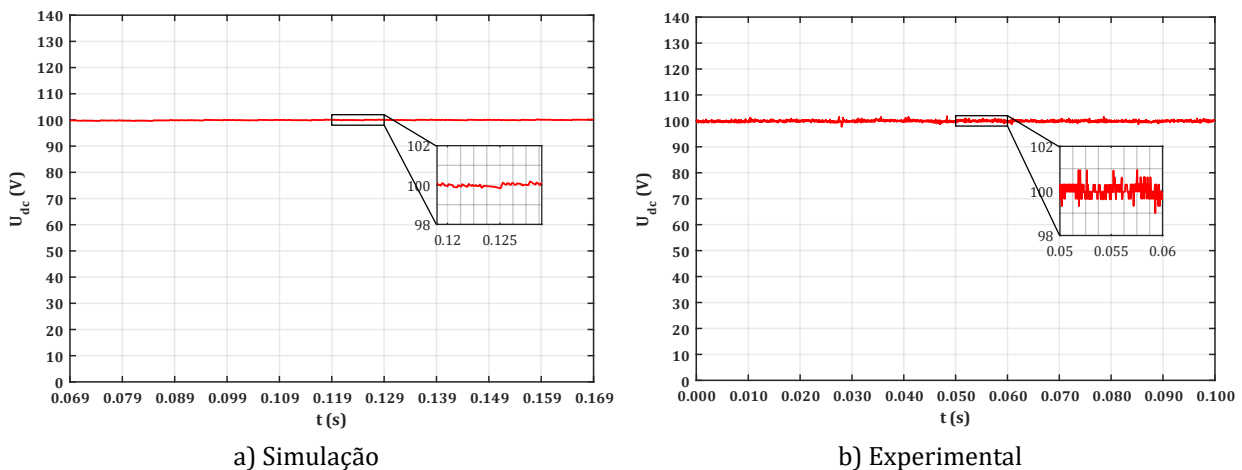


Figura 5.24 – Tensão da microrrede DC regulada pelo CI com controlo de corrente interno por MD.

As formas de onda da corrente são apresentadas na Figura 5.25. O THD das correntes na simulação é de $5,36 \%$ e na componente experimental é de $6,34 \%$.

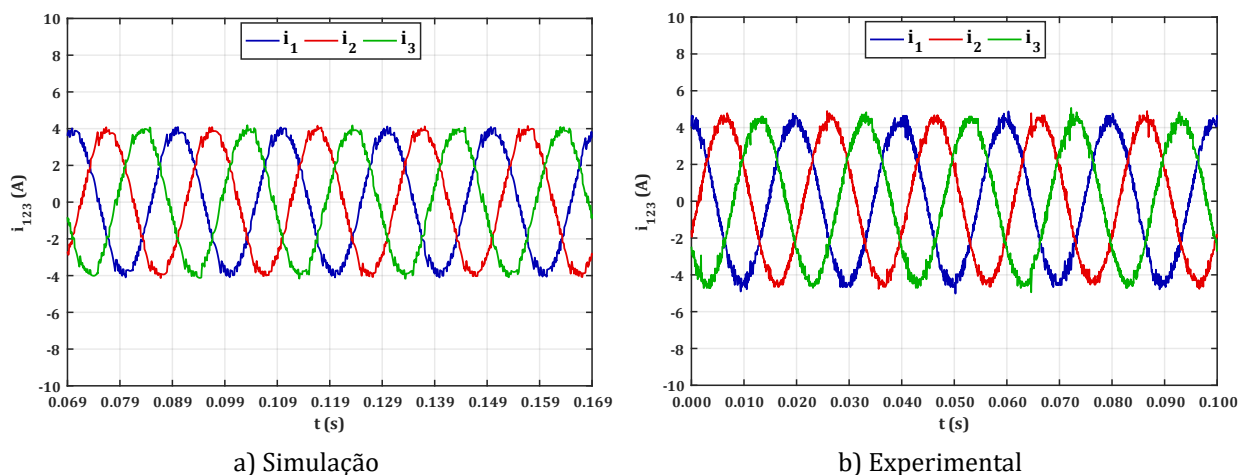


Figura 5.25 – Correntes trifásicas com controlo por MD durante o controlo de tensão da microrrede DC.

O aumento do THD deve-se à amplitude da corrente ser ligeiramente mais baixa do que anteriormente e, portanto, as harmónicas têm mais influência no cálculo do THD. Outro aspeto que poderá afetar o THD é o facto de as correntes de referência serem

constantemente reajustadas por uma malha de controlo externa de forma a compensar pequenos desvios da tensão DC, resultando numa maior variação nas correntes.

Na Figura 5.26 está presente o resultado obtido para a regulação da tensão DC com o controlo interno de corrente por PWM. A tensão está centrada em 100,0 V na simulação com um tremor em torno do ponto médio de 0,05 V, enquanto na prática está centrada em 99,5 V com uma variação de 1,29 V. O facto da tensão DC não estar centrada exactamente nos 100,0 V deve-se a pequenas imprecisões na calibração dos circuitos de monitorização de tensão.

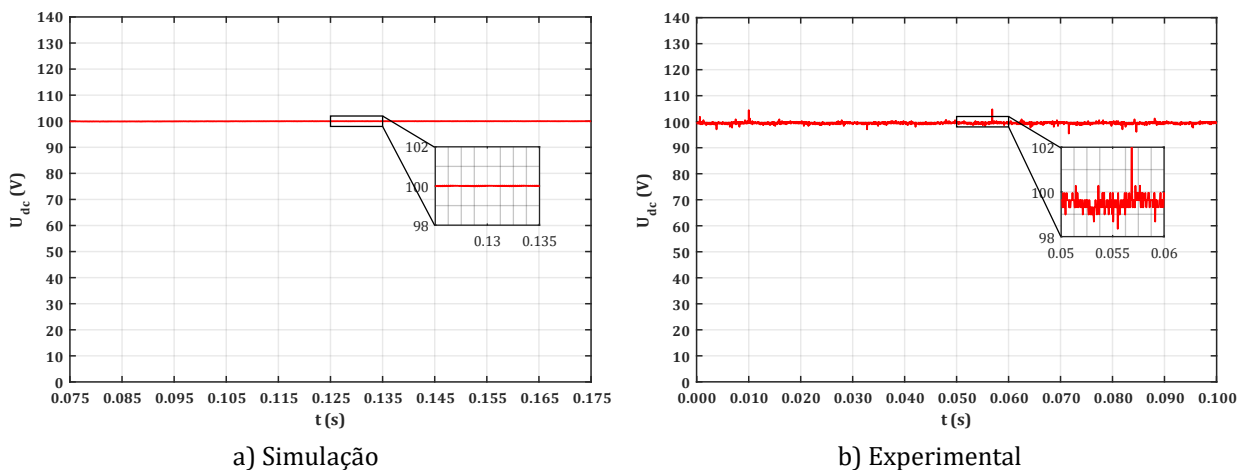


Figura 5.26 – Tensão da microrrede DC regulada pelo CI com controlo de corrente interno por PWM.

As correntes trifásicas obtidas com o controlo por PWM são representadas na Figura 5.27. O THD obtido para a corrente na simulação é de 1,37 % e na componente experimental é de 3,82 %.

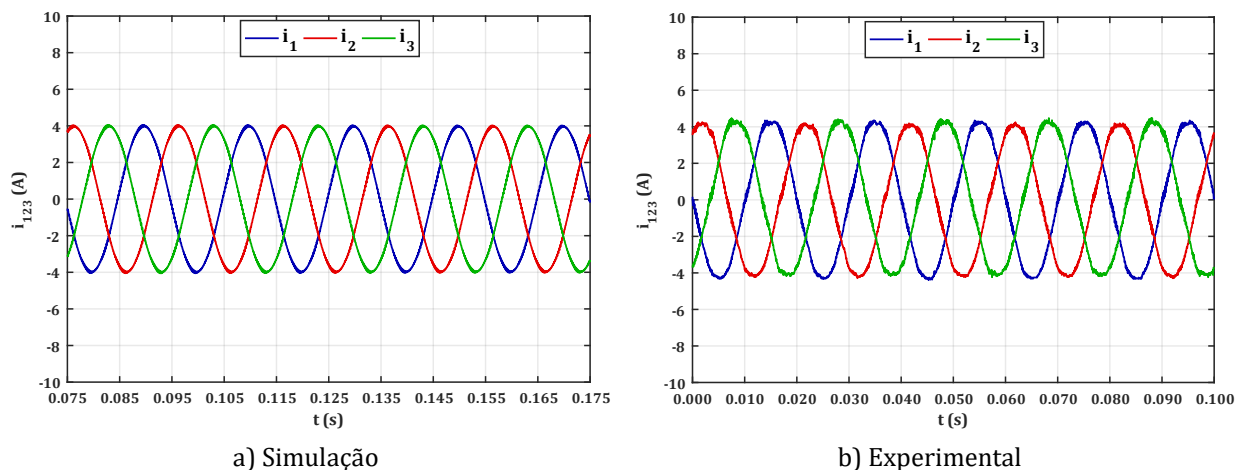


Figura 5.27 – Correntes trifásicas com controlo por PWM durante o controlo de tensão da microrrede DC.

Na Figura 5.28 são apresentadas a corrente e a tensão da primeira fase para ambos os modos de controlo de corrente interno, MD e PWM, evidenciando o funcionamento do

CI como retificador, transferindo potência da microrrede AC para a microrrede DC. O fator de potência é de 0,985 e 0,97 para o modo MD e PWM respetivamente.

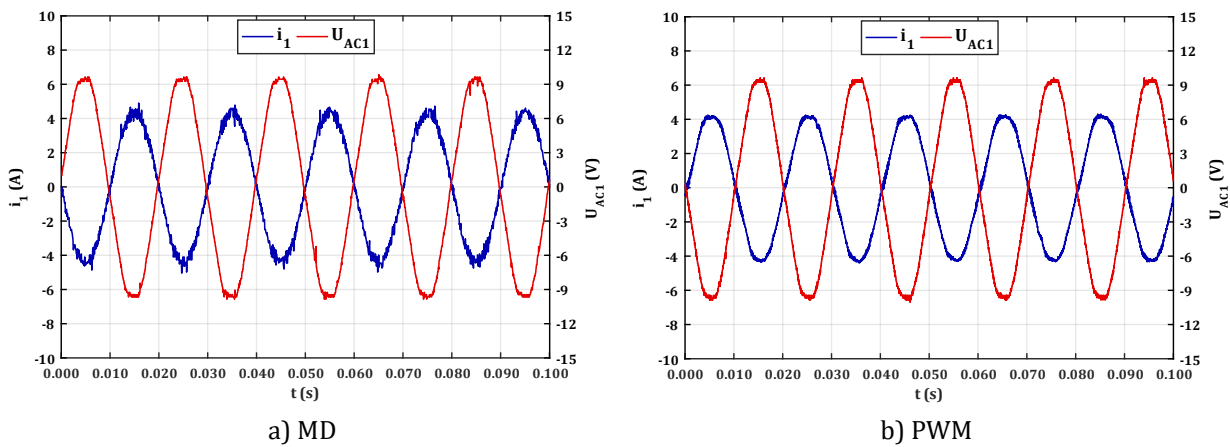


Figura 5.28 – Tensão e corrente da primeira fase durante o controlo da tensão da microrrede DC com o CI a funcionar como retificador.

Os resultados experimentais e de simulação são bastante próximos, tanto na situação em que o controlo interno de corrente é feito por MD como por PWM. De facto, tendo a malha de controlo da tensão os mesmos parâmetros, o controlo interno de corrente deverá ter pouco impacto nos resultados obtidos. Por esta razão, para os restantes resultados relacionados com o controlo da tensão da microrrede DC, serão apenas considerados os resultados obtidos com o controlo interno por MD.

5.4.2 Regime dinâmico com variação da tensão de referência

Para avaliar o comportamento do controlador de tensão da microrrede DC, a tensão de referência foi alterada de 100 V para 120 V. Os restantes parâmetros do sistema e configuração da microrrede DC mantêm-se iguais. A Figura 5.29 descreve a evolução da tensão durante este teste na simulação e no ambiente experimental.

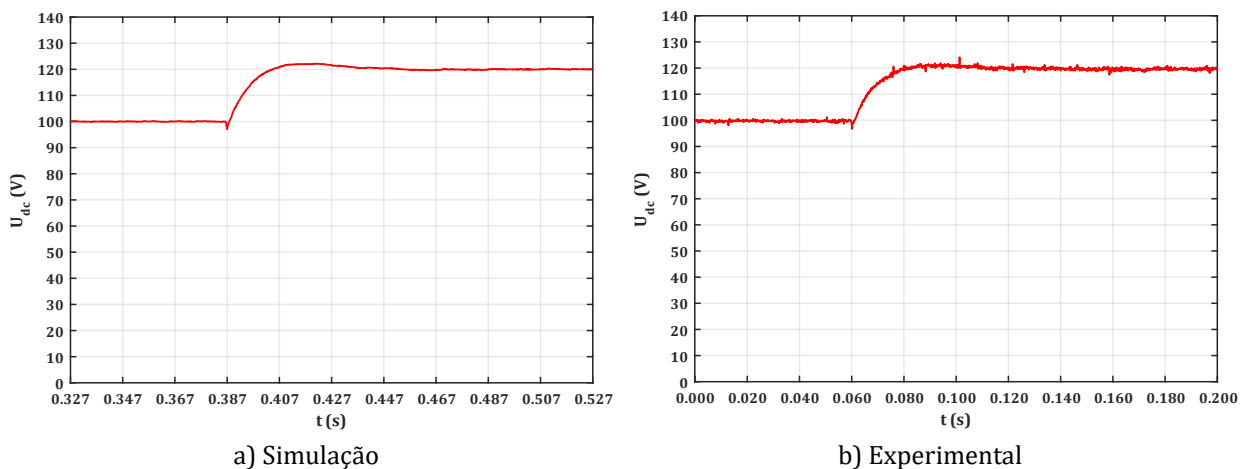


Figura 5.29 – Tensão da microrrede DC durante um aumento da referência de 100 V para 120 V e com controlo interno por MD.

A tensão estabiliza em 120,0 V na simulação e 119,6 V no ambiente experimental com um tempo de subida de aproximadamente 10,9 ms e 13,9 ms, respectivamente. Em ambos os casos existe uma ligeira sobre elevação, cerca de 1,5 V na simulação e 1,7 V na prática. Para a mesma situação, a Figura 5.30 apresenta a evolução da tensão dos condensadores. Esta figura comprova que mesmo com uma variação da tensão DC os condensadores mantêm-se em equilíbrio na transição de um nível para o outro.

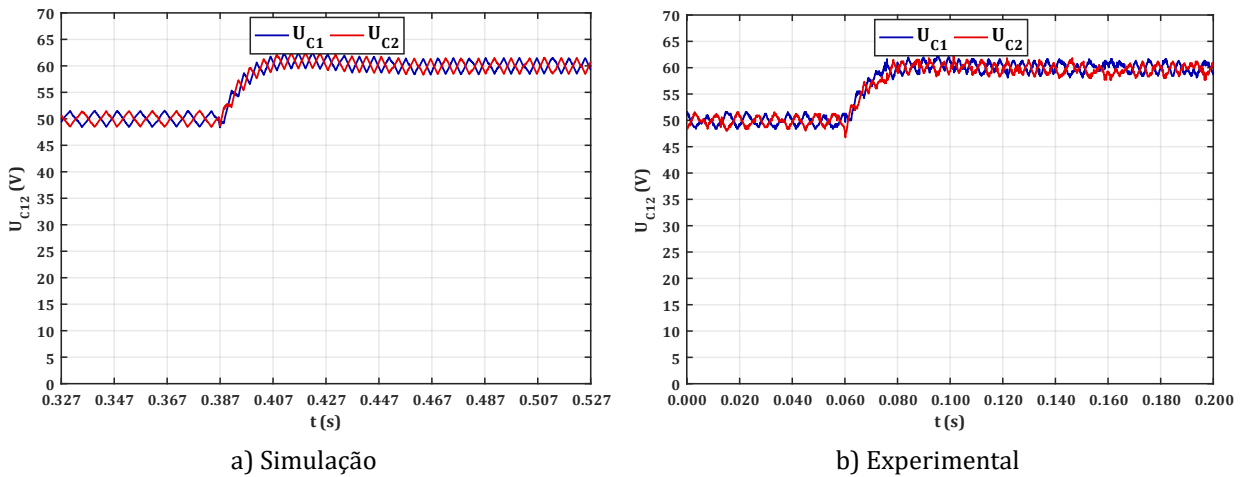


Figura 5.30 – Tensões dos condensadores C_1 e C_2 durante o aumento de tensão de referência da microrrede DC.

A resposta das correntes trifásicas é apresentada na Figura 5.31. Num instante inicial as correntes apresentam um pico, chegando aos 10 A, devido à componente proporcional do PI e acabam por estabilizar num valor de corrente superior ao anterior. As correntes experimentais têm uma amplitude ligeiramente superior à simulação devido a um menor rendimento do protótipo laboratorial. Desta forma, para sensivelmente a mesma potência no lado DC é necessário uma potência ligeiramente superior no lado AC.

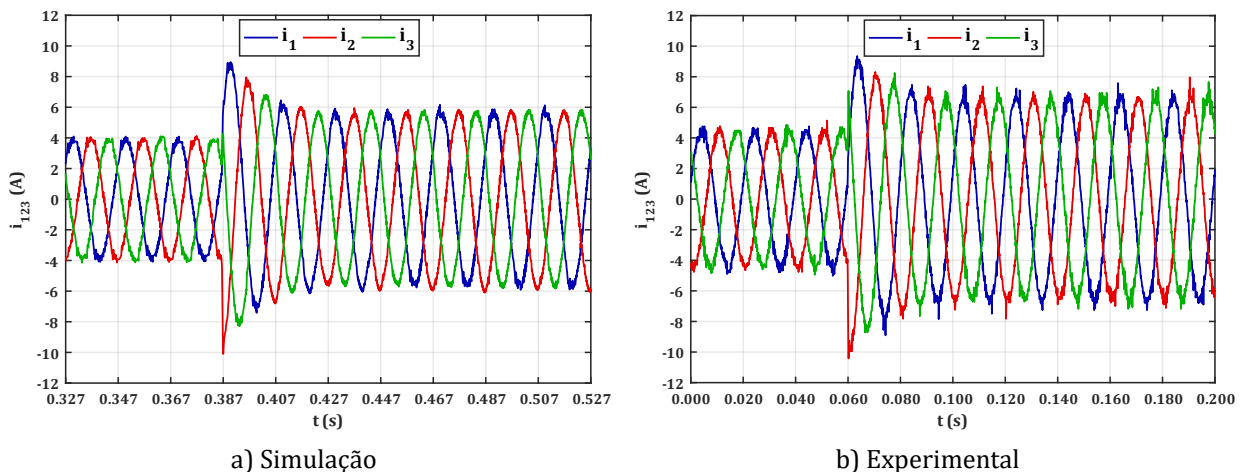


Figura 5.31 – Correntes trifásicas com controlo por MD para um aumento da tensão de referência da microrrede DC.

Na Figura 5.32 são apresentadas as respostas da tensão DC para uma diminuição da tensão de referência de 120 V para 100 V. As tensões demoram 11,5 ms e 12,9 ms para regressar à referência de 100 V na simulação e no ambiente experimental respetivamente. À semelhança da situação anterior existe uma pequena subelevação em ambas as situações (1,60 V na simulação e 1,26 V na prática).

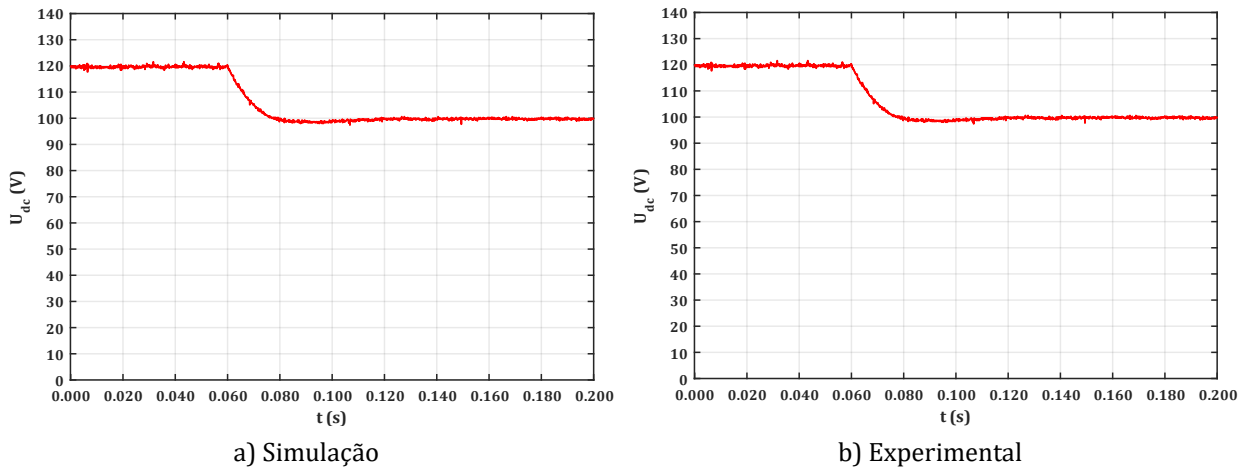


Figura 5.32 – Tensão da microrrede DC para uma diminuição da tensão de referência de 120 V para 100 V e com controlo interno por MD.

As correntes trifásicas para esta situação são ilustradas na Figura 5.32. Analogamente à subida da tensão de referência, as correntes trifásicas apresentam uma variação súbita numa fase inicial, chegando quase a zero, e acabam por estabilizar.

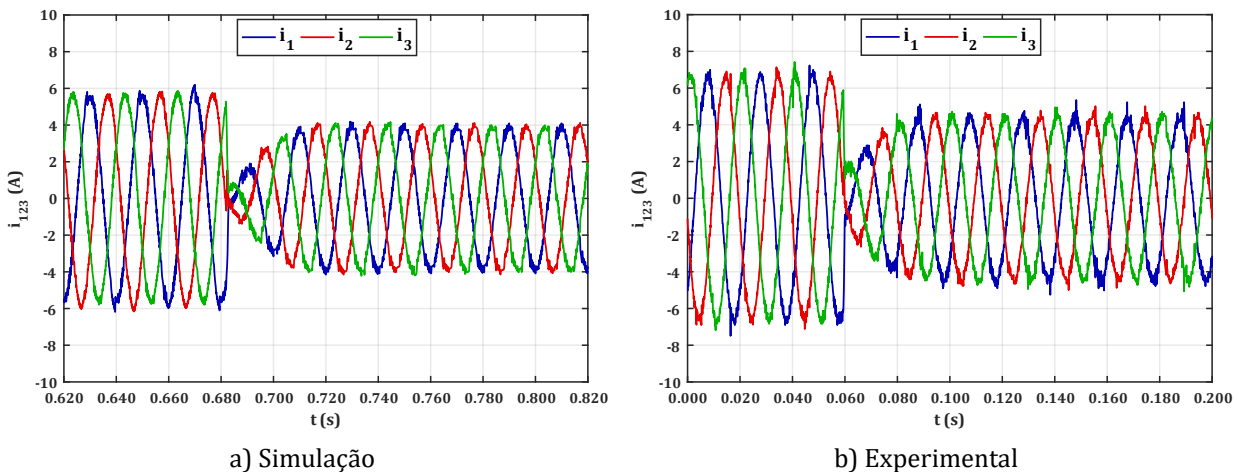


Figura 5.33 – Correntes trifásicas com controlo por MD para uma diminuição da tensão de referência da microrrede DC.

5.4.3 Regime dinâmico com variação da carga da microrrede DC

Para avaliar o comportamento perante um aumento do consumo da microrrede DC, a tensão de referência foi mantida novamente nos 100 V e foi adicionada uma carga de 80 Ω em paralelo com a carga existente. A tensão da microrrede DC é apresentada na

Figura 5.34. No momento da adição da carga existe uma queda de tensão de 4,8 V na simulação e 5,8 V na prática. A componente integral do PI entra em ação e anula o erro provocado por esta perturbação em cerca de 50 ms em ambos os casos.

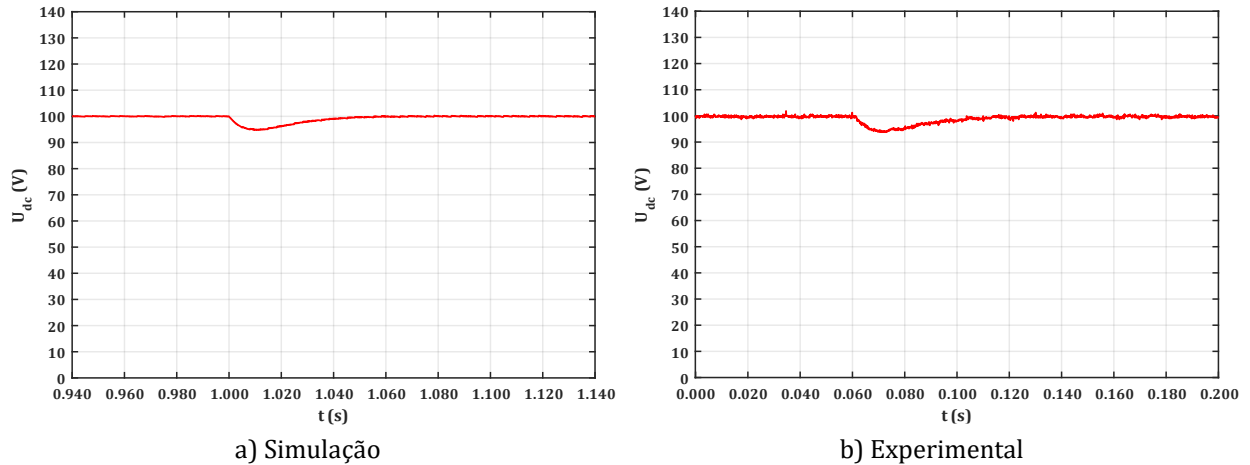


Figura 5.34 – Tensão da microrrede DC para um aumento do consumo da microrrede DC e com controlo interno por MD.

Na Figura 5.35 estão presentes as correntes para a mesma situação. Para anular o erro em estado estacionário o PI aumenta gradualmente a corrente de referência até a tensão estabilizar no novo valor. Quando maior for a largura de banda do sistema mais rápida será a recuperação da queda de tensão, no entanto, para larguras de banda muito elevadas podem ocorrer mais oscilações nas correntes trifásicas.

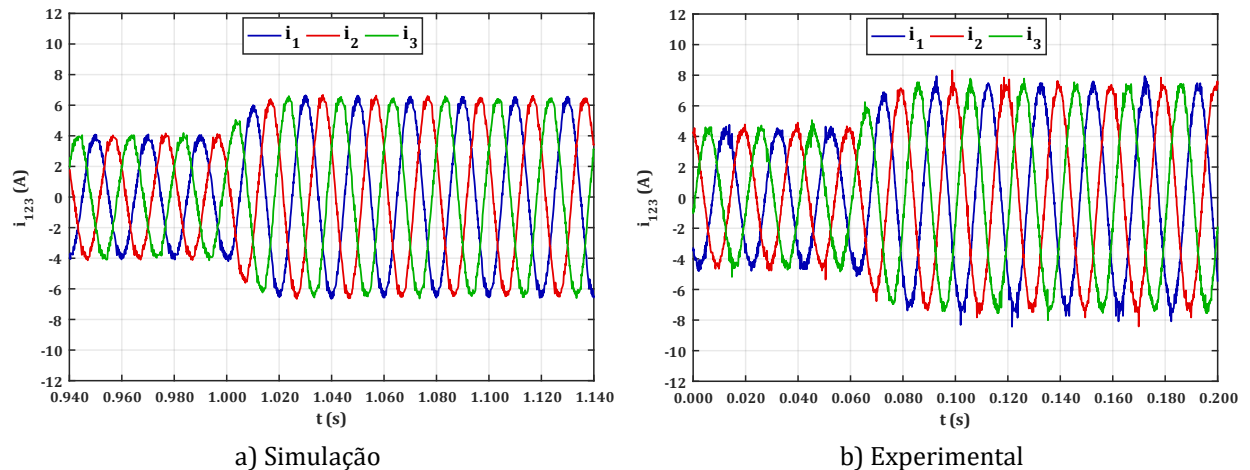


Figura 5.35 – Correntes trifásicas com controlo por MD para um aumento do consumo da microrrede DC.

Dado o comportamento semelhante, os resultados para a diminuição do consumo da microrrede DC são apresentados na secção G.3 do Apêndice G, mais especificamente na Figura G.7 e Figura G.8.

5.4.4 Regime dinâmico com geração local

Neste teste pretende-se verificar o comportamento dinâmico do controlador de tensão da microrrede DC quando existe geração local dentro da microrrede. Para tal, adicionou-se uma fonte de tensão ligada ao barramento DC por uma resistência de aproximadamente 5Ω , simbolizando uma fonte de geração local. A tensão da fonte foi variada até que a corrente injetada na microrrede DC fosse aproximadamente 5 A , equivalente a cerca de 500 W para uma tensão no barramento DC de 100 V . Inicialmente a carga de 50Ω consome cerca de 200 W , o que significa que existe um excesso de produção de 300 W que deverá ser enviado para a microrrede AC através do CI que fica a funcionar como inversor. Posteriormente e para verificar a resposta do conversor a um aumento local do consumo nestas condições, adicionou-se uma nova carga de 25Ω (400 W) na microrrede DC para além da carga de 50Ω já existente. A forma de onda da tensão aquando desta adição é apresentada na Figura 5.36, provocando uma queda de tensão de $8,60 \text{ V}$ na simulação e $8,34 \text{ V}$ na atividade experimental. As tensões são recuperadas em menos de 100 ms .

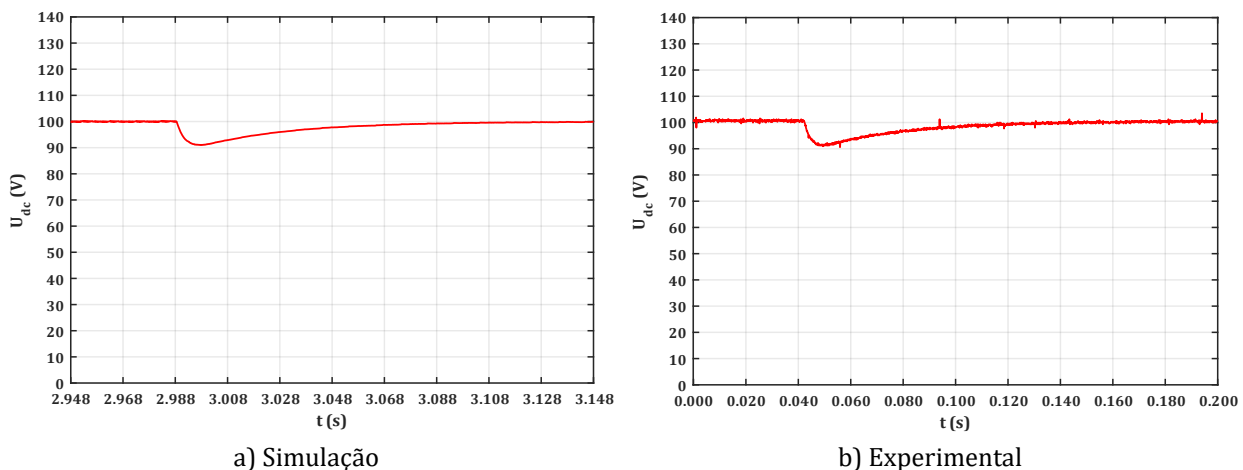


Figura 5.36 – Tensão da microrrede DC durante um aumento do consumo na microrrede DC com geração local e controlo interno por MD.

O aumento de carga nestas condições dá origem à resposta das correntes apresentada na Figura 5.37. Numa fase inicial existe um excesso de produção local, levando ao conversor a transferir esse excesso para a microrrede AC, funcionando assim no modo inversor enquanto regula a tensão no barramento DC. Com a adição da carga de 25Ω , o consumo local (600 W) passa a ser superior à produção local (500 W) pelo que o CI tem de fornecer os 100 W restantes, sendo necessário inverter o sentido de transferência de potência. A fonte de tensão, simbolizando a produção local, e a carga adicionada, simbolizando o aumento do consumo local, funcionam como perturbações no sistema original, obrigando a reajustes da corrente de referência de forma a manter a tensão regulada.

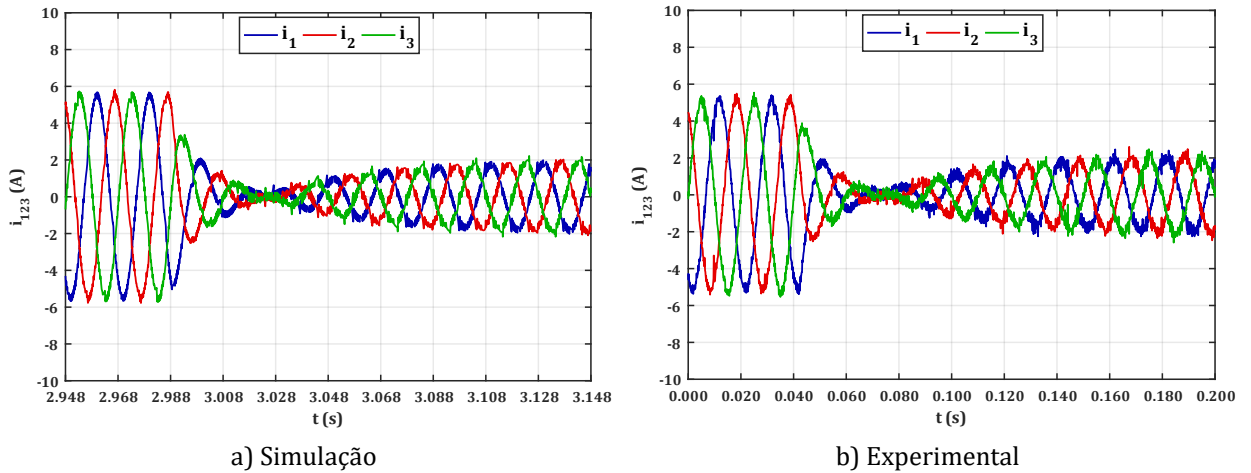


Figura 5.37 – Correntes trifásicas com controlo por MD e com inversão do sentido de transferência de potência para um aumento do consumo da microrrede DC com geração local.

Neste caso o CI ao regular a tensão DC acaba por realizar o equilíbrio entre a produção e o consumo local. Na Figura 5.38 são apresentadas as formas de onda da corrente e da tensão da primeira fase da microrrede AC em ambiente experimental, quando ocorrem inversões do sentido da potência. No caso da figura a), corresponde à situação em que inicialmente o sentido de potência é da microrrede DC para a microrrede AC e existe um aumento do consumo local. Na figura b) corresponde ao caso análogo, em que existe uma diminuição do consumo local e o sentido de potência volta a ser no sentido da microrrede DC para a microrrede AC.

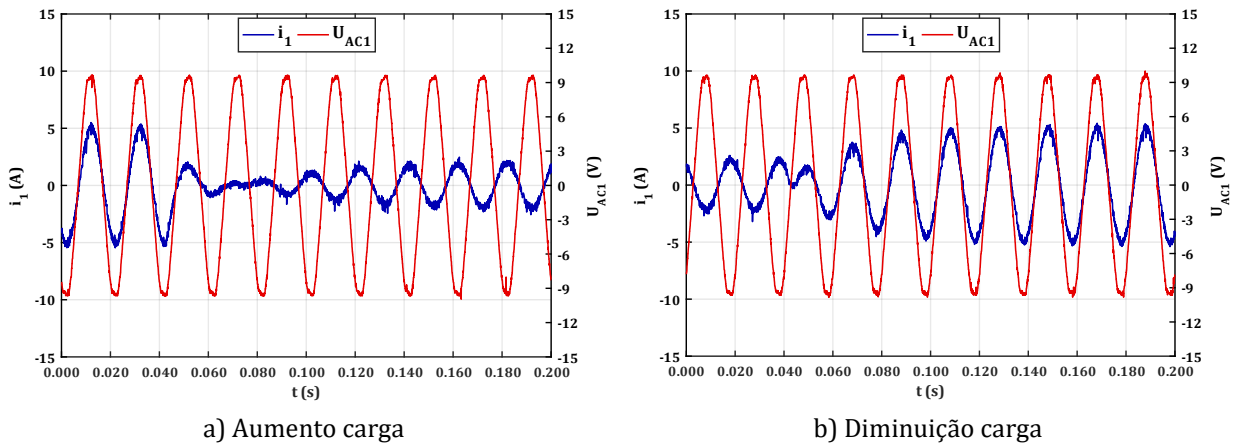


Figura 5.38 – Corrente e tensão da primeira fase da microrrede AC com inversão do sentido de potência devido a uma variação no consumo da microrrede DC.

Na secção G.3 do Apêndice G estão também presentes os resultados da tensão e das correntes trifásicas para a situação da Figura 5.38, uma vez que têm um comportamento bastante semelhante aos já apresentados. Alguns resultados semelhantes, mas para um controlo interno por PWM foram incluídos ao longo da secção G.5 do Apêndice G.

5.5 Resultados do controlo da tensão da microrrede AC

No teste de controlo da tensão da microrrede AC parte-se do princípio de que a microrrede DC tem capacidade de autorregular a tensão do seu barramento e passa a ser representada por uma fonte de tensão DC. O barramento da microrrede AC é controlado pelo CI dado já não existir a ligação da REE. A microrrede AC é composta por uma carga trifásica equilibrada representante do consumo típico da microrrede e adiciona-se um conjunto de condensadores para filtrar a forma de onda à saída do conversor. Os parâmetros utilizados na simulação estão presentes na Tabela F.4 do Apêndice F, e o esquema da simulação está na Figura B.6 do Apêndice B.

5.5.1 Estado estacionário

Na análise do comportamento em estado estacionário a microrrede AC é constituída por uma carga trifásica equilibrada de 6Ω . As tensões da microrrede AC impostas pelo CI em estado estacionário são apresentadas na Figura 5.39, quando o controlo interno é por MD. O THD obtido em simulação foi de 1,60 % enquanto na prática foi de 2,52 %. Na prática nota-se, no entanto, que as tensões têm uma diferença de amplitude entre fases (cerca de 2 V entre a fase 1 e a fase 3), que pode ser provocada pela utilização de uma carga trifásica não totalmente equilibrada no laboratório.

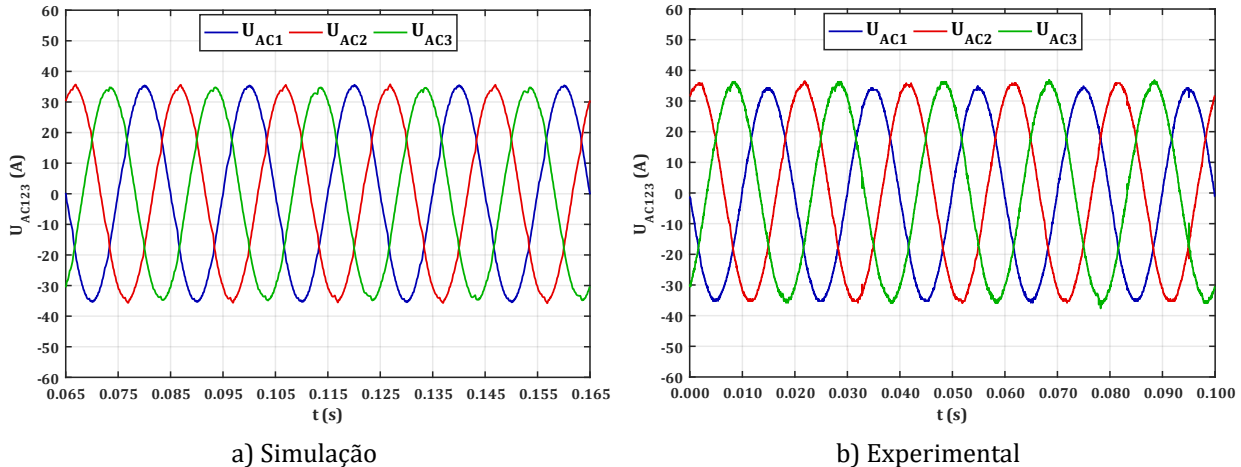


Figura 5.39 – Tensões trifásicas da microrrede AC controladas pelo CI em estado estacionário e com controlo interno por MD.

Na Figura 5.40 estão os mesmos resultados, mas com um controlo interno de corrente por PWM. O THD obtido é de 0,88 % na simulação e 2,64 % na prática. À semelhança do controlo da microrrede DC, as tensões AC geradas pelo CI são muito semelhantes, tanto com o controlo interno por MD como com o controlo interno por PWM, dado que a malha de controlo externa é igual em ambos os casos.

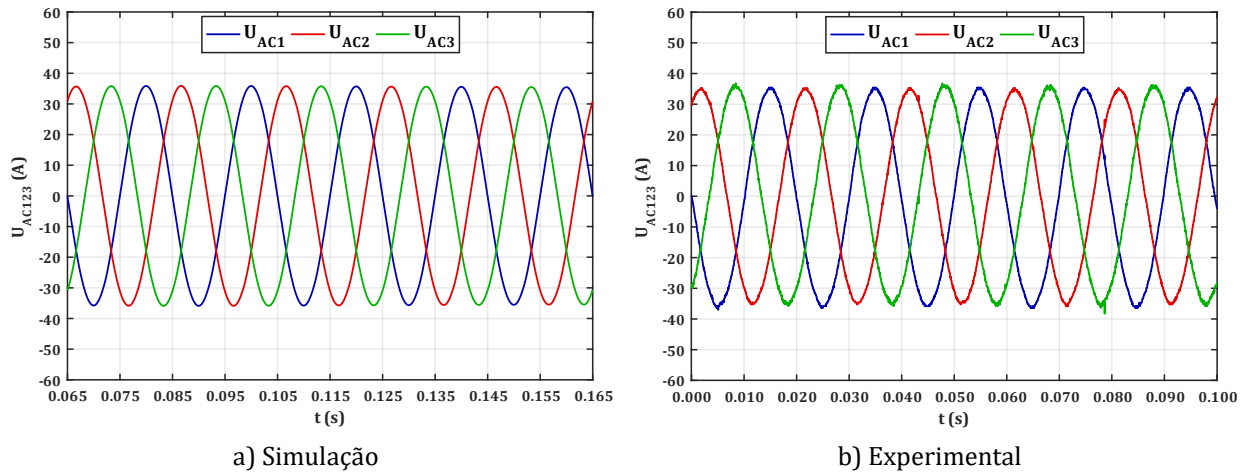


Figura 5.40 – Tensões trifásicas da microrrede AC controladas pelo CI em estado estacionário e com controlo interno por PWM.

As correntes trifásicas para estes dois casos foram adicionadas à secção G.4 do Apêndice G, mais especificamente na Figura G.11 e na Figura G.12. Na Figura 5.41 é apresentada a FFT da tensão da primeira fase para as situações em que o controlo interno de corrente é feito por MD e quando é feito por PWM. As harmónicas de alta frequência presentes nas correntes de ambos os métodos são eliminadas devido à frequência de corte do filtro LC (356 Hz). Quando o MD é utilizado, as harmónicas da tensão estão todas pelo menos 50 dB abaixo da harmónica principal. Quando modo PWM é utilizado as harmónicas estão pelo menos 42 dB abaixo da harmónica principal e não estão tão dispersas como no MD, tal como já acontecia nas harmónicas da corrente.

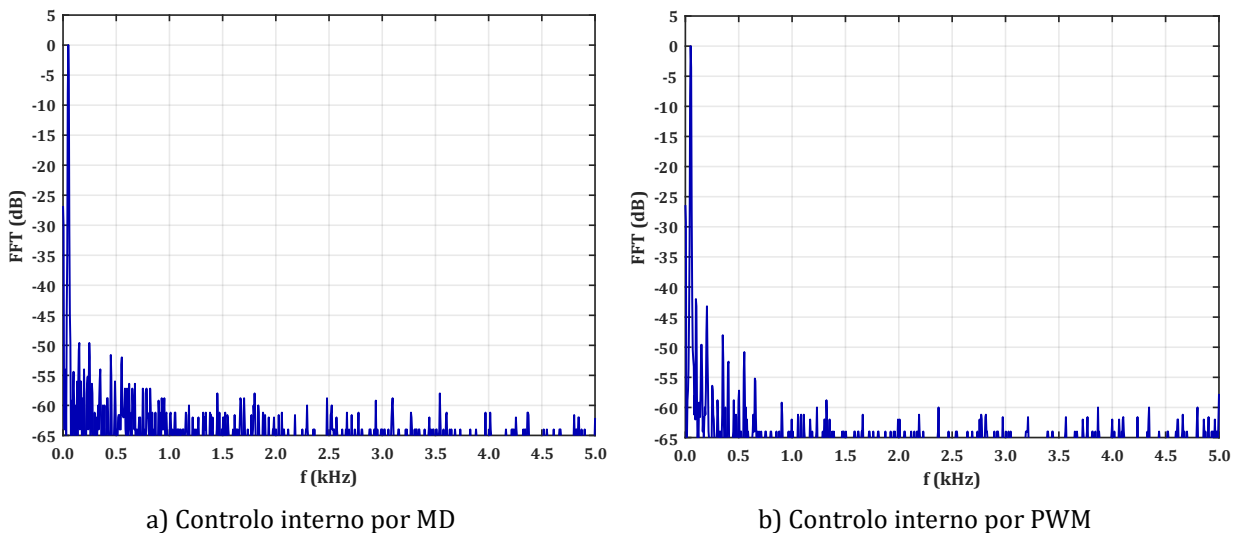


Figura 5.41 – FFT da tensão da primeira fase U_{AC1} da microrrede AC para ambos os métodos de controlo interno de corrente.

Dada a semelhança entre os dois métodos de controlo interno de corrente, daqui em diante serão apenas descritos os resultados para o controlo da tensão da microrrede AC com controlo interno por MD.

5.5.2 Regime dinâmico com variação da referência

O comportamento dinâmico do controlador de tensão da microrrede AC foi avaliado através de uma variação em degrau da amplitude de referência de 35 V para 42 V (variação de 20 %). A evolução das tensões trifásicas da microrrede AC está presente na Figura 5.42. A tensão chega ao novo valor da referência em cerca de um ciclo da rede, tanto na simulação como no protótipo laboratorial, sem apresentar sobrelevações. Após o aumento da referência, os resultados experimentais apresentam uma ligeira diferença entre as amplitudes das fases 1 e 2 (cerca de 2,34 V, ou 5,6 % da tensão nominal) devido às cargas resistivas no protótipo laboratorial não serem completamente equilibradas, ao contrário do que é assumido quando se desenvolve o sistema de controlo.

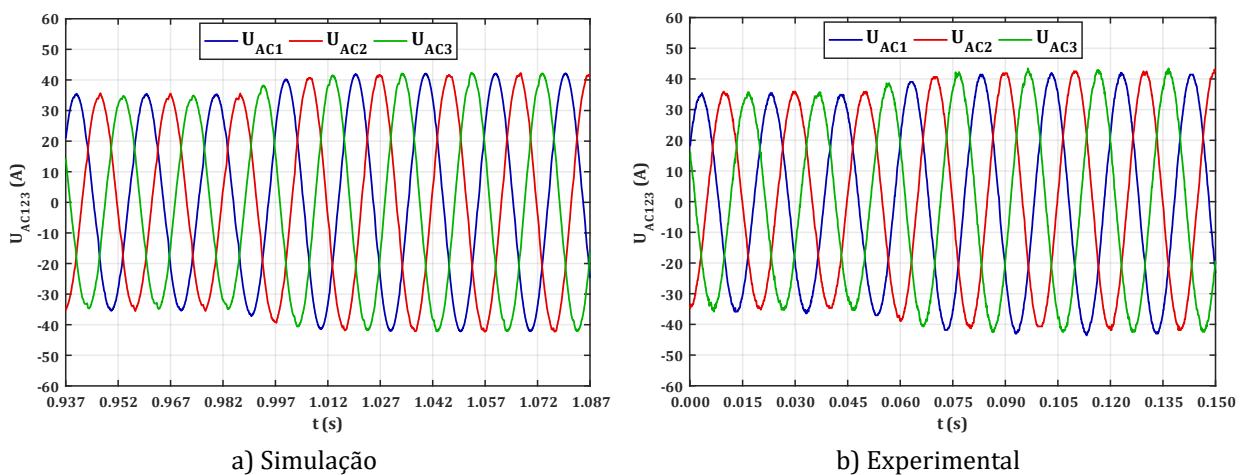


Figura 5.42 – Tensões trifásicas da microrrede AC durante um aumento da tensão de referência de 35 V para 42 V e com controlo interno por MD.

A evolução das correntes é apresentada na Figura 5.43. Tanto na simulação como na prática existe uma evolução suave das correntes, desde aproximadamente 6 A até cerca de 7 A, altura em que a tensão estabiliza no novo ponto de referência.

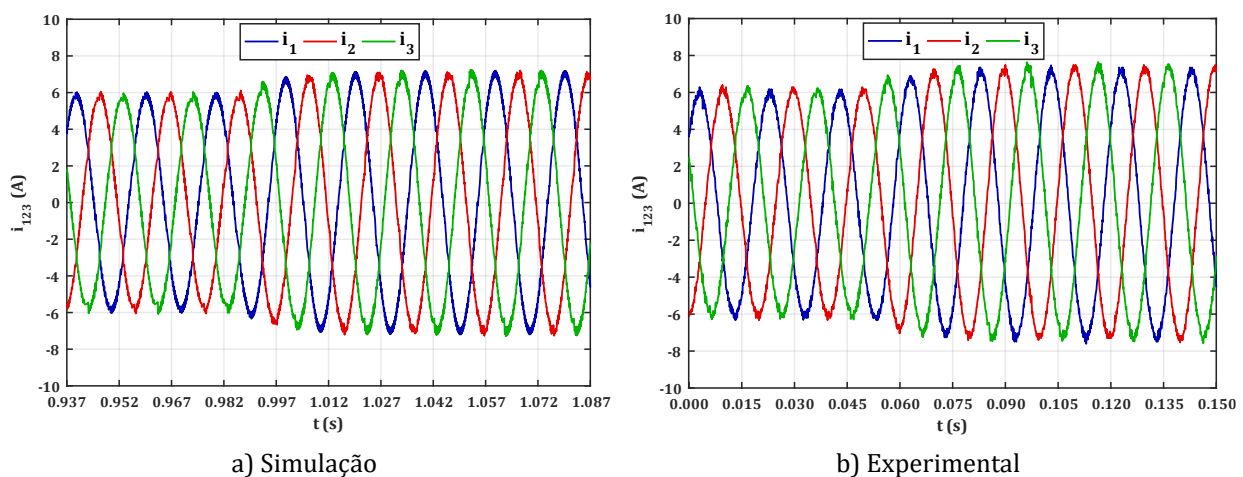


Figura 5.43 – Correntes trifásicas com controlo por MD durante o aumento da tensão de referência da microrrede AC de 35 V para 42 V.

Na secção G.4 do Apêndice G são apresentados os resultados das tensões e das correntes trifásicas para a diminuição da tensão de referência. De forma análoga, existe um decaimento suave e sem subelevação da tensão.

5.5.3 Regime dinâmico com aumento da carga

Para a avaliação do comportamento do conversor perante uma variação do consumo, adicionou-se na microrrede AC uma nova carga trifásica de 10Ω em paralelo com a já existente. As formas de onda das tensões trifásicas da microrrede são apresentadas na Figura 5.44. Com a adição de uma carga extra, existe uma queda instantânea de tensão de aproximadamente 15 V , que é recuperada em estado estacionário através da componente integral do controlador PI em cerca de 2 a 3 ciclos da rede. Após a adição da carga as tensões da fase 1 e 2 nos resultados experimentais têm uma diferença entre si de cerca de $2,02 \text{ V}$, devido ao ligeiro desequilíbrio das cargas da microrrede AC.

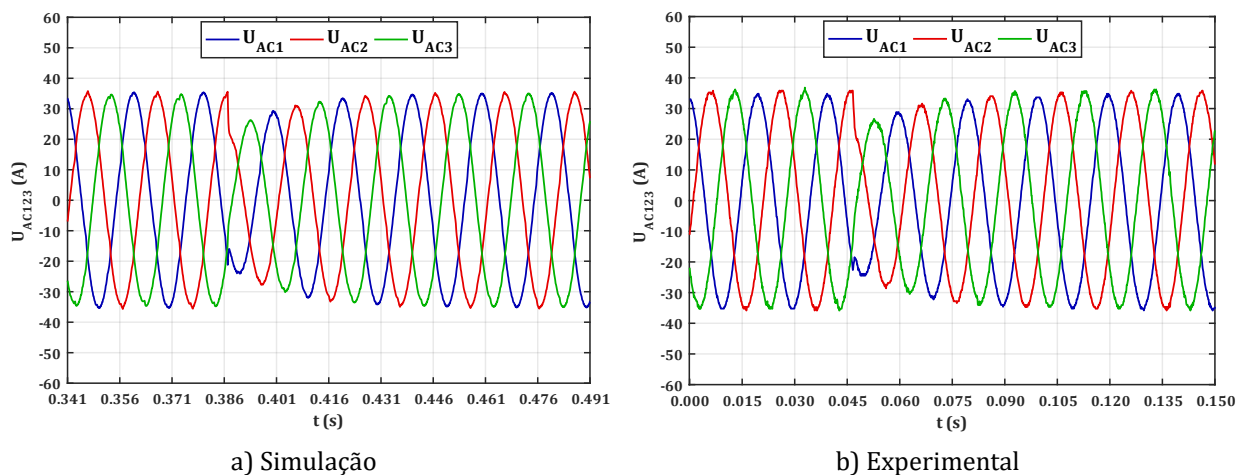


Figura 5.44 – Tensões trifásicas da microrrede AC para um aumento do consumo da microrrede e com controlo interno por MD.

Após o aumento da carga o controlador PI reajusta gradualmente a corrente de referência para um novo valor. Na Figura 5.45 está presente a evolução das correntes no cenário descrito. Existe um aumento da amplitude das correntes de aproximadamente 6 A para $9,8 \text{ A}$, tanto na simulação como na atividade experimental.

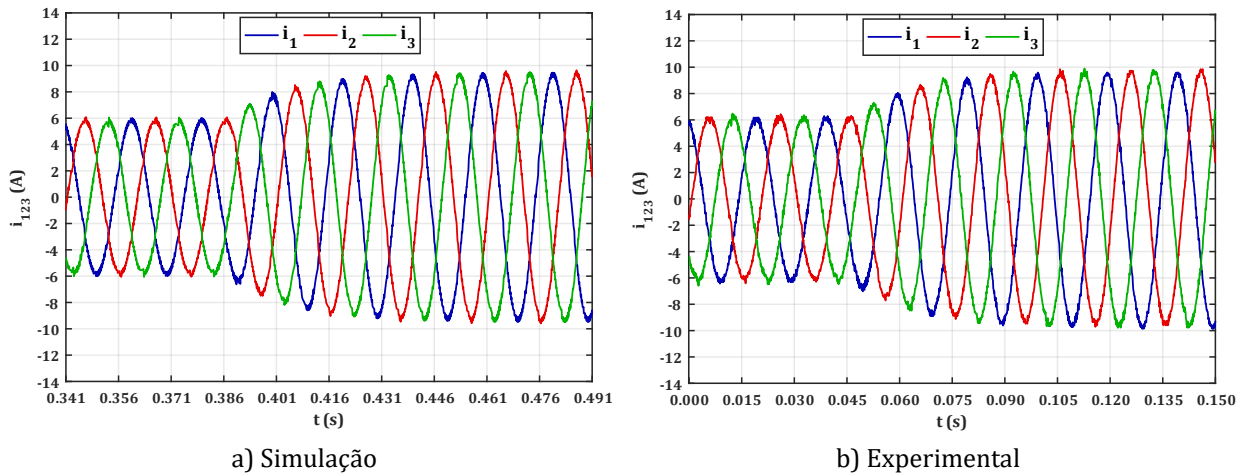


Figura 5.45 – Correntes trifásicas com controlo por MD durante o aumento do consumo da microrrede AC.

De forma análoga, para uma diminuição da carga existe uma sobrelevação da tensão até que a componente integral reajuste a referência. As tensões e as correntes trifásicas da microrrede AC para uma diminuição da carga estão presentes na secção G.4 do Apêndice G, em particular na Figura G.15 e na Figura G.16.

5.6 Conclusões

Neste capítulo descreveram-se as características do ambiente de simulação e do ambiente experimental onde se testaram os controladores desenvolvidos, e os resultados obtidos nestas duas vertentes para os vários cenários de funcionamento do conversor de interligação da microrrede híbrida.

Os resultados experimentais apresentaram comportamentos muito semelhantes aos resultados obtidos nas simulações, validando os modelos desenvolvidos para o conversor e os controladores implementados. Ambos os métodos de controlo de corrente resultaram em respostas dinâmicas rápidas e são capazes de manter em equilíbrio os condensadores no lado da microrrede DC. Os controladores de tensão da microrrede DC e da microrrede AC demonstraram-se capazes de regular a tensão num valor próximo da referência e compensar os desvios de tensão provocados por variações no consumo das microrredes DC e AC. Como elemento de interligação entre as microrredes, o conversor foi capaz de funcionar de forma bidirecional, equilibrando a potência produzida e consumida entre as duas secções da microrrede híbrida.

6 Conclusões

Neste capítulo são apresentadas as conclusões retiradas com a realização deste trabalho e apresentam-se algumas propostas para trabalhos futuros.

6.1 Conclusões gerais

Neste trabalho foram estudados conceitos relacionados com microrredes híbridas e conversores multinível que culminaram na construção de um protótipo laboratorial a baixa escala e na verificação do seu funcionamento em vários cenários.

As microrredes híbridas englobam as características e modos de funcionamento das microrredes AC e microrredes DC e por isso apresentam-se como a solução mais adequada à realidade atual, podendo integrar cargas e fontes de geração em DC ou AC nos respectivos barramentos. O conversor de interligação desempenha um papel fundamental no equilíbrio da potência em ambas as seções AC e DC da microrrede híbrida, podendo realizar transferência de potência entre elas. No modo autónomo o conversor de interligação pode desempenhar vários papéis (regulação da tensão AC, regulação da tensão DC e regulação de potência), dependendo das características das seções AC e DC da microrrede híbrida. Em todo o caso, é fundamental a existência de fontes de geração distribuída e sistemas de armazenamento de energia elétrica para auxiliar na regulação da tensão, dado que o CI não é capaz de regular ambos os barramentos ao mesmo tempo.

Os conversores multinível têm características interessantes no que toca à distorção harmónica e à capacidade de trabalhar com tensões e potências mais elevadas. O conversor NPC em particular, tem uma boa relação de compromisso entre a complexidade e custo de construção, complexidade de controlo e distorção harmónica, face a outras topologias pelo que é uma das soluções mais adotadas na indústria e apresenta-se como um bom candidato para realizar a interligação das seções AC e DC de microrredes híbridas.

O conversor multinível NPC utilizado para realizar a interligação entre as microrredes AC e DC foi modelado através das suas variáveis de estado no sistema de coordenadas 123. Através das transformadas de Clarke-Concordia e de Park obtiveram-se os modelos do conversor no sistema de coordenadas ortogonal $\alpha\beta 0$ e no sistema síncrono $dq0$. Também se obtiveram os modelos equivalentes da microrrede AC, quando esta se encontra no modo autónomo e a sua tensão deixa de ser estabelecida pela REE.

O sistema de interligação entre microrredes foi desenvolvido para três cenários de controlo: controlo das correntes AC, controlo da tensão da microrrede DC e controlo da

tensão da microrrede AC. Para o controlo das correntes foram utilizados dois métodos, modo de deslizamento (MD) e modulação por largura de impulsos (PWM). No controlo das correntes AC por MD, foi utilizado o modelo do conversor no sistema de coordenadas $\alpha\beta 0$, a partir do qual foram dimensionadas as leis de controlo para manter as correntes e tensões dos condensadores dentro de uma gama de histerese. O equilíbrio dos condensadores é garantido através da escolha adequada dos vetores redundantes. No controlo por PWM utilizaram-se os modelos no sistema de coordenadas $dq0$, assumindo valores médios para as grandezas e desprezando o efeito das comutações, de forma a aplicar técnicas de controlo lineares. O seguimento da corrente de referência foi feito através de um controlador PI que calcula os sinais de modulação para o modulador PWM. O equilíbrio dos condensadores é garantido através da adição de um deslocamento vertical às portadoras, que influencia a potência fornecida por cada um dos condensadores. O controlo linear das tensões da microrrede DC e da microrrede AC foi baseado em controladores PI no sistema de coordenadas $dq0$ que têm como objetivo calcular as correntes de referência impostas ao controlador interno de corrente, independentemente da técnica utilizada neste último.

O sistema de teste foi desenvolvido no Simulink de forma a facilitar o processo de desenvolvimento e comprovar o funcionamento dos controladores. O sistema foi desenvolvido de forma modular para cada um dos três modos de funcionamento do CI, permitindo a utilização de diferentes blocos de controlo interno de corrente sem grandes alterações no resto da simulação. As secções AC e DC da microrrede híbrida foram representadas de forma abstrata através de fontes de tensão e resistências de carga, permitindo que o processo de desenvolvimento e teste esteja focado no CI.

O protótipo laboratorial foi baseado num conversor multinível NPC, cujo controlo foi efetuado através da placa de desenvolvimento *LAUNCHXL-F28379D*. Para o conversor NPC foram desenvolvidos circuitos de monitorização e condicionamento de sinal de modo a facilitar a integração com a plataforma de controlo. No MD utilizaram-se os dois núcleos do processador para implementar diferentes malhas de controlo, distribuindo a carga de processamento pelos dois, o que permitiu obter frequências de amostragem das correntes elevadas.

No controlo das correntes no lado da microrrede AC, os resultados experimentais e de simulação demonstraram que as correntes seguiam as referências com pouca distorção harmónica. Através de uma análise espectral da forma de onda da corrente, verificou-se que o controlo por MD continha uma gama de harmónicas alargada até cerca de 10 kHz, resultante da frequência de comutação variável característica deste método. Por outro lado, o controlo por PWM apresentava um espectro mais limpo com harmónicas em torno da frequência da portadora (5 kHz) e nos seus múltiplos. A diferença espectral entre os

dois métodos traduz-se não só num THD inferior, como também num funcionamento mais silencioso do conversor com controlo por PWM.

Em regime dinâmico, ambos os controladores resultaram em respostas rápidas, na ordem de 1,5 ms, a uma alteração da referência. Este aspeto é muito importante, em especial na utilização de malhas de controlo externas que dependem de uma resposta rápida da malha interna. As tensões dos condensadores mantiveram-se equilibradas, tanto em regime estacionário como em regime dinâmico. O mecanismo de equilíbrio das tensões dos condensadores no caso do MD apresentou-se como tendo uma resposta mais rápida, partindo de uma situação de desequilíbrio, do que o mecanismo de equilíbrio baseado no deslocamento das portadoras do modulador PWM. No caso do mecanismo utilizado no PWM, o seu comportamento está limitado pela amplitude de deslocamento das portadoras, que deverá ser pequena para não causar distorções à saída.

No controlo de tensão da microrrede DC os resultados experimentais mantiveram-se próximos dos obtidos na simulação. Os resultados obtidos para a regulação da tensão utilizando ambas as técnicas de controlo de corrente interno não apresentam diferenças significativas entre si, dado que a malha externa de tensão é igual em ambos os casos. Notou-se em ambos os casos um aumento do THD das correntes face aos valores obtidos no controlo das correntes. Este aumento é devido à malha de regulação da tensão que impõe variações nas correntes de forma a compensar pequenos desvios das tensões de referência, assim como uma menor amplitude da corrente.

Em regime dinâmico, com a variação da tensão de referência o conversor apresentou um comportamento aproximadamente simétrico na subida e na descida da tensão e com sobrelevações mínimas. Na ocorrência de um aumento do consumo na microrrede DC, a tensão no barramento DC sofre uma diminuição que é rapidamente resposta pela componente integral do controlador PI, garantindo um erro nulo em estado estacionário. Na eventualidade de existir geração local na microrrede DC, o CI continua a ser capaz de regular a tensão DC e com isso faz o equilíbrio entre a potência gerada e consumida localmente. Em determinadas situações a produção local da microrrede DC é superior ao consumo, o que obriga o CI a injetar o remanescente na microrrede AC. Por outro lado, com um consumo local elevado o CI é obrigado a inverter o sentido de transferência de potência de forma a compensar o défice de produção local na microrrede DC. A queda de tensão e o tempo de recuperação podem ser diminuídos com o aumento da largura de banda do controlador PI, no entanto, um valor muito elevado poderá causar distorções nas correntes trifásicas.

No controlo da tensão da microrrede AC o conversor funciona de forma isolada da REE e gera a sua própria referência. Os resultados obtidos com o controlo interno de

corrente por MD e por PWM são semelhantes, embora o controlo com MD tivesse uma quantidade ligeiramente superior de harmónicas do que o controlo com PWM. Em ambos os casos, a maior parte das harmónicas foram eliminadas graças à frequência de corte do filtro utilizado (356 Hz). A resposta a um aumento da tensão de referência é suave e a tensão de referência é atingida em cerca de 1 a 2 ciclos das grandezas elétricas. O aumento do consumo, provocou uma queda de tensão que é recuperada por completo em cerca de 2 a 3 ciclos das grandezas elétricas. Tanto o aumento da tensão de referência como a recuperação da corrente são conseguidas através de um aumento das correntes AC controladas por um PI.

Os resultados práticos associados ao controlo de tensão da microrrede AC apresentam por vezes ligeiros desequilíbrios provocados pela dificuldade em ajustar as cargas resistivas em valores exatamente iguais. De facto, o controlo linear das tensões nas coordenadas dq parte do princípio de que o sistema é totalmente equilibrado, o que acaba por não acontecer na realidade, resultando numa dificuldade em manter as três fases equilibradas. Este, no entanto, é um aspeto importante e que não deve ser descurado no projeto de uma microrrede real, dado que as cargas em cada fase dificilmente serão iguais.

Os circuitos desenvolvidos para a monitorização e controlo cumpriram a sua função e permitiram utilizar uma saída de 3 V para o processador e a outra saída de 8 V para a visualização de resultados no osciloscópio.

6.2 Propostas de trabalhos futuros

Abaixo são apresentadas algumas propostas de trabalhos futuros:

- Analisar a capacidade de regulação de tensão da microrrede AC com a presença de fontes de geração locais representadas por uma máquina elétrica.
- Estudar o comportamento da microrrede na transição do modo interligado para o modo autónomo, em caso de falha da REE. Analogamente, estudar e verificar o processo de resincronização da microrrede com a REE.
- Simulação da microrrede híbrida de forma integral, adicionando fontes de geração, sistemas de armazenamento de energia e cargas em ambas as secções AC e DC, e implementando algoritmos de coordenação adequados.
- Explorar a característica *dual-core* do processador para implementar outros algoritmos de controlo computacionalmente mais exigentes, distribuindo o processamento entre os dois núcleos.

Referências

- [1] International Energy Agency, "Electricity Market Report - December 2020," Dezembro 2020. [Online]. Available: <https://www.iea.org/reports/electricity-market-report-december-2020/outlook-2021>. [Acedido em Maio 2021].
- [2] European Commission, "2030 Climate Target Plan," [Online]. Available: https://ec.europa.eu/clima/policies/eu-climate-action/2030_ctp_en. [Acedido em Maio 2021].
- [3] H. Farhangi, "The Path to the Smart Grid," *IEEE power & energy magazine*, vol. 8, nº 1, pp. 18-28, Janeiro/Fevereiro 2010.
- [4] T. Dragicevic, J. C. Vasquez, J. M. Guerrero e D. Škrlec, "Advanced LVDC Electrical Power Architectures and Microgrids: A step toward a new generation of power distribution networks," *IEEE Electrification Magazine*, pp. 54-65, Março 2014.
- [5] J. Rodríguez, L. G. Franquelo, S. Kouro, J. I. León, R. C. Portillo, M. Á. M. Prats e M. A. Pérez, "Multilevel Converters: An Enabling Technology for High-Power Applications," *Proceedings of the IEEE*, vol. 97, nº 11, pp. 1786-1817, Novembro 2009.
- [6] T. L. Vandoorn e L. Vandeveld, "Contribution of Microgrids to the Development of Smart Grids," em *Smart Grids: Clouds, Communications, Open Source and Automation*, 1ª ed., D. Bakken, Ed., CRC Press, 2014, pp. 191-211.
- [7] C. Schwaegerl e L. Tao, "The Microgrids Concept," em *Microgrid : Architectures and Control*, N. Hatziargyriou, Ed., Wiley, 2014, pp. 1-24.
- [8] C. Moreira, "Identification and Development of Microgrids Emergency Control Procedures," Faculdade de Engenharia da Universidade do Porto, Porto, 2006.
- [9] L. F. N. Delboni, D. Marujo, P. P. Balestrassi e D. Q. Oliveira, "Electrical Power Systems: Evolution from Traditional Configuration to Distributed Generation and Microgrids," em *Microgrids Design and Implementation*, Springer, 2019, pp. 1-25.
- [10] C. Gouveia, J. Moreira, C. L. Moreira e J. A. P. Lopes, "Coordinating Storage and Demand Response for Microgrid Emergency Operation.," *IEEE Transactions on Smart Grid*, vol. 4, nº 4, pp. 1898 - 1908, Dezembro 2013.
- [11] A. Hirscha, Y. Paraga e J. Guerrero, "Microgrids: A review of technologies, key drivers, and outstanding issues," *Renewable and Sustainable Energy Reviews*, vol. 90, pp. 402-411, Abril 2018.
- [12] J. A. P. Lopes, A. G. Madureira e C. C. L. M. Moreira, "A view of microgrids," *WIREs Energy Environ*, vol. 2, nº 1, pp. 86-103, Janeiro/Fevereiro 2013.

- [13] D. E. Olivares, A. Mehrizi-Sani, A. H. Etemadi, C. A. Cañizares, R. Iravani, M. Kazerani, A. H. Hajimiragha, O. Gomis-Bellmunt, M. Saeedifard, R. Palma-Behnke, G. A. Jiménez-Estévez e N. D. Hatziargyriou, "Trends in Microgrids control," *IEEE Transactions on smart grid*, vol. 5, nº 4, pp. 1905-1919, Julho 2014.
- [14] W. Du, R. H. Lasseter e A. S. Khalsa, "Survivability of Autonomous Microgrid During Overload Events," *IEEE Transactions on smart grid*, vol. 10, nº 4, pp. 3515-3524, Julho 2019.
- [15] J. M. Guerrero, J. C. Vasquez, J. Matas e a. M. C. Luis García de Vicuña, "Hierarchical Control of Droop - controlled AC and DC Microgrids - A General Approach towards standardization," *IEEE Transactions on Power Electronics*, vol. 58, nº 1, pp. 158-172, Janeiro 2011.
- [16] A. Alsaif, Z. Miao e L. Fan, "Comparison of Islanding and Synchronization for a Microgrid with Different Converter Control," em *2019 North American Power Symposium (NAPS)*, 2019.
- [17] J. Rocabert, A. Luna, F. Blaabjerg e P. Rodríguez, "Control of Power Converters in AC Microgrids," *IEEE Transactions on Power Electronics*, vol. 27, nº 11, pp. 4734-4749, Novembro 2012.
- [18] J. A. P. Lopes, C. L. Moreira e A. G. Madureira, "Defining Control Strategies for MicroGrids Islanded Operation," *IEEE Transactions on Power Systems*, vol. 21, nº 2, pp. 916-924, Maio 2006.
- [19] J. P. Lopes, S. A. Polenzb, C. Moreira e R. Cherkaouib, "Identification of control and management strategies for LV unbalanced microgrids with plugged-in electric vehicles," *Electric Power Systems Research*, vol. 80, nº 8, pp. 899-906, Janeiro 2010.
- [20] T. Degner, N. Soultanis, A. Engler e A. G. Muro, "Intelligent Local Controllers," em *Microgrid : Architectures and Control*, N. Hatziargyriou, Ed., Wiley, 2014, pp. 81-116.
- [21] F. Nejabatkhah e Y. W. Lix, "Overview of Power Management Strategies of Hybrid AC/DC Microgrid," *IEEE Transactions on Power Electronics*, vol. 30, nº 12, pp. 7072-7089, Dezembro 2015.
- [22] A. Dimeas, A. Tsikalakis, G. Kariniotakis e G. Korres, "Microgrids Control Issues," em *Microgrids Architecture and Control*, N. Hatziargyriou, Ed., Wiley, 2013, pp. 25-80.
- [23] L. Meng, M. Savaghebi, F. Andrade, J. C. Vasquez, J. M. Guerrero e M. Graells, "Microgrid Central Controller Development and Hierarchical Control Implementation in the Intelligent MicroGrid Lab of Aalborg University," em *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2015.

- [24] D. Kumar, F. Zare e A. Ghosh, "DC Microgrid Technology: System Architectures, AC Grid Interfaces, Grounding Schemes, Power Quality, Communication Networks, Applications, and Standardizations Aspects," *IEEE Access*, vol. 5, pp. 12230-12256, 2017.
- [25] J. Xiao, P. Wang e L. Setyawan, "Implementation of Multiple-Slack-Terminal DC Microgrids for Smooth Transitions Between Grid-Tied and Islanded States," *IEEE Transactions on Smart Grid*, vol. 7, n^o 1, pp. 273-281, Janeiro 2016.
- [26] E. Rodriguez-Diaz, M. Savaghebi, J. C. Vasquez e J. M. Guerrero, "An Overview of Low Voltage DC Distribution Systems for Residential Applications," em *IEEE 5th International Conference on Consumer Electronics*, Berlin, 2015 .
- [27] S. D. Tavakoli, G. Kadkhodaei, M. Mahdavyfakhr, M. Hamzeh e K. Sheshyekani, "Interlinking Converters in Application of Bipolar DC Microgrid," em *8th Power Electronics, Drive Systems & Technologies Conference (PEDSTC)*, Iran, 2017.
- [28] L. E. Zubieta, "Are Microgrids the Future of Energy?: DC Microgrids from Concept to Demonstration to Deployment," *IEEE Electrification Magazine*, vol. 4, n^o 2, pp. 37-44, Junho 2016.
- [29] F. Gao, R. Kang, J. Cao e T. YANG, "Primary and secondary control in DC microgrids: a review," *Journal of Modern Power Systems and Clean Energy*, vol. 7, n^o 2, pp. 227-242, Março 2019.
- [30] B. R. Shrestha, U. Tamrakar, T. M. Hansen, B. P. Bhattarai e R. Tonkoski, "Efficiency and Reliability Analyses of AC and 380 V DC Distribution in Data Centers," *IEEE Access*, vol. 6, pp. 63305-63315, 2018.
- [31] E. Rodriguez-Diaz, J. C. Vasquez e J. M. Guerrero, "Intelligent DC Homes in Future Sustainable Energy Systems: When efficiency and intelligence work together," *IEEE Consumer Electronics Magazine*, vol. 5, n^o 1, pp. 74-80, Janeiro 2016.
- [32] H. Kakigano, Y. Miura e T. Ise, "Low-Voltage Bipolar-Type DC Microgrid for Super High Quality Distribution," *IEEE Transactions on Power Electronics*, vol. 25, n^o 12, pp. 3066-3075, Dezembro 2010.
- [33] G. Liu, T. Caldognetto, P. Mattavelli e P. Magnone, "Power-Based Droop Control in DC Microgrids Enabling Seamless Disconnection From Upstream Grids," *IEEE Transactions on Power Electronics*, vol. 34, n^o 3, pp. 2039-2051, Março 2019.
- [34] X. Yang, F. Tang, X. Wu e X. Jin, "Hierarchical Control Strategy of Grid-connected DC Microgrids," em *IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, 2016.

- [35] A. A. Eajal, M. A. Abdelwahed, E. F. El-Saadany e K. Ponnambalam, “A Unified Approach to the Power Flow Analysis of AC/DC Hybrid Microgrids,” *IEEE Transactions on Sustainable Energy*, vol. 7, n° 3, pp. 1145-1158, Julho 2016.
- [36] J. Wang, C. Jin e P. Wang, “A Uniform Control Strategy for the Interlinking Converter in Hierarchical Controlled Hybrid AC/DC Microgrids,” *IEEE Transactions on Industrial Electronics*, vol. 65, n° 8, pp. 6188-6197, Agosto 2018.
- [37] E. Unamuno e J. A. Barrena, “Primary Control Operation Modes in Islanded Hybrid ac/dc Microgrids,” em *International Conference on Computer as a Tool (EUROCON)*, Salamanca, 2015.
- [38] X. Liu, P. Wang e P. Chiang, “A Hybrid AC/DC Microgrid and Its Coordination Control,” *IEEE Transactions on Smart Grid*, vol. 2, n° 2, pp. 278-286, 2011.
- [39] P. Najafi, A. H. Viki e M. Shahparasti, “Evaluation of Feasible Interlinking Converters in a Bipolar Hybrid Microgrid,” *Journal of Modern Power Systems and Clean Energy*, vol. 8, n° 2, pp. 305-314, Março 2020.
- [40] Y. Shan, J. Hu, K. W. Chan, Q. Fu e J. M. Guerrero, “Model Predictive Control of Bidirectional DC–DC Converters and AC/DC Interlinking Converters—A New Control Method for PV-Wind-Battery Microgrids,” *IEEE Transactions on Sustainable Energy*, vol. 10, n° 4, pp. 1823-1833, Outubro 2019.
- [41] J. D. S. Barros, “Conversão Electrónica Multinível: Optimização para Aplicações em Qualidade de Energia Eléctrica,” Instituto Superior Técnico, Lisboa, 2008.
- [42] J. I. Leon, S. Vazquez e L. G. Franquelo, “Multilevel Converters: Control and Modulation Techniques for Their Operation and Industrial Applications,” *Proceedings of the IEEE*, vol. 105, n° 11, pp. 2066-2081, Novembro 2017.
- [43] L. Calaça, “Projeto de um Sistema de Conversor Multinível,” Universidade da Madeira, Funchal, 2016.
- [44] É. Jesus, “Simulação de um sistema aerogerador com controlo óptimo predictivo,” Universidade da Madeira, Funchal, 2010.
- [45] T. Jing e A. S. Maklakov, “A Review of Voltage Source Converters for Energy Applications,” em *2018 International Ural Conference on Green Energy (UralCon)*, 2018.
- [46] L. P. S. Filipe, “Simulação de um conversor AC/AC multinível,” Universidade da Madeira, Funchal, 2019.
- [47] J. Rodríguez, J.-S. Lai e F. Z. Peng, “Multilevel Inverters: A Survey of Topologies, Controls, and Applications,” *IEEE Transactions on Industrial Electronics*, vol. 49, n° 4, pp. 724-738, Agosto 2002.

- [48] I. Pereira e A. Martins, "Neutral-Point Voltage Balancing in Three-Phase NPC Converters Using Multicarrier PWM Control," em *2009 International Conference on Power Engineering, Energy and Electrical Drives*, 2009.
- [49] ABB, "ABB Wind Turbine Converters PCS6000," [Online]. Available: https://library.e.abb.com/public/bf09cdf11d234241845c79ac343dbe16/PCS6000_wind_turbine_converter_catalog_3BHS351272_RevC_EN.pdf. [Acedido em Junho 2021].
- [50] Y. Deng, K. H. Teo e R. G. Harley, "Generalized DC-Link Voltage Balancing Control Method for Multilevel Inverters," em *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, USA, 2013.
- [51] A. K. Gupta e A. M. Khambadkone, "A Space Vector PWM Scheme for Multilevel Inverters Based on Two-Level Space Vector PWM," *IEEE Transactions on Industrial Electronics*, vol. 53, nº 5, pp. 1631-1639, Outubro 2006.
- [52] E. Santos e E. R. Silva, *Advanced Power Electronics Converters - PWM converters Processing AC voltages*, Wiley-IEEE Press, 2014.
- [53] B. Chokkalingham, S. Padmanaban e F. Blaabjerg, "Investigation and Comparative Analysis of Advanced PWM Techniques for Three-Phase Three- Level NPC-MLI Drives," *Electric Power Components and Systems*, vol. 4, nº 3, pp. 258-269, Abril 2018.
- [54] J. F. Silva e S. F. Pinto, "Linear and Nonlinear Control of Switching Power Converters," em *Power Electronics Handbook*, 4ª ed., M. H. Rashid, Ed., Elsevier, 2018, pp. 1141-1220.
- [55] L. Rocha, "Compensação de Energia Reativa com conversor multinível trifásico," Instituto Superior Técnico, Lisboa, 2007.
- [56] J. Ruddy, R. Meere, C. O'Loughlin e T. O'Donnell, "Design of VSC Connected Low Frequency AC Offshore Transmission With Long HVAC Cables," *IEEE Transactions on Power Delivery*, vol. 33, nº 2, pp. 960-970, Abril 2018.
- [57] H. Karimi, H. Nikkhajoei e R. Iravani, "Control of an Electronically-Coupled Distributed Resource Unit Subsequent to an Islanding Event," *IEEE Transactions on Power Delivery*, vol. 23, nº 1, pp. 493-501, Janeiro 2008.
- [58] E. Pouresmaeil, D. Montesinos-Miracle e O. Gomis-Bellmunt, "Control Scheme of Three-Level NPC Inverter for Integration of Renewable Energy Resources into AC Grid," *IEEE Systems Journal*, vol. 6, nº 2, pp. 242-253, Junho 2012.
- [59] Z. Li, C. Zang, P. Zeng, H. Yu, S. Li e J. Bian, "Control of a Grid-Forming Inverter Based on Sliding-Mode and Mixed H₂/H_∞ Control," *IEEE Transactions on Industrial Electronics*, vol. 64, nº 5, pp. 3862-3872, Maio 2017.

- [60] T. Qoria, F. Gruson, F. Colas, X. Guillaud, M. Debry e T. Prevost, "Tuning of cascaded controllers for robust grid-forming Voltage Source Converter," em *2018 Power Systems Computation Conference (PSCC)*, 2018.
- [61] LEM, "Voltage Transducer LV 25-P," [Online]. Available: https://www.lem.com/sites/default/files/products_datasheets/lv_25-p.pdf. [Acedido em julho 2021].
- [62] LEM, "Current Transducer LA 25-NP," [Online]. Available: https://www.lem.com/sites/default/files/products_datasheets/la%2025-np.pdf. [Acedido em julho 2021 2021].
- [63] Texas instruments, "LAUNCHXL-F28379D Overview," [Online]. Available: <https://www.ti.com/lit/ug/sprui77c/sprui77c.pdf>. [Acedido em julho 2021].
- [64] Texas Instruments, "TMS320F2837xD Microcontroller Workshop - Workshop Guide and Lab Manual," [Online]. Available: http://software-dl.ti.com/trainingTTO/trainingTTO_public_sw/c28x28379/F2837xD_Microcontroller_MDW_2-0.pdf. [Acedido em Julho 2021].
- [65] Texas Instruments, "TMS320F2837xD Dual-Core Delfino Microcontrollers - Technical Reference Manual," [Online]. Available: <https://www.ti.com/lit/ug/spruhm8i/spruhm8i.pdf>. [Acedido em Julho 2021].
- [66] G. K. S. e G. Narayanan, "Harmonic analysis of DC capacitor current in sinusoidal and space-vector modulated neutral-point-clamped inverters.," *Sadhana*, vol. 40, pp. 1501-1529, Agosto 2015.

Apêndice A Efeito do deslocamento das portadoras

A Figura A.1 demonstra o efeito que o deslocamento vertical das portadoras provoca nos impulsos dos SPA de um braço do conversor NPC de três níveis. Os impulsos dos SPA são determinados de acordo com os moduladores apresentados inicialmente na Figura 2.13 b).

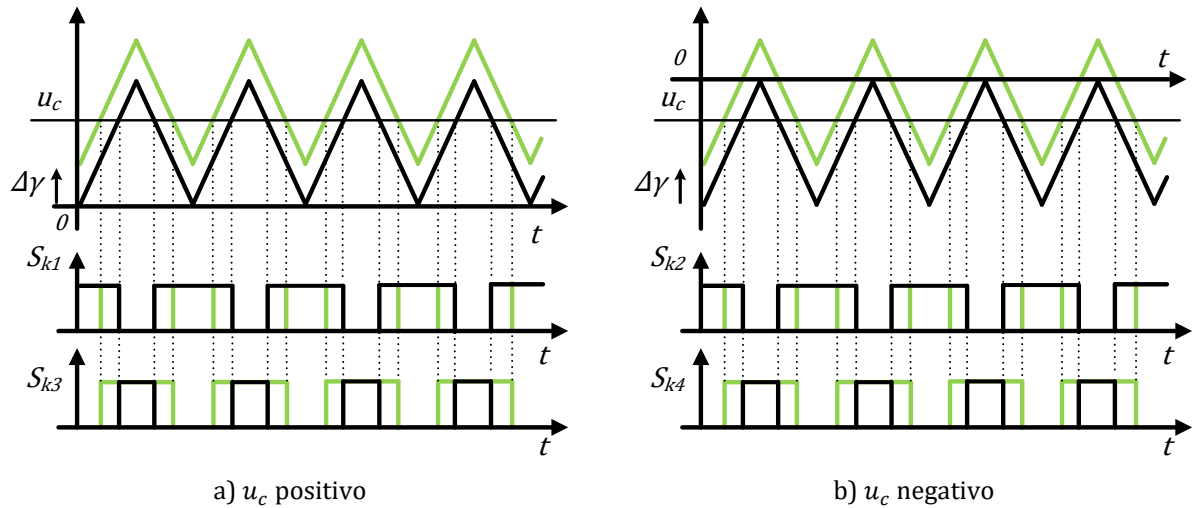


Figura A.1 – Efeito resultante de um deslocamento vertical de $\Delta\gamma$ nas portadoras.

Enquanto o sinal de controlo é positivo, o SPA S_{k2} fica sempre ligado e o SPA complementar S_{k4} fica sempre desligado. Um deslocamento positivo (para cima) das portadoras resulta numa diminuição no fator de ciclo aplicado ao SPA S_{k1} , o que resulta numa menor utilização do condensador C_1 . No controlo por PWM assumem-se modelos linearizados e a variável de comutação γ_i passa a simbolizar o fator de ciclo que varia entre -1 e 1 . Nesta situação com $\gamma_i > 0$, podemos dizer que o deslocamento $\Delta\gamma$ provoca uma diminuição do valor do fator de ciclo representada por $\gamma_i - \Delta\gamma$.

Por outro lado, quando o sinal de controlo u_c é negativo, o SPA S_{k1} mantém-se sempre desligado e o seu complementar S_{k3} sempre ligado. O mesmo deslocamento positivo $\Delta\gamma$ da portadora provoca uma diminuição no fator de ciclo do SPA S_{k2} e consequentemente um aumento do fator de ciclo do SPA complementar S_{k4} . Desta forma, o condensador C_2 passa a ser mais utilizado. Dado que nesta situação $\gamma_i < 0$, o deslocamento positivo das portadoras $\Delta\gamma$ provoca um aumento do fator de ciclo (fica mais negativo), que também pode ser representado por $\gamma_i - \Delta\gamma$.

Em suma, o deslocamento positivo das portadoras (para cima) com amplitude $\Delta\gamma$ provoca uma menor utilização do condensador C_1 e uma maior utilização do condensador C_2 , que pode ser representada por $\gamma_i - \Delta\gamma$. É de notar que uma maior utilização, pode implicar uma maior descarga ou carga, dependendo do sentido de transferência de

potência do conversor. Razão pela qual é necessário ter o sentido de transferência de potência em conta no equilíbrio dos condensadores.

Com estes factos em conta, é necessário modelar matematicamente este princípio e analisar o seu efeito nas grandezas elétricas. Partindo das equações da tensão dos condensadores do modelo deduzido em (3.18), é possível escrever a dinâmica do erro da tensão dos condensadores:

$$\frac{de_{Uc}}{dt} = \frac{dU_{C1}}{dt} - \frac{dU_{C2}}{dt} . \quad (\text{A.1})$$

Substituindo as equações da dinâmica dos condensadores e assumindo que $C_1 \approx C_2 \approx C$, é possível chegar ao resultado abaixo:

$$\frac{de_{Uc}}{dt} = \frac{1}{C} (-\gamma_1^2 i_1 - \gamma_2^2 i_2 - \gamma_3^2 i_3) . \quad (\text{A.2})$$

Se assumirmos um deslocamento vertical de $\Delta\gamma$ nas portadoras dos três braços, o fator de ciclo é afetado de forma proporcional. Seja:

$$\gamma'_k = \gamma_k - \Delta\gamma \quad (\text{A.3})$$

Em que γ'_k é o novo fator de ciclo em cada braço, afetado pelo deslocamento vertical $\Delta\gamma$ das portadoras. Substituindo esta expressão em (A.2) obtém-se:

$$\frac{de_{Uc}}{dt} = \frac{1}{C} ((\gamma_1 - \Delta\gamma)^2 i_1 - (\gamma_2 - \Delta\gamma)^2 i_2 - (\gamma_3 - \Delta\gamma)^2 i_3) . \quad (\text{A.4})$$

Desenvolvendo o termos quadráticos chega-se à seguinte relação:

$$\frac{de_{Uc}}{dt} = \frac{1}{C} ((-\gamma_1^2 i_1 - \gamma_2^2 i_2 - \gamma_3^2 i_3) + 2\Delta\gamma(\gamma_1 i_1 + \gamma_2 i_2 + \gamma_3 i_3)) . \quad (\text{A.5})$$

A primeira parcela do lado direito da equação (A.5) é exatamente igual à equação (A.2) que representava a dinâmica original do erro. A segunda parcela depende do deslocamento $\Delta\gamma$ das portadoras e de um termo que foi apresentado originalmente na equação (4.14) e está associado ao sentido de transferência de potência, mais especificamente à relação $(i_b - i'_b)$. Esta equação indica que o erro entre os condensadores pode ser influenciado pelo deslocamento vertical das portadoras, consoante o sentido de transferência de potência.

Para analisar o efeito que este deslocamento das portadoras tem nas correntes trifásicas, parte-se da equação (3.12) e substituem-se os valores de U_{Sk} pelas relações apresentadas em (3.15). Assumindo que os condensadores estão equilibrados, temos que $U_{C1} \approx U_{C2} = U_{dc}/2$ e a corrente i_1 pode ser dada pela equação (A.6).

$$\frac{di_1}{dt} = -\frac{R}{L}i_1 - \frac{1}{L}U_{AC1} + \frac{(2\gamma_1 - \gamma_2 - \gamma_3)U_{dc}}{6} \quad (\text{A.6})$$

Substituindo γ_k por $\gamma_k - \Delta\gamma$, as componentes que dependem de $\Delta\gamma$ desaparecem e obtém-se a equação original. O mesmo pode ser concluído para as correntes i_2 e i_3 . Ou seja, a adição de um pequeno desvio vertical nas portadoras, de forma a manter as tensões dos condensadores equilibradas, não afeta a dinâmica das correntes.

Apêndice B Esquemas das simulações

B.1 Principais blocos da simulação

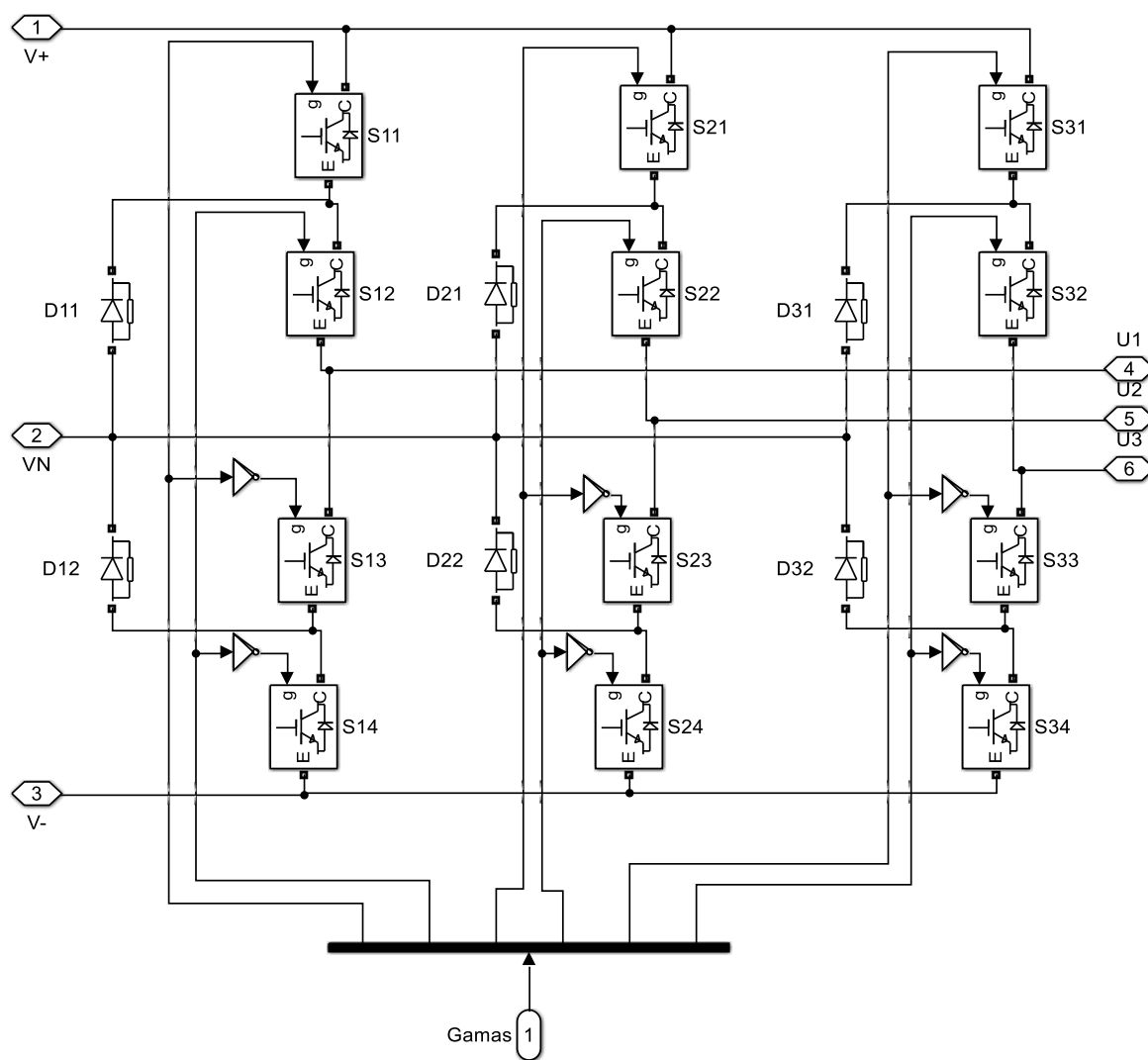


Figura B.1 - Modelo do conversor NPC.

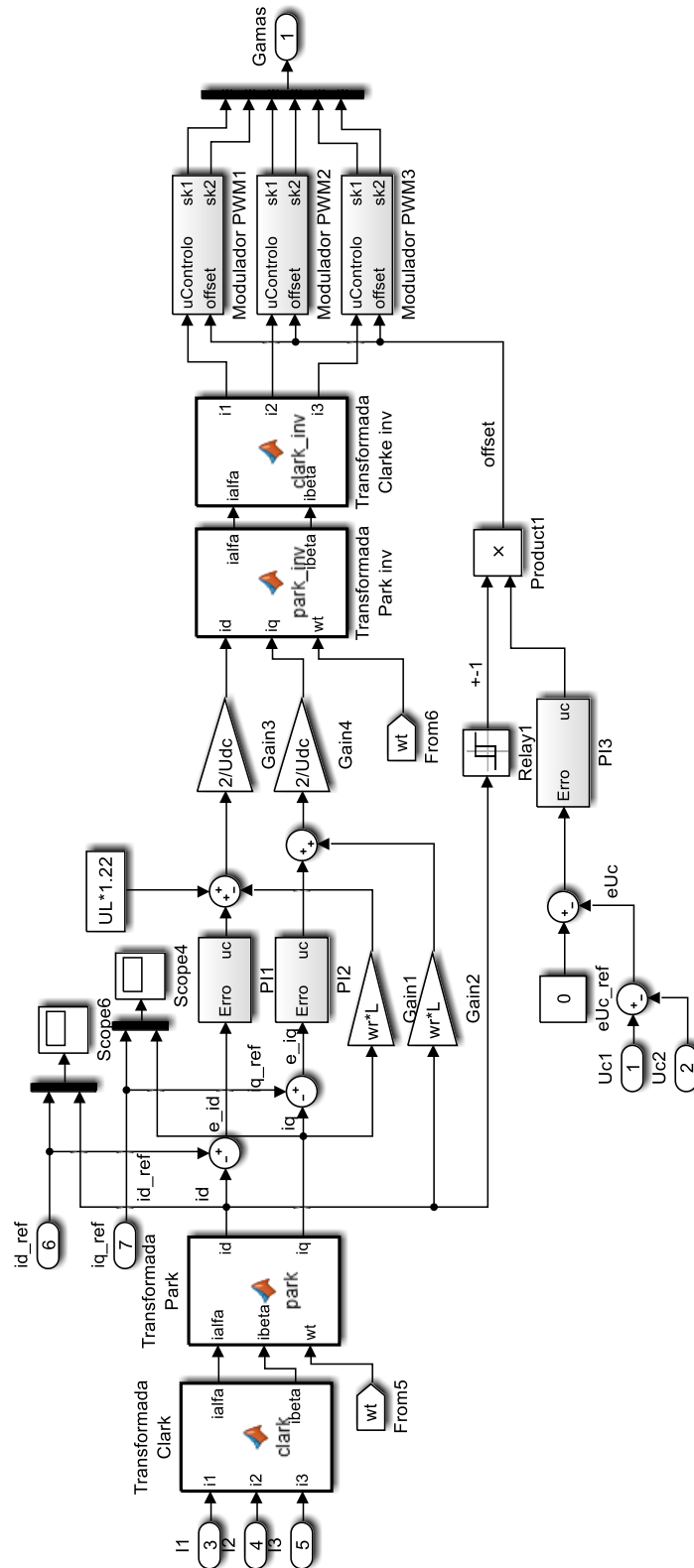


Figura B.3 – Diagrama do controle de corrente por PWM.

B.2 Esquemas completos das simulações

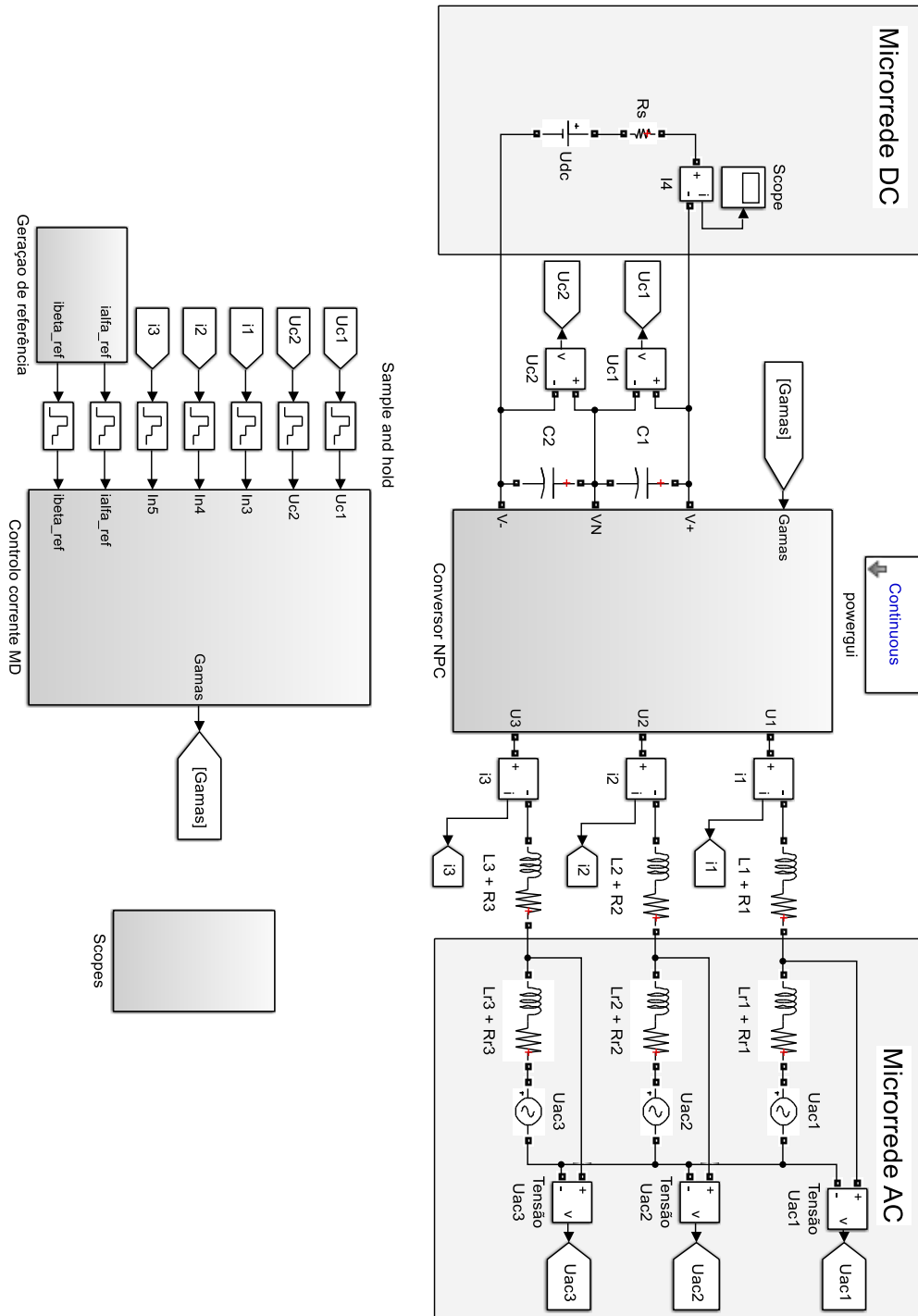


Figura B.4 – Simulação para o controlo de corrente.

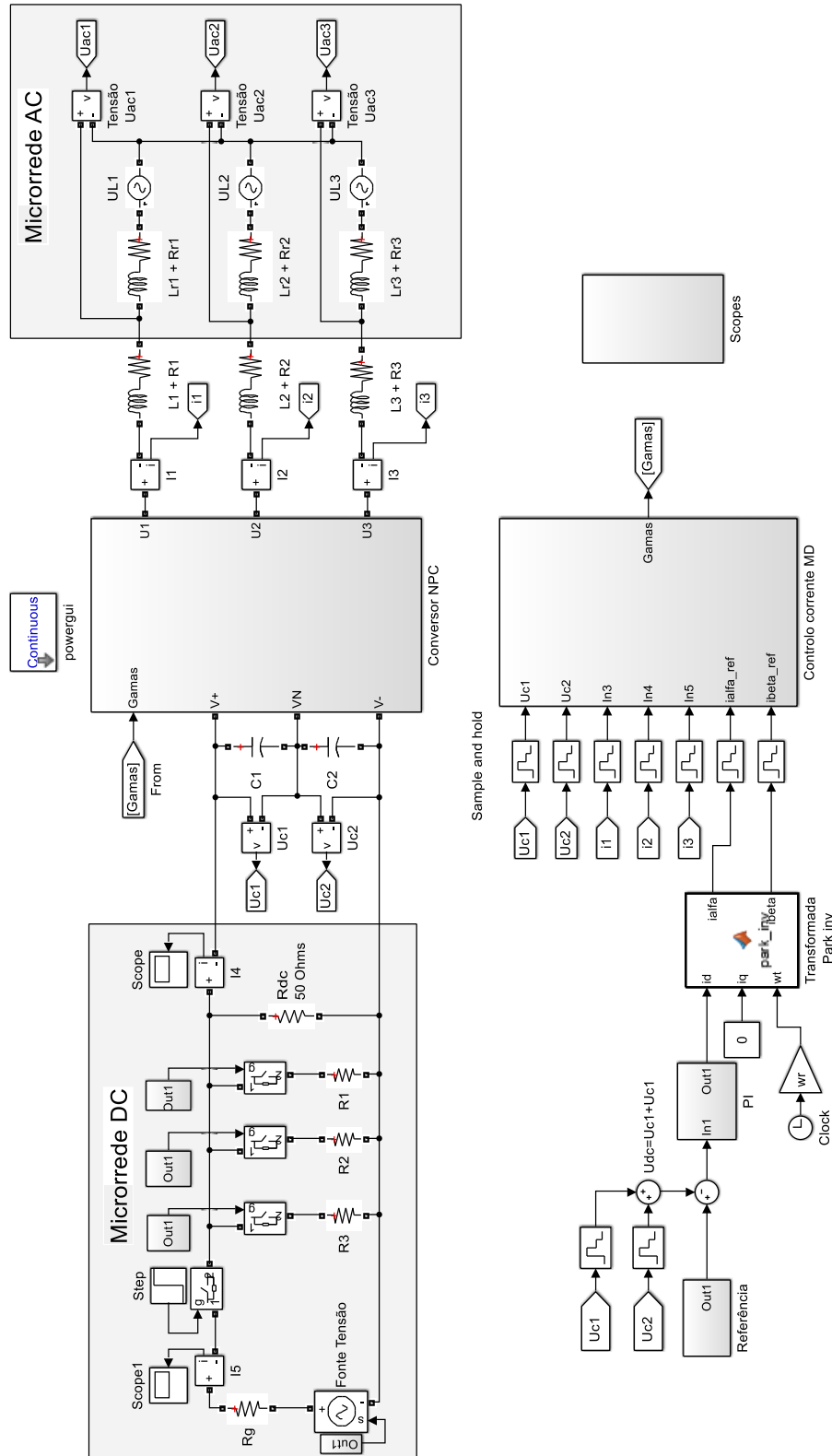


Figura B.5 – Simulação para o modo de controlo de tensão DC.

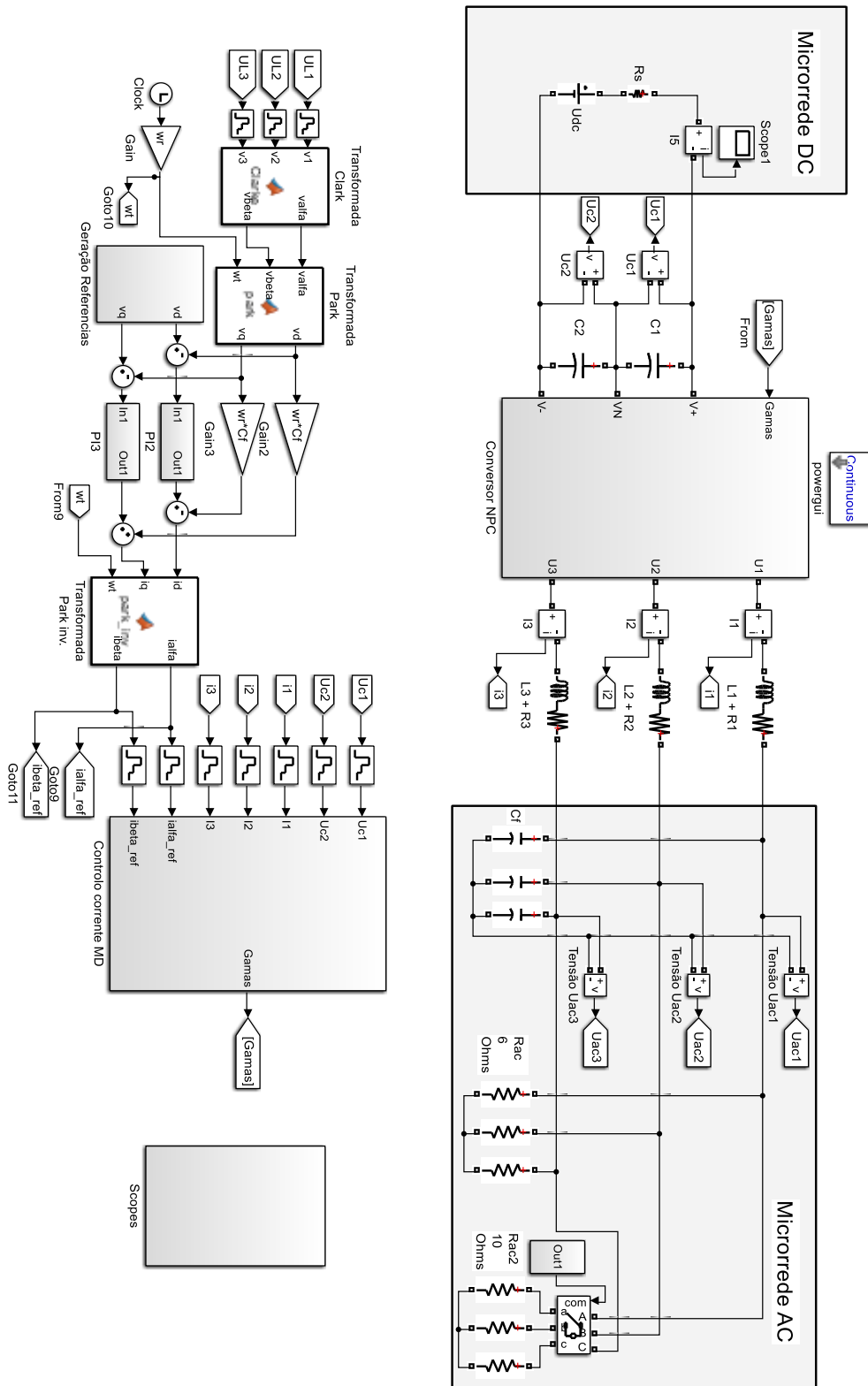


Figura B.6 – Simulação para o modo de controlo de tensão AC.

Apêndice C Fotografias do protótipo laboratorial

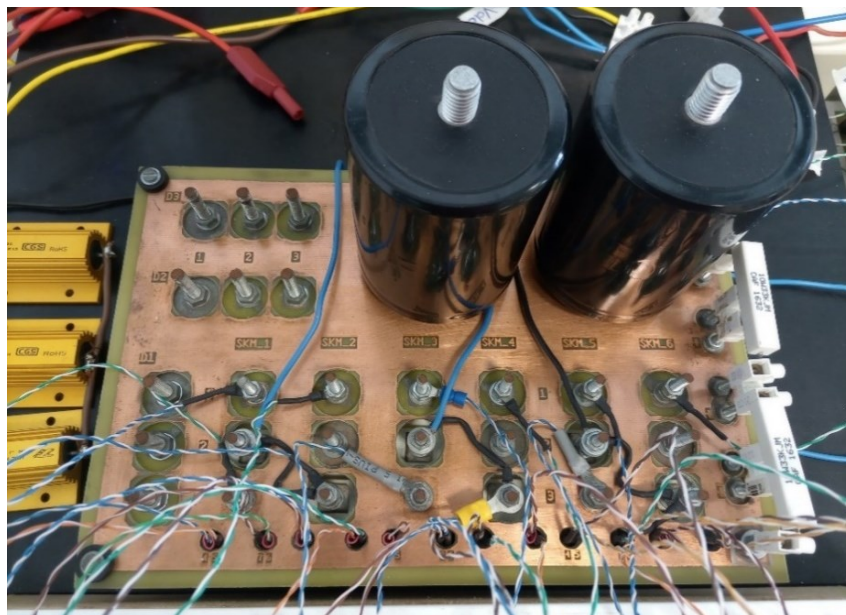


Figura C.1 – Protótipo laboratorial do conversor multinível NPC.

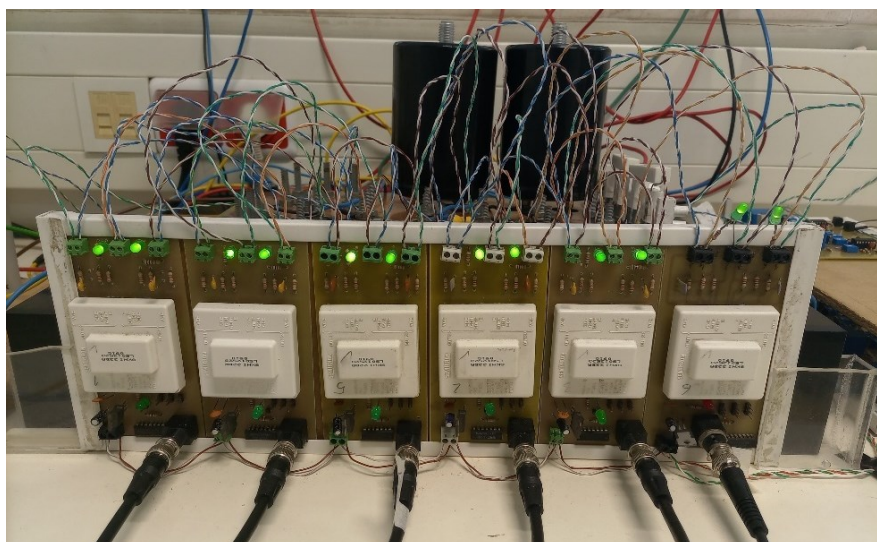


Figura C.2 – Conjunto de *drivers* para o comando dos IGBT do protótipo laboratorial.

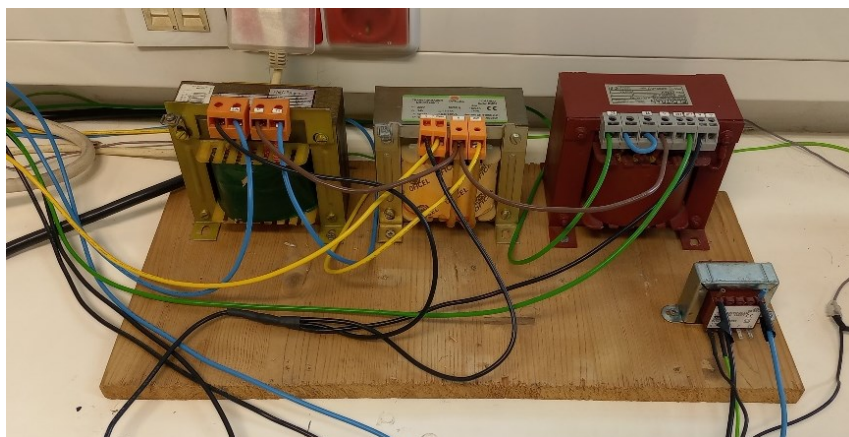


Figura C.3 – Transformadores de ligação à rede e deteção de sincronismo.

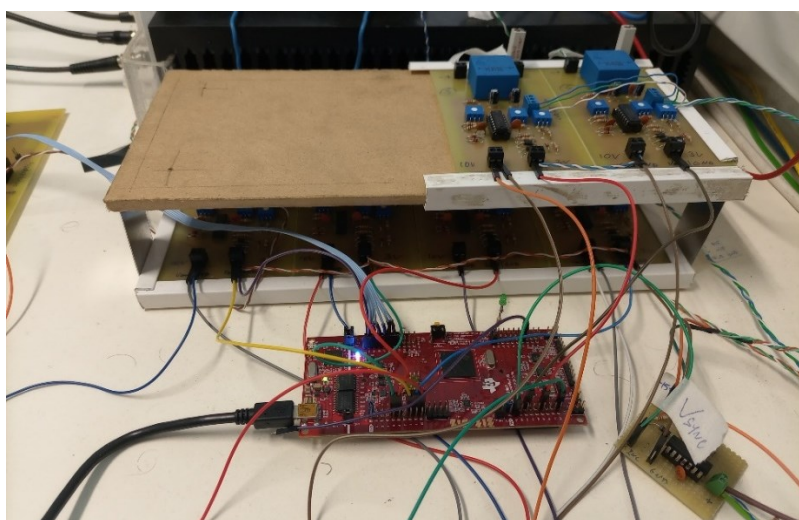


Figura C.4 – Ligação do processador às PCBs de monitorização de tensão e corrente.



Figura C.5 – Filtro LC.

Apêndice D Circuitos desenvolvidos

D.1 Esquemáticos dos circuitos

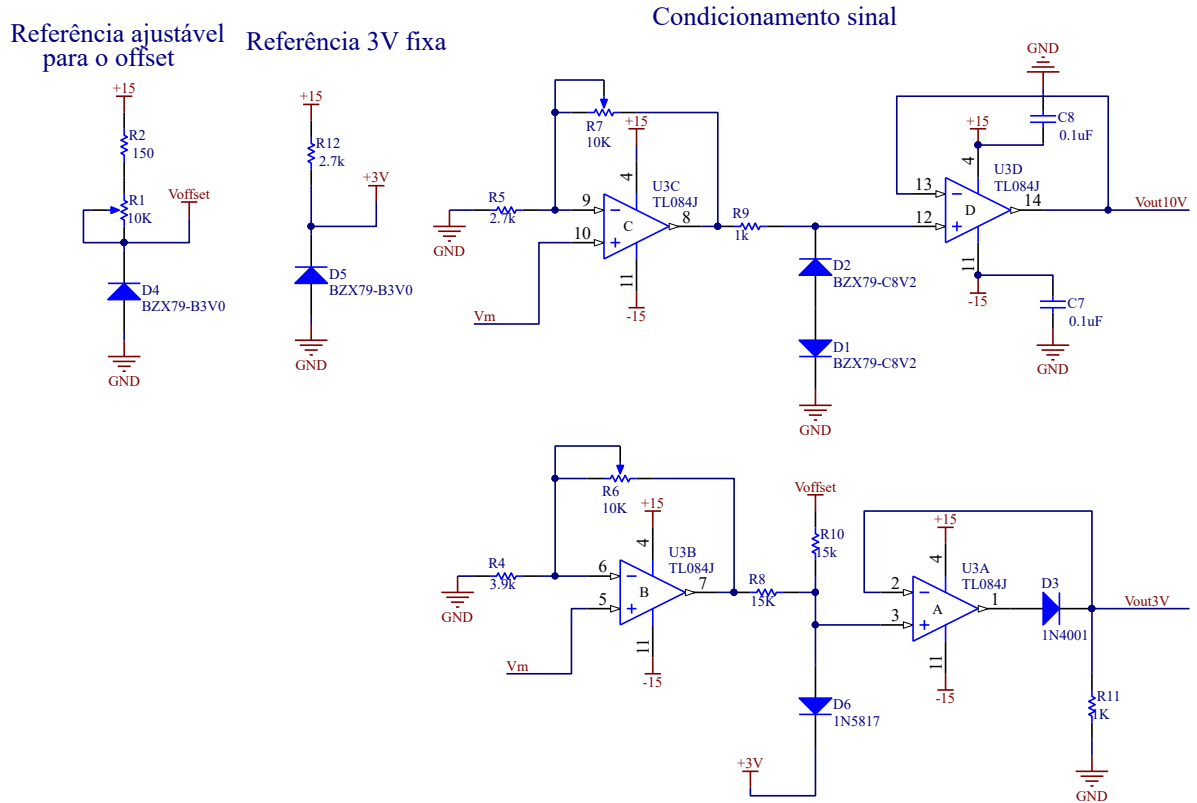


Figura D.1 – Circuito de condicionamento dos sensores de tensão e corrente (comum à PCB de monitorização de tensão e à PCB de monitorização de corrente).

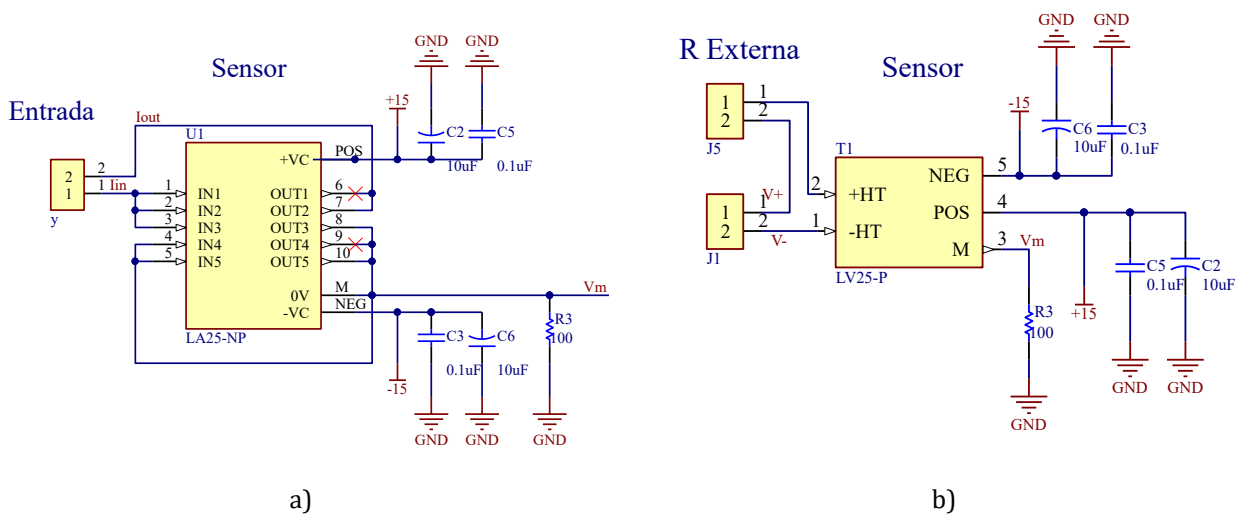


Figura D.2 – a) Configuração do sensor de tensão LV25 na PCB de monitorização de tensão; b) Configuração do sensor de corrente LA-25 na PCB de monitorização de corrente.

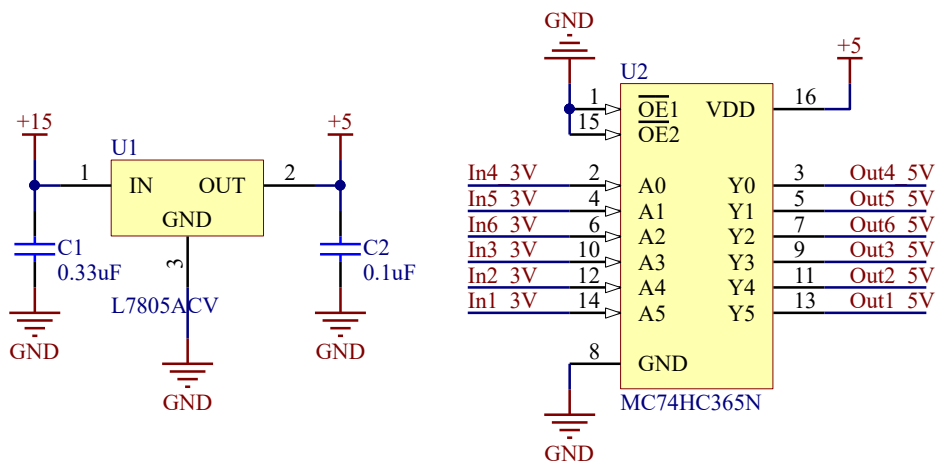


Figura D.3 – Circuito de adaptação de 3,3 V para 5 V para o comando dos *drivers*.

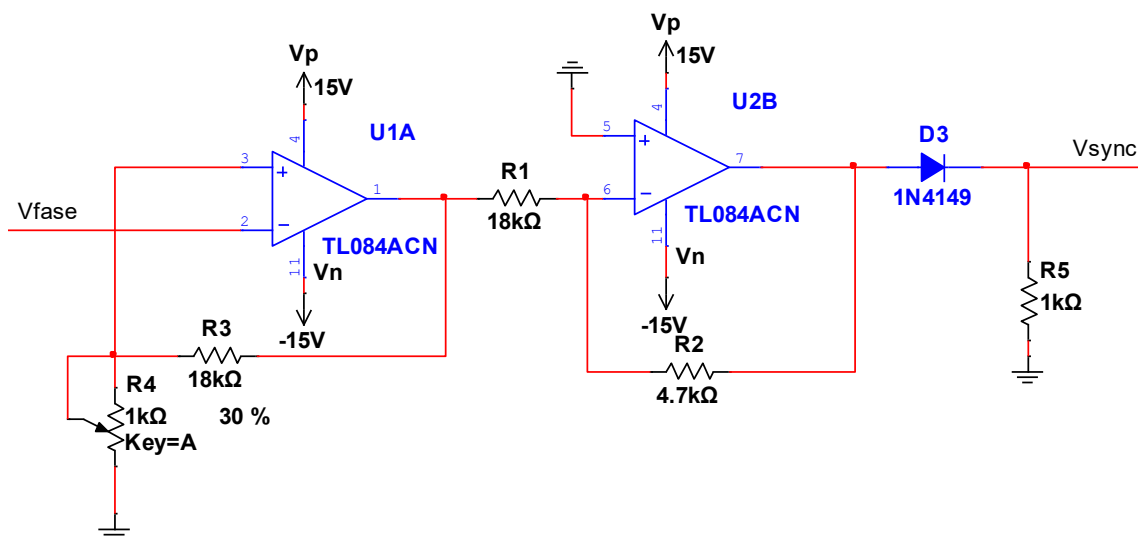
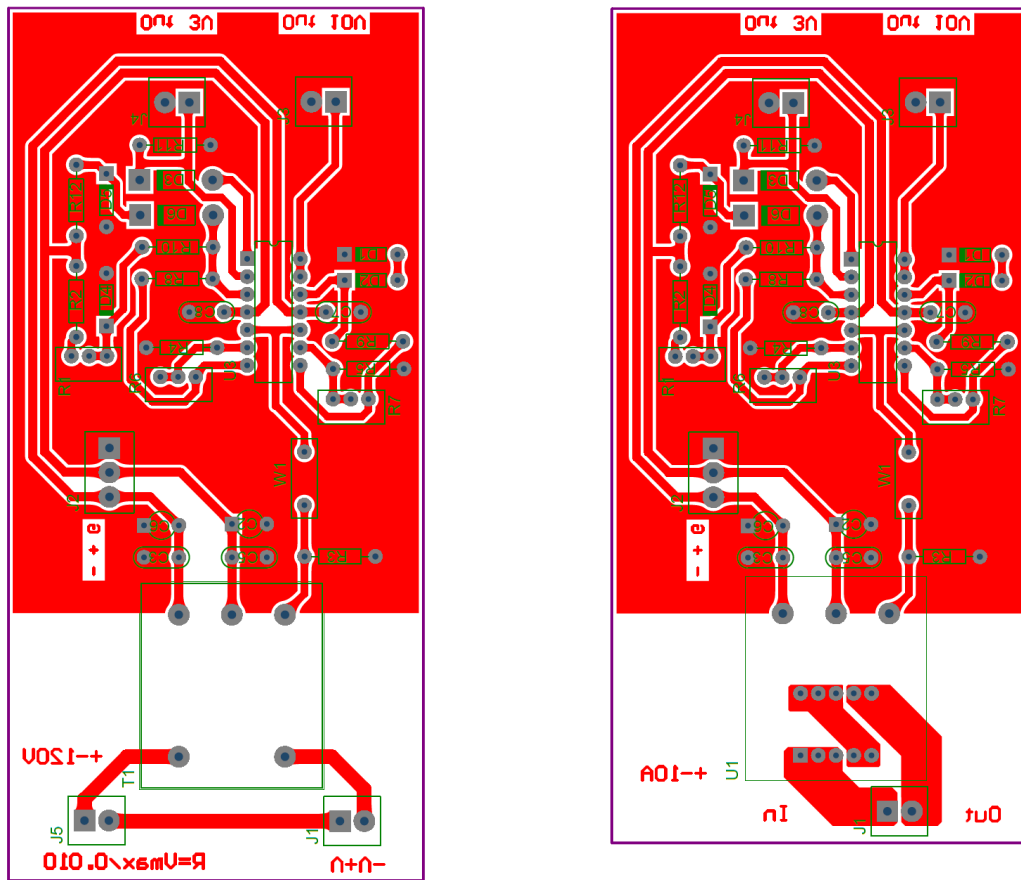


Figura D.4 – Circuito de detecção da passagem por zero da primeira fase da rede.

D.2 Desenho das PCBs desenvolvidas



a) Tensão

b) Corrente

Figura D.5 – Desenho das PCBs para monitorização de tensão e corrente.

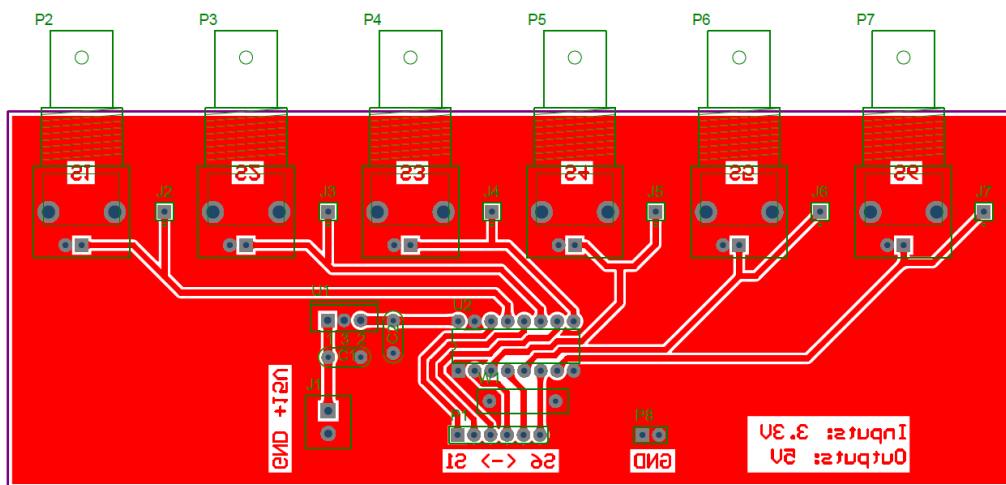


Figura D.6 – Desenho da PCB de adaptação de 3,3 V para 5 V.

D.3 Fotografias das PCBs desenvolvidas

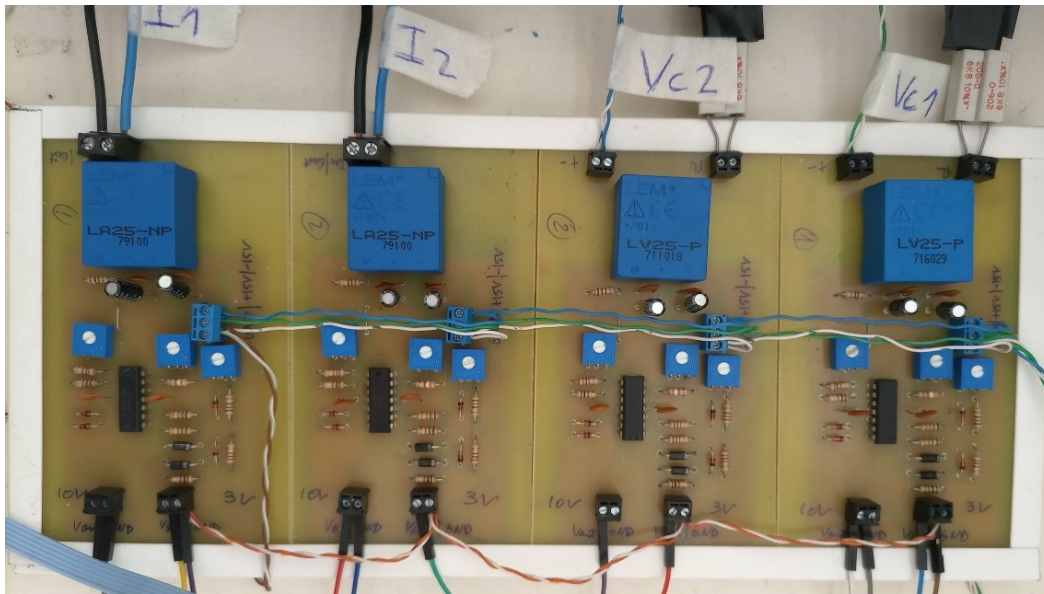


Figura D.7 – PCBs para a monitorização de tensão DC e corrente AC.

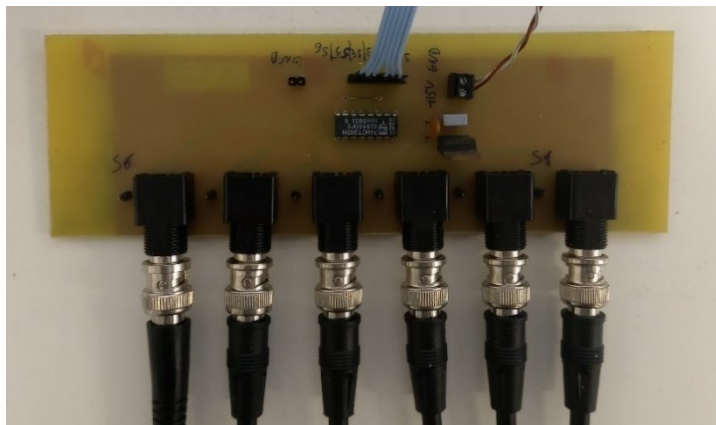


Figura D.8 – Circuito de adaptação de 3,3 V para 5 V.

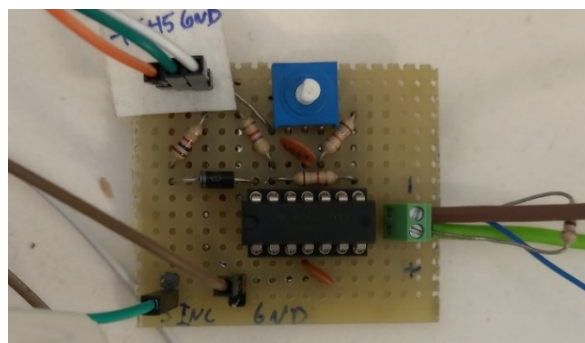


Figura D.9 – Circuito de deteção da passagem por zero da primeira fase da rede.

Apêndice E Código desenvolvido para o F28379D

E.1 Núcleo 2 – Controlo interno de corrente por MD

```
/*
 * CPU 2 - Controlo de Corrente por MD
 * Recebe as amostras da corrente de referência através dos registos IPC
 * Amostra as correntes i1, i2 no ADCB
 * Executa algoritmo por MD
 * Atualiza os GPIOs associados aos drivers
 */

#include <stdio.h>
#include "driverlib.h" //contém os headers dos periféricos (adc.h, gpio.h, epwm.h, etc.)
#include "device.h" //contém algumas definições de funções auxiliares, e pinos especiais da placa
(LEDs, I2C, SPI, etc)
#include "F2837xD_device.h" //Contém headers dos periféricos para trabalhar com os registos
(F2837xD_adc.h, F2837xD_gpio.h, F2837xD_ipc.h, etc)

#define LED_AZUL 31
#define LED_VERMELHO 34
#define LIM_HIST_ALFABETA1 0.2
#define LIM_HIST_ALFABETA2 0.35
#define LIM_HIST_ALFABETA3 0.5
#define LIM_HIST_ALFABETA4 0.65
#define LIM_HIST_SENT_POTENCIA 0.1
#define LIM_HIST_ERRO_UC 3.0

//Formato das tabelas
// Alfa
// -2 -1 0 1 2
// -2
// -1
//Beta 0
// 1
// 2
volatile uint8_t TABELA_VETORES_1[5][5] = {{3, 3, 12, 21, 20},\
{6, 15, 24, 24, 20},\
{9, 18, 27, 23, 19},\
{8, 17, 17, 26, 22},\
{8, 7, 16, 25, 25}};

volatile uint8_t TABELA_VETORES_2[5][5] = {{3, 3, 12, 21, 20},\
{6, 2, 11, 11, 20},\
{9, 5, 27, 10, 19},\
{8, 4, 4, 13, 22},\
{8, 7, 16, 25, 25}};

//Tabela com todos as combinações de gamas para os 27 vetores
volatile int8_t TABELA_GAMAS[27][3] = {{-1, -1, -1},\
{-1, -1, 0},\
{-1, -1, 1},\
{-1, 0, -1},\
{-1, 0, 0},\
{-1, 0, 1},\
```

```

{-1, 1, -1},\
{-1, 1, 0},\
{-1, 1, 1},\
{0, -1, -1},\
{0, -1, 0},\
{0, -1, 1},\
{0, 0, -1},\
{0, 0, 0},\
{0, 0, 1},\
{0, 1, -1},\
{0, 1, 0},\
{0, 1, 1},\
{1, -1, -1},\
{1, -1, 0},\
{1, -1, 1},\
{1, 0, -1},\
{1, 0, 0},\
{1, 0, 1},\
{1, 1, -1},\
{1, 1, 0},\
{1, 1, 1}};

```

```

//Valores em hexadecimal para os GPIO correspondentes a cada combinação de gamas
volatile uint8_t TABELA_GPIO_DRIVERS[27] = {0x0, 0x20, 0x30, 0x8, 0x28, 0x38, 0xC, 0x2C, 0x3C, 0x2,\
0x22, 0x32, 0xA, 0x2A, 0x3A, 0xE, 0x2E, 0x3E, 0x3, 0x23, 0x33, 0xB, 0x2B, 0x3B, 0xF, 0x2F, 0x3F};

```

```

interrupt void cpuTimer1ISR (void); // Rotina de interrupção do Timer que despoleta a amostragem
das correntes
interrupt void amostral12 (void); //Rotina de interrupção com o algoritmo MD, chamada depois das
conversões acabarem
void configCPUTimer1(float timerFrequency); //configuração do Timer1
void configADC(void); // configuração dos ADC

```

```

/**
 * main.c
 */
void main(void)
{
    //-----Inicialização dos módulos PIE (Peripheral Interrupt Enable)-----
    Interrupt_initModule(); // Inicializa o módulo PIE deste CPU, desativa interrupções globais,
limpa flags
    Interrupt_initVectorTable(); // Inicializa a tabela com apontadores para as rotinas de interrupção
pré definidas do PIE

    //-----Timers-----
    configCPUTimer1(150000); //Configura, carrega e ativa as interrupções do Timer 1

    //Não é necessário ativar a interrupção no CPU se não precisarmos da rotina de interrupção.
    //O timer serve apenas para acionar o ADCB (correntes)
    Interrupt_enable(INT_TIMER1); //Ativa a interrupção no CPU associada ao Timer 1 (INT13)
    Interrupt_register(INT_TIMER1, &cpuTimer1ISR); // Associa a rotina de interrupção

    //-----ADCs-----
    Interrupt_register(INT_ADCB1, &amostral12); // Associa a rotina de interrupção para o ADCB1
    Interrupt_enable(INT_ADCB1); // Ativa interrupção do PIE associada à INT1 do ADCB (INT1.2)

    //-----Interrupções + real time debug-----
    EINT;
}

```

```

ERTM;

while (1){
    NOP;
}
}

//-----TIMER-----
// Inicializa o Timer1 de acordo com a frequência indicada no argumento
// Ativa a interrupção do Timer1 que é utilizada para acionar os ADCs

void configCPUTimer1(float timerFrequency){

    uint32_t timerLoad;

    //Inicialização
    timerLoad = (uint32_t)(DEVICE_SYSCLK_FREQ / timerFrequency);
    CPUTimer_setPeriod(CPUTIMER1_BASE, timerLoad);

    // Configura o pre scaler com a frequência de clock original (0 -> divisão por 1)
    CPUTimer_setPreScaler(CPUTIMER1_BASE, 0);

    // Desliga Timer para a configuração, carrega a contagem no registo, ativa interrupções, inicia timer
    CPUTimer_reloadTimerCounter(CPUTIMER1_BASE);

    CPUTimer_setEmulationMode(CPUTIMER1_BASE,CPUTIMER_EMULATIONMODE_STOPAFTERNEXTDECRE
    MENT);
    CPUTimer_enableInterrupt(CPUTIMER1_BASE);
    CPUTimer_startTimer(CPUTIMER1_BASE);
}

//Função de interrupção do Timer1
//Utilizo apenas para indicar no osciloscópio o instante inicial da mostragem
interrupt void cpuTimer1ISR (void){
    ///Liga o GPIO15 para debug, indicando o início da conversão
    GpioDataRegs.GPADAT.bit.GPIO15 = 1;
}

// Rotina de interrupção do EOC1 do ADCB
// Obtém resultados das amostras de corrente i1 e i2
// Converte o valor do registo ADC para a corrente através da reta característica dos sensores
// Obtém o erro das tensões Uc1 e Uc2, e as correntes de referências a partir dos registos IPC
// Executa o resto do algoritmo do Modo de Deslizamento

interrupt void amostral12 (void){

    static float i1, i2, iAlfa, iBeta, iAlfaRef, iBetaRef;
    static float erroUc, erroiAlfa, erroiBeta;
    static float sentPotencia;
    static int8_t gama1, gama2, gama3, gama1_ant, gama2_ant, gama3_ant;
    static int8_t lambdaAlfa, lambdaBeta;
    static uint8_t compHistAlfa1, compHistAlfa2, compHistAlfa3, compHistAlfa4;
    static uint8_t compHistBeta1, compHistBeta2, compHistBeta3, compHistBeta4;
    static uint8_t bitSentPotencia, bitErroUc;
    static uint8_t vetorGamas;
    static uint8_t saidaDrivers;
    static uint16_t countDebug;

```

```
//Faz Acknowledge no grupo 1. Ver tabela na pag 6-15 do workshop
Interrupt_clearACKGroup(INTERRUPT_ACK_GROUP1);

//Leitura dos ADCs
i1 = 8.012820513*(AdcbResultRegs.ADCRESULT0*0.00073260073 - 1.5041); //0.00073260073 =
3.0/4095
i2 = 8.019246191*(AdcbResultRegs.ADCRESULT1*0.00073260073 - 1.5051);

//Transformada clarke
iAlfa = 1.224744871*i1;
iBeta = 0.707106781*i1 + 1.414213562*i2;

//Faz a leitura dos valores enviados pelo CPU1
erroUc = *(float *)&IpcRegs.IPCRECVCOM;
iAlfaRef = *(float *)&IpcRegs.IPCRECVADDR;
iBetaRef = *(float *)&IpcRegs.IPCRECVDATA;

//Cálculo dos erros
erroiAlfa = iAlfaRef - iAlfa;
erroiBeta = iBetaRef - iBeta;

//Cálculo sentido da potência
sentPotencia = (gama1_ant - gama3_ant)*i1 + (gama2_ant - gama3_ant)*i2;

//Cálculo da saída do comparador de histerese de 5 níveis do erroAlfa
//Na simulação as saídas são 0.5 e 0-5. Aqui uso 0 e 1 para não usar floats
if (erroiAlfa < -LIM_HIST_ALFABETA1){
    compHistAlfa1 = 0;
} else if (erroiAlfa > LIM_HIST_ALFABETA1){
    compHistAlfa1 = 1;
}
if (erroiAlfa < -LIM_HIST_ALFABETA2){
    compHistAlfa2 = 0;
} else if (erroiAlfa > LIM_HIST_ALFABETA2){
    compHistAlfa2 = 1;
}
if (erroiAlfa < -LIM_HIST_ALFABETA3){
    compHistAlfa3 = 0;
} else if (erroiAlfa > LIM_HIST_ALFABETA3){
    compHistAlfa3 = 1;
}
if (erroiAlfa < -LIM_HIST_ALFABETA4){
    compHistAlfa4 = 0;
} else if (erroiAlfa > LIM_HIST_ALFABETA4){
    compHistAlfa4 = 1;
}

lambdaAlfa = (int8_t)(compHistAlfa1 + compHistAlfa2 + compHistAlfa3 + compHistAlfa4) - 2;

//Cálculo da saída dos comparadores de histerese de 5 níveis do erroBeta
if (erroiBeta < -LIM_HIST_ALFABETA1){
    compHistBeta1 = 0;
} else if (erroiBeta > LIM_HIST_ALFABETA1){
    compHistBeta1 = 1;
}
if (erroiBeta < -LIM_HIST_ALFABETA2){
    compHistBeta2 = 0;
} else if (erroiBeta > LIM_HIST_ALFABETA2){
```

```

    compHistBeta2 = 1;
}
if (erroiBeta < -LIM_HIST_ALFABETA3){
    compHistBeta3 = 0;
} else if (erroiBeta > LIM_HIST_ALFABETA3){
    compHistBeta3 = 1;
}
if (erroiBeta < -LIM_HIST_ALFABETA4){
    compHistBeta4 = 0;
} else if (erroiBeta > LIM_HIST_ALFABETA4){
    compHistBeta4 = 1;
}

lambdaBeta = (compHistBeta1 + compHistBeta2 + compHistBeta3 + compHistBeta4) - 2;

//Cálculo da saída do comparador de histerese do sentido da potência
if (sentPotencia > LIM_HIST_SENT_POTENCIA){
    bitSentPotencia = 1;
} else if (sentPotencia < -LIM_HIST_SENT_POTENCIA){
    bitSentPotencia = 0;
}

//Cálculo da saída do comparador de histerese do erro das tensões dos condensadores
if (erroUc > LIM_HIST_ERRO_UC){
    bitErroUc = 1;
} else if (erroUc < -LIM_HIST_ERRO_UC){
    bitErroUc = 0;
}

//Escolha da tabela de vetores, conforme o sentido da potência e o erro dos condensadores
//Realiza a operação de NXOR, que é equivalente a verificar se as variáveis são iguais
//a b a XNOR b
//-----
//T T T
//T F F
//F T F
//F F T
if (bitSentPotencia == bitErroUc ){
    vetorGamas = TABELA_VETORES_1[lambdaBeta + 2][lambdaAlfa + 2];
}else{
    vetorGamas = TABELA_VETORES_2[lambdaBeta + 2][lambdaAlfa + 2];
}

gama1=TABELA_GAMAS[vetorGamas - 1][0];
gama2=TABELA_GAMAS[vetorGamas - 1][1];
gama3=TABELA_GAMAS[vetorGamas - 1][2];

// Correção dos gamas.
// Se a variação for igual a 2, significa que o vetor está a passar de -1 para 1 ou de 1 para -1
// Nesse caso tem de passar primeiro para o degrau intermédio (0)
// É equivalente à expressão da simulação, mas com menos verificações
// Se a variação não for de 2, então o gamak não precisa de ser corrigido
if (abs(gama1_ant-gama1) == 2){
    gama1 = 0;
}
if (abs(gama2_ant-gama2) == 2){
    gama2 = 0;
}

```

```
if (abs(gama3_ant-gama3) == 2){
    gama3 = 0;
}

//Mapeamento dos gamas nos GPIOs
saidaDrivers = TABELA_GPIO_DRIVERS[9*gama1 + 3*gama2 + gama3 + 13];

//Atualização da saída
//Usa os registos para ser mais rápido (6 ciclos vs 30 e tal ciclos)
//Usa a máscara 0xFFFFFC0 para só afetar os primeiros 6 bits correspondentes aos drivers
GpioDataRegs.GPADAT.all = saidaDrivers | (GpioDataRegs.GPADAT.all & 0xFFFFFC0);

//Guarda os valores para a próxima iteração
gama1_ant = gama1;
gama2_ant = gama2;
gama3_ant = gama3;

//Pisca LED Vermelho lentamente para indicar que está a funcionar
if (countDebug == 65000){
    GpioDataRegs.GPBTGGLE.bit.GPIO34 = 1;
    countDebug = 0;
}else{
    countDebug += 1;
}

//Indica o sentido da potência
GpioDataRegs.GPADAT.bit.GPIO26 = bitSentPotencia;
//Desliga o GPIO15 para debug, indicando o fim do algoritmo
GpioDataRegs.GPADAT.bit.GPIO15 = 0;
}
```

E.2 Núcleo 1 – Controlo de tensão AC com controlo interno por MD

```
/* -----
 * Controlo da tensão AC com controlo interno de corrente por MD
 * CPU1 amostra as tensões nos dois condensadores do barramento DC e dois no barramento AC
 * Calcula o erro entre a tensão AC e a tensão de referência nas componentes DQ
 * Calcula a corrente de referência através de um controlador PI
 * Envia as correntes de referência em alfa e beta, e o erro da tensão DC para o CPU2
 */

#include <stdio.h>
#include "driverlib.h" // Contém os headers dos periféricos (adc.h, gpio.h, epwm.h, etc)
#include "device.h" // Contém algumas definições de funções auxiliares, e pinos especiais da placa
(LEDs, I2C, SPI, etc)
#include "F2837xD_device.h" // Contém headers dos periféricos para trabalhar com os registos
(F2837xD_adc.h, F2837xD_gpio.h, F2837xD_ipc.h, etc)

#define LED_AZUL 31 // GPIO 31
#define LED_VERMELHO 34 // GPIO 34
#define nrAmostrasCiclo 200 // Nr de amostras em 1 ciclo
#define nrAmostrasMax 250 // Nr máximo de amostras na tabela de senos/cossenos
#define Fs 10000 // Frequência de amostragem das tensões
#define Ts 0.0001 // Intervalo de amostragem
#define kp_ac 0.0038 // Constante proporcional do PI da tensão AC
#define ki_ac 15.7080 // Constante integral do PI da tensão AC
```

```
//Tabela com amostras de cossenos e senos a utilizar na transformada de Park
volatile float TABELA_COS_SEN [nrAmostrasMax][2] = {{0.0000000000, -1.0000000000},\
{0.0314107591, -0.9995065604},\
{0.0627905195, -0.9980267284},\
{0.0941083133, -0.9955619646},\
{0.1253332336, -0.9921147013},\
{0.1564344650, -0.9876883406},\
{0.1873813146, -0.9822872507},\
{0.2181432414, -0.9759167619},\
{0.2486898872, -0.9685831611},\
{0.2789911060, -0.9602936857},\
{0.3090169944, -0.9510565163},\
{0.3387379202, -0.9408807690},\
{0.3681245527, -0.9297764859},\
{0.3971478906, -0.9177546257},\
{0.4257792916, -0.9048270525},\
{0.4539904997, -0.8910065242},\
{0.4817536741, -0.8763066800},\
{0.5090414158, -0.8607420270},\
{0.5358267950, -0.8443279255},\
{0.5620833779, -0.8270805743},\
{0.5877852523, -0.8090169944},\
{0.6129070537, -0.7901550124},\
{0.6374239897, -0.7705132428},\
{0.6613118653, -0.7501110696},\
{0.6845471059, -0.7289686274},\
{0.7071067812, -0.7071067812},\
{0.7289686274, -0.6845471059},\
{0.7501110696, -0.6613118653},\
{0.7705132428, -0.6374239897},\
{0.7901550124, -0.6129070537},\
{0.8090169944, -0.5877852523},\
{0.8270805743, -0.5620833779},\
{0.8443279255, -0.5358267950},\
{0.8607420270, -0.5090414158},\
{0.8763066800, -0.4817536741},\
{0.8910065242, -0.4539904997},\
{0.9048270525, -0.4257792916},\
{0.9177546257, -0.3971478906},\
{0.9297764859, -0.3681245527},\
{0.9408807690, -0.3387379202},\
{0.9510565163, -0.3090169944},\
{0.9602936857, -0.2789911060},\
{0.9685831611, -0.2486898872},\
{0.9759167619, -0.2181432414},\
{0.9822872507, -0.1873813146},\
{0.9876883406, -0.1564344650},\
{0.9921147013, -0.1253332336},\
{0.9955619646, -0.0941083133},\
{0.9980267284, -0.0627905195},\
{0.9995065604, -0.0314107591},\
{1.0000000000, 0.0000000000},\
{0.9995065604, 0.0314107591},\
{0.9980267284, 0.0627905195},\
{0.9955619646, 0.0941083133},\
{0.9921147013, 0.1253332336},\
{0.9876883406, 0.1564344650},\
{0.9822872507, 0.1873813146},\
```

{0.9759167619, 0.2181432414},\
{0.9685831611, 0.2486898872},\
{0.9602936857, 0.2789911060},\
{0.9510565163, 0.3090169944},\
{0.9408807690, 0.3387379202},\
{0.9297764859, 0.3681245527},\
{0.9177546257, 0.3971478906},\
{0.9048270525, 0.4257792916},\
{0.8910065242, 0.4539904997},\
{0.8763066800, 0.4817536741},\
{0.8607420270, 0.5090414158},\
{0.8443279255, 0.5358267950},\
{0.8270805743, 0.5620833779},\
{0.8090169944, 0.5877852523},\
{0.7901550124, 0.6129070537},\
{0.7705132428, 0.6374239897},\
{0.7501110696, 0.6613118653},\
{0.7289686274, 0.6845471059},\
{0.7071067812, 0.7071067812},\
{0.6845471059, 0.7289686274},\
{0.6613118653, 0.7501110696},\
{0.6374239897, 0.7705132428},\
{0.6129070537, 0.7901550124},\
{0.5877852523, 0.8090169944},\
{0.5620833779, 0.8270805743},\
{0.5358267950, 0.8443279255},\
{0.5090414158, 0.8607420270},\
{0.4817536741, 0.8763066800},\
{0.4539904997, 0.8910065242},\
{0.4257792916, 0.9048270525},\
{0.3971478906, 0.9177546257},\
{0.3681245527, 0.9297764859},\
{0.3387379202, 0.9408807690},\
{0.3090169944, 0.9510565163},\
{0.2789911060, 0.9602936857},\
{0.2486898872, 0.9685831611},\
{0.2181432414, 0.9759167619},\
{0.1873813146, 0.9822872507},\
{0.1564344650, 0.9876883406},\
{0.1253332336, 0.9921147013},\
{0.0941083133, 0.9955619646},\
{0.0627905195, 0.9980267284},\
{0.0314107591, 0.9995065604},\
{0.0000000000, 1.0000000000},\
{-0.0314107591, 0.9995065604},\
{-0.0627905195, 0.9980267284},\
{-0.0941083133, 0.9955619646},\
{-0.1253332336, 0.9921147013},\
{-0.1564344650, 0.9876883406},\
{-0.1873813146, 0.9822872507},\
{-0.2181432414, 0.9759167619},\
{-0.2486898872, 0.9685831611},\
{-0.2789911060, 0.9602936857},\
{-0.3090169944, 0.9510565163},\
{-0.3387379202, 0.9408807690},\
{-0.3681245527, 0.9297764859},\
{-0.3971478906, 0.9177546257},\
{-0.4257792916, 0.9048270525},\
{

```

{-0.4539904997, 0.8910065242},\
{-0.4817536741, 0.8763066800},\
{-0.5090414158, 0.8607420270},\
{-0.5358267950, 0.8443279255},\
{-0.5620833779, 0.8270805743},\
{-0.5877852523, 0.8090169944},\
{-0.6129070537, 0.7901550124},\
{-0.6374239897, 0.7705132428},\
{-0.6613118653, 0.7501110696},\
{-0.6845471059, 0.7289686274},\
{-0.7071067812, 0.7071067812},\
{-0.7289686274, 0.6845471059},\
{-0.7501110696, 0.6613118653},\
{-0.7705132428, 0.6374239897},\
{-0.7901550124, 0.6129070537},\
{-0.8090169944, 0.5877852523},\
{-0.8270805743, 0.5620833779},\
{-0.8443279255, 0.5358267950},\
{-0.8607420270, 0.5090414158},\
{-0.8763066800, 0.4817536741},\
{-0.8910065242, 0.4539904997},\
{-0.9048270525, 0.4257792916},\
{-0.9177546257, 0.3971478906},\
{-0.9297764859, 0.3681245527},\
{-0.9408807690, 0.3387379202},\
{-0.9510565163, 0.3090169944},\
{-0.9602936857, 0.2789911060},\
{-0.9685831611, 0.2486898872},\
{-0.9759167619, 0.2181432414},\
{-0.9822872507, 0.1873813146},\
{-0.9876883406, 0.1564344650},\
{-0.9921147013, 0.1253332336},\
{-0.9955619646, 0.0941083133},\
{-0.9980267284, 0.0627905195},\
{-0.9995065604, 0.0314107591},\
{-1.0000000000, 0.0000000000},\
{-0.9995065604, -0.0314107591},\
{-0.9980267284, -0.0627905195},\
{-0.9955619646, -0.0941083133},\
{-0.9921147013, -0.1253332336},\
{-0.9876883406, -0.1564344650},\
{-0.9822872507, -0.1873813146},\
{-0.9759167619, -0.2181432414},\
{-0.9685831611, -0.2486898872},\
{-0.9602936857, -0.2789911060},\
{-0.9510565163, -0.3090169944},\
{-0.9408807690, -0.3387379202},\
{-0.9297764859, -0.3681245527},\
{-0.9177546257, -0.3971478906},\
{-0.9048270525, -0.4257792916},\
{-0.8910065242, -0.4539904997},\
{-0.8763066800, -0.4817536741},\
{-0.8607420270, -0.5090414158},\
{-0.8443279255, -0.5358267950},\
{-0.8270805743, -0.5620833779},\
{-0.8090169944, -0.5877852523},\
{-0.7901550124, -0.6129070537},\
{-0.7705132428, -0.6374239897},\

```



```

        {0.8270805743, -0.5620833779},\
        {0.8443279255, -0.5358267950},\
        {0.8607420270, -0.5090414158},\
        {0.8763066800, -0.4817536741},\
        {0.8910065242, -0.4539904997},\
        {0.9048270525, -0.4257792916},\
        {0.9177546257, -0.3971478906},\
        {0.9297764859, -0.3681245527},\
        {0.9408807690, -0.3387379202},\
        {0.9510565163, -0.3090169944},\
        {0.9602936857, -0.2789911060},\
        {0.9685831611, -0.2486898872},\
        {0.9759167619, -0.2181432414},\
        {0.9822872507, -0.1873813146},\
        {0.9876883406, -0.1564344650},\
        {0.9921147013, -0.1253332336},\
        {0.9955619646, -0.0941083133},\
        {0.9980267284, -0.0627905195},\
        {0.9995065604, -0.0314107591}};

// Definições das funções
void configCPUTimer1(float timerFrequency); // Configuração Timer que despoleta a amostragem das
tensões
void configADCA(void); //Configuração do ADC das tensões Uc1 e Uc2
void configADCB(void); //Configuração do ADC das correntes i1 e i2 (CPU2)
void configADCC(void); //Configuração do ADC das tensões Uac1 e Uac2
interrupt void amostraUc12 (void); //Rotina de interrupção chamada depois das amostragens
estarem concluídas
interrupt void cpuTimer1ISR (void); //Rotina de interrupção Timer1
void InitDacA(void); //Configuração dos DACs (apenas para debug)
void InitDacB(void);

/**
 * main.c
 */
void main(void)
{
    //-----Inicialização sistema-----
    Device_init(); // Inicializa periféricos e configura relógio (200 MHz)
    Device_initGPIO(); // Desbloqueia a configuração dos GPIOs e deixa-os em pull-up

    //----Inicialização dos módulos PIE (Peripheral Interrupt Enable)----
    Interrupt_initModule(); // Inicializa o módulo PIE deste CPU, desativa interrupções globais, limpa
flags
    Interrupt_initVectorTable(); // Inicializa a tabela com apontadores para as rotinas de interrupção pré
definidas do PIE

    //-----Timers-----
    configCPUTimer1(Fs); // Configura, carrega e ativa as interrupções do Timer 1 (controla
a amostragem da tensão)
    //Não é necessário ativar a interrupção no CPU se não precisarmos da rotina de interrupção.
    //O timer serve apenas para acionar o ADC
    Interrupt_enable(INT_TIMER1); // Ativa a interrupção no CPU associada ao Timer 1 (INT13)
    Interrupt_register(INT_TIMER1, &cpuTimer1ISR); // Associa a rotina de interrupção do Timer 1

    //-----ADCs-----
    configADCA(); // Módulos ADC para a amostragem das tensões Uc1, Uc2
    configADCC(); // Módulos ADC para a amostragem das tensões Uac1, Uac2

```

```

Interrupt_register(INT_ADCA1, &amostraUc12); // Associa a rotina de interrupção para o ADCA1
Interrupt_enable(INT_ADCA1); // Ativa interrupção do PIE associada à INT1 do ADCA (INT1.1)

configADCB(); // Configura Módulos ADC para a amostragem das correntes i1, i2 (CPU2)

//-----GPIOs-----
//GPIOs genéricos para debug
GPIO_setPadConfig(LED_AZUL, GPIO_PIN_TYPE_STD); // debug CPU1 - Indicação visual
GPIO_setPadConfig(LED_VERMELHO, GPIO_PIN_TYPE_STD); // debug CPU2 - Indicação visual
GPIO_setPadConfig(15, GPIO_PIN_TYPE_STD); // debug CPU2 - Início/Fim do algoritmo
GPIO_setPadConfig(26, GPIO_PIN_TYPE_STD); // debug CPU2 - Sentido potência
GPIO_setPadConfig(14, GPIO_PIN_TYPE_STD); // debug CPU1 - Início/Fim do algoritmo
GPIO_setPadConfig(6, GPIO_PIN_TYPE_STD); // debug CPU1 - Indicação visual sincronismo

GPIO_setDirectionMode(LED_AZUL, GPIO_DIR_MODE_OUT);
GPIO_setDirectionMode(LED_VERMELHO, GPIO_DIR_MODE_OUT);
GPIO_setDirectionMode(15, GPIO_DIR_MODE_OUT);
GPIO_setDirectionMode(26, GPIO_DIR_MODE_OUT);
GPIO_setDirectionMode(14, GPIO_DIR_MODE_OUT);
GPIO_setDirectionMode(6, GPIO_DIR_MODE_OUT);

GPIO_setMasterCore(LED_VERMELHO, GPIO_CORE_CPU2); // Led vermelho fica para debug no CPU2
GPIO_setMasterCore(15, GPIO_CORE_CPU2); // GPIO 15 fica para o CPU2
GPIO_setMasterCore(26, GPIO_CORE_CPU2); // GPIO 26 fica para o CPU2

// GPIOs para os drivers, controlados pelo CPU2
// GPIO0-GPIO5 (Port A)
uint8_t i;
for (i = 0; i < 6; i++) {
    GPIO_setPadConfig(i, GPIO_PIN_TYPE_STD);
    GPIO_setDirectionMode(i, GPIO_DIR_MODE_OUT);
    GPIO_setMasterCore(i, GPIO_CORE_CPU2);
}

//-----DAC-----
//DACs para visualizar sinais analógicos no osciloscópio
InitDacA();
InitDacB();

//-----Ativa interrupções globais e debug real time-----
EINT;
ERTM;

while (1){
    NOP;
}

interrupt void cpuTimer1ISR (void){
    // Liga pino de debug para visualizar no osciloscópio o fim do algoritmo
    GpioDataRegs.GPADAT.bit.GPIO14 = 1;
}

//-----
// Rotina de interrupção do ADCA
// Obtém resultados das amostras de tensão Uc1, Uc2, Uac1 e Uac2
// Calcula o erro das tensões dos condensadores
// Calcula erro das tensões AC e calcula a corrente de referência através de um PI

```

```
// Envia o erro dos condensadores e as correntes de referências em dq para o CPU2 através dos registos IPC
```

```
interrupt void amostraUc12 (void){
```

```
    static uint16_t sinal_dac;
    static uint16_t countGPIO;
    static float erroUc, Uc1, Uc2, Uac1, Uac2;
    static float Uac_d, erroUac_d, erroUac_d_ant, Uac_q, erroUac_q, erroUac_q_ant;
    static float UacAlfa, UacBeta;
    static float iAlfaRef, iBetaRef;
    static float idRef, iqRef;
    static const float idRef_max = 11.5*1.22;
    static const float iqRef_max = 11.5*1.22;
    static float Uac_d_Ref = 35*1.22;
    static float Uac_q_Ref = 0;
    static float const fatorPI1 = (kp_ac + Ts*ki_ac*0.5);
    static float const fatorPI2 = (Ts*ki_ac*0.5- kp_ac);
    static float mediaUc1, mediaUc2, mediaUac1, mediaUac2;
    static uint8_t amostraAtual;
```

```
    // Acknowledge the PIE group
    PieCtrlRegs.PIEACK.all=INTERRUPT_ACK_GROUP1;
```

```
    //O ADCA e ADCC são acionados em paralelo, mas só o ADCA é que gera esta interrupção
    //O while abaixo garante que só se avança quando o ADCC também já acabou a conversão
    while(AdccRegs.ADCCTL1.bit.ADCBSY == 1){};
```

```
    // Leitura tensões DC e cálculo da média de 8 medições para minimizar o ruído
    mediaUc1 = 0.125*(AdcaResultRegs.ADCRESULT0 + AdcaResultRegs.ADCRESULT1 +\
    AdcaResultRegs.ADCRESULT2 + AdcaResultRegs.ADCRESULT3 + AdcaResultRegs.ADCRESULT4 +\
    AdcaResultRegs.ADCRESULT5 + AdcaResultRegs.ADCRESULT6 + AdcaResultRegs.ADCRESULT7);
```

```
    mediaUc2 = 0.125*(AdcaResultRegs.ADCRESULT8 + AdcaResultRegs.ADCRESULT9 +\
    AdcaResultRegs.ADCRESULT10 + AdcaResultRegs.ADCRESULT11 +\
    AdcaResultRegs.ADCRESULT12 +AdcaResultRegs.ADCRESULT13 + AdcaResultRegs.ADCRESULT14 +\
    AdcaResultRegs.ADCRESULT15);
```

```
    // Leitura tensões AC e cálculo da média de 8 medições para minimizar o ruído
    mediaUac1 = 0.125*(AdccResultRegs.ADCRESULT0 + AdccResultRegs.ADCRESULT1 +\
    AdccResultRegs.ADCRESULT2 + AdccResultRegs.ADCRESULT3 + AdccResultRegs.ADCRESULT4 +\
    AdccResultRegs.ADCRESULT5 + AdccResultRegs.ADCRESULT6 + AdccResultRegs.ADCRESULT7);
```

```
    mediaUac2 = 0.125*(AdccResultRegs.ADCRESULT8 + AdccResultRegs.ADCRESULT9 +\
    AdccResultRegs.ADCRESULT10 + AdccResultRegs.ADCRESULT11 +\
    AdccResultRegs.ADCRESULT12 +AdccResultRegs.ADCRESULT13 + AdccResultRegs.ADCRESULT14 +\
    AdccResultRegs.ADCRESULT15);
```

```
    // Conversão das tensões
    // 0.00073260073 = 3/4095
    // Função de transferência da PCB por ajuste dos pontos experimentais
    Uc1 = 86.956521739*(mediaUc1*0.00073260073 - 1.5047);
    Uc2 = 86.206896552*(mediaUc2*0.00073260073 - 1.4983);
```

```
    Uac1 = 39.84063745*(mediaUac1*0.00073260073 -1.503);
    Uac2 = 40.0*(mediaUac2*0.00073260073 - 1.5043);
```

```
    //Transformada de Clarke
```

```
UacAlfa = 1.224744871*Uac1;
UacBeta = 0.707106781*Uac1 + 1.414213562*Uac2;

//Transformada de Park
Uac_d = TABELA_COS_SEN[amostraAtual][0]*UacAlfa + TABELA_COS_SEN[amostraAtual][1]*UacBeta;
Uac_q = -TABELA_COS_SEN[amostraAtual][1]*UacAlfa + TABELA_COS_SEN[amostraAtual][0]*UacBeta;

//Erro tensões DC
erroUc = Uc1 - Uc2;

//Erro Tensões AC
erroUac_d = Uac_d_Ref - Uac_d;
erroUac_q = Uac_q_Ref - Uac_q;

//Controlador PI
idRef = idRef + fatorPI1*erroUac_d + fatorPI2*erroUac_d_ant;
iqRef = iqRef + fatorPI1*erroUac_q + fatorPI2*erroUac_q_ant;

//Limitação da referência
if (idRef > idRef_max){
    idRef = idRef_max;
} else if (idRef < -idRef_max){
    idRef = -idRef_max;
}

if (iqRef > iqRef_max){
    iqRef = iqRef_max;
} else if (iqRef < -iqRef_max){
    iqRef = -iqRef_max;
}

//Transformada de Park inversa para o cálculo das referências em alfa/beta
iAlfaRef = TABELA_COS_SEN[amostraAtual][0]*idRef - TABELA_COS_SEN[amostraAtual][1]*iqRef;
iBetaRef = TABELA_COS_SEN[amostraAtual][1]*idRef + TABELA_COS_SEN[amostraAtual][0]*iqRef;

// Envio dos valores para o CPU2
IpcRegs.IPCSENDCOM = *(uint32_t*)&erroUc;
IpcRegs.IPCSENDADDR = *(uint32_t*)&iAlfaRef;
IpcRegs.IPCSENDATA = *(uint32_t*)&iBetaRef;

// Incremento da tabela de senos e cossenos
if (amostraAtual == nrAmostrasCiclo-1){
    amostraAtual = 0;
}else{
    amostraAtual += 1;
}

// Atualiza o erro para a próxima amostragem
erroUac_d_ant = erroUac_d;
erroUac_q_ant = erroUac_q;

//-----DEBUG-----
// Apresenta sinais analógicos no osciloscópio
sinal_dac = (uint16_t) 100*iAlfaRef + 2048;
DAC_setShadowValue(DACA_BASE, sinal_dac);
sinal_dac = (uint16_t) 100*iBetaRef + 2048;
DAC_setShadowValue(DACB_BASE, sinal_dac);
```

```

// Desliga pino de debug para visualizar no osciloscópio o fim do algoritmo
GpioDataRegs.GPADAT.bit.GPIO14 = 0;

//Pisca LED Azul lentamente para mostrar que está a funcionar (~1Hz)
if (countGPIO == 5000){
    GpioDataRegs.GPATOGGLE.bit.GPIO31=1;
    countGPIO=0;
}else{
    countGPIO+=1;
}
}

//-----TIMER-----
// Configura e inicializa o Timer com uma dada frequência
// O Timer serve para acionar a amostragem das tensões Uc1, Uc2, Uac1, Uac2 nos módulos ADC
//
void configCPUtimer1(float timerFrequency){

    uint32_t timerLoad;

    //Inicialização
    timerLoad = (uint32_t)(DEVICE_SYSCCLK_FREQ / timerFrequency);
    CPUtimer_setPeriod(CPUTIMER1_BASE, timerLoad);

    // Configura o pre scaler com a frequência de clock original (0 -> divisão por 1)
    CPUtimer_setPreScaler(CPUTIMER1_BASE, 0);

    // Desliga Timer para a configuração, carrega a contagem no registo, ativa interrupções, inicia timer
    CPUtimer_stopTimer(CPUTIMER1_BASE);
    CPUtimer_reloadTimerCounter(CPUTIMER1_BASE);

    CPUtimer_setEmulationMode(CPUTIMER1_BASE,CPUTIMER_EMULATIONMODE_STOPAFTERNEXTDECRE
    MENT);
    CPUtimer_enableInterrupt(CPUTIMER1_BASE);
    CPUtimer_startTimer(CPUTIMER1_BASE); // Starts CPU-Timer 1
}

//-----ADCs-----
//Configura ADCA para as duas tensões Uc1 e Uc2
//São tiradas 8 amostras seguidas em cada canal, para depois calcular a média e minimizar o ruído
//Pino 29, ADCA2 - Uc1
//Pino 26, ADCA3 - Uc2
void configADCA(void){

    SysCtl_resetPeripheral(SYSCTL_PERIPH_RES_ADCA);

    //----- Configure the ADC-A base registers-----
    ADC_disableConverter(ADCA_BASE); // Desliga durante a configuração
    ADC_setMode(ADCA_BASE, ADC_RESOLUTION_12BIT, ADC_MODE_SINGLE_ENDED); // 12-bit, single-
    ended
    ADC_setPrescaler(ADCA_BASE, ADC_CLK_DIV_4_0); // ADC clock prescaler = CPUCLK/4
    ADC_setInterruptPulseMode(ADCA_BASE, ADC_PULSE_END_OF_CONV); // Interrupção no fim da
    conversão

    //-----Configuração dos registos SOC (Start of Conversion) do módulo ADCA-----
    // Ambos os canais são acionados pelo mesmo sinal (flag do timer1 do CPU1)
    // Canal A2, SOC0-7 - Corrente Uc1
    // Canal A3, SOC8-15 - Corrente Uc2

```

```

// São configurados vários SOC para sobreamostrar e fazer uma média
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER0, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER1, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER2, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER3, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER4, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER5, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER6, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER7, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 60);

ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER8, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER9, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER10, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER11, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER12, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER13, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER14, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 60);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER15, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 60);

// Prioridade por Round Robin
// Os canais 2 (SOC0 a SOC7) e 3 (SOC8 a SOC15) são convertidos sequencialmente
ADC_setSOCPriority(ADCA_BASE, ADC_PRI_ALL_ROUND_ROBIN);

// Configuração interrupções
ADC_enableContinuousMode(ADCA_BASE, ADC_INT_NUMBER1);
ADC_setInterruptSource(ADCA_BASE, ADC_INT_NUMBER1, ADC_SOC_NUMBER15); //Interrupção é
ativada pela amostragem do último SOC, que é o SOC15
ADC_enableInterrupt(ADCA_BASE, ADC_INT_NUMBER1);

// Ativação do módulo
ADC_enableConverter(ADCA_BASE);
DEVICE_DELAY_US(1000);
}

//-----ADCs-----
//Utilizados apenas no CPU2
//Pino 28, ADCB2 - i1
//Pino 25, ADCB3 - i2
void configADCB(void){
//-----Inicialização do ADC-----
SysCtl_resetPeripheral(SYSCTL_PERIPH_RES_ADCB);

//----- Configure the ADC-B base registers-----
ADC_disableConverter(ADCB_BASE); // Desliga durante a configuração
ADC_setMode(ADCB_BASE, ADC_RESOLUTION_12BIT, ADC_MODE_SINGLE_ENDED); // 12-bit, single-
ended
ADC_setPrescaler(ADCB_BASE, ADC_CLK_DIV_4_0); // ADC clock prescaler = CPUCLK/4
ADC_setInterruptPulseMode(ADCB_BASE, ADC_PULSE_END_OF_ACQ_WIN); // Interrupção no fim
da conversão

//-----Configuração dos registos SOC (Start of Conversion) do módulo ADCB
// Canal B2, SOC0 - Corrente i1
// Canal B3, SOC1 - Corrente i2
// Ambos os canais são acionados pelo mesmo sinal (flag do timer1 do CPU2)
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER0, ADC_TRIGGER_CPU2_TINT1, ADC_CH_ADCIN2, 100);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER1, ADC_TRIGGER_CPU2_TINT1, ADC_CH_ADCIN3, 100);

// Prioridade por Round Robin

```

```

// Os canais 2 (SOC0) e 3 (SOC1) são convertidos sequencialmente
ADC_setSOCPriority(ADCB_BASE, ADC_PRI_ALL_ROUND_ROBIN);

// Configuração interrupções
ADC_enableContinuousMode(ADCB_BASE, ADC_INT_NUMBER1);
ADC_setInterruptSource(ADCB_BASE, ADC_INT_NUMBER1, ADC_SOC_NUMBER1); // Interrupção é
ativada pelo SOC1, que é o último a amostrar
ADC_enableInterrupt(ADCB_BASE, ADC_INT_NUMBER1);

// Ativação do módulo
ADC_enableConverter(ADCB_BASE);
DEVICE_DELAY_US(1000);
}

//-----ADCs-----
//Configura ADCC para as duas tensões Uac1 e Uac2
//São tiradas 8 amostras seguidas em cada canal, para depois calcular a média e minimizar o ruído
//Pino 67, ADCC4 - Uac1
//Pino 64, ADCC5 - Uac2
void configADCC(void){

    SysCtl_resetPeripheral(SYSCTL_PERIPH_RES_ADCC);

    //----- Configure the ADC-C base registers-----
    ADC_disableConverter(ADCC_BASE); // Desliga durante a configuração
    ADC_setMode(ADCC_BASE, ADC_RESOLUTION_12BIT, ADC_MODE_SINGLE_ENDED); // 12-bit, single-
ended
    ADC_setPrescaler(ADCC_BASE, ADC_CLK_DIV_4_0); // ADC clock prescaler = CPUCLK/4
    ADC_setInterruptPulseMode(ADCC_BASE, ADC_PULSE_END_OF_CONV); // Interrupção no fim da
conversão

    //-----Configuração dos registos SOC (Start of Conversion) do módulo ADCC-----
    // Ambos os canais são acionados pelo mesmo sinal (flag do timer1 do CPU1)
    // Canal C4, SOC0-7 - Tensão Uac1
    // Canal C5, SOC8-15 - Tensão Uac2
    // São configurados vários SOC para sobreamostrar e fazer uma média
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER0, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER1, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER2, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER3, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER4, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER5, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER6, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER7, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);

    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER8, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER9, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER10, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER11, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER12, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER13, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER14, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER15, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);

    // Prioridade por Round Robin
    // Os canais 4 (SOC0 a SOC7) e 5 (SOC8 a SOC15) são convertidos sequencialmente
    ADC_setSOCPriority(ADCC_BASE, ADC_PRI_ALL_ROUND_ROBIN);

```

```
//Não ativa interrupções porque já é feito no outro modulo.
//Este ADC funciona em paralelo com o das tensões Uc1, Uc2

// Ativação do módulo
ADC_enableConverter(ADCC_BASE);
DEVICE_DELAY_US(1000);
}

//-----DACS-----
//Pino 30
void InitDacA(void){
//--- Set VREFHI as the DAC reference voltage
    DAC_setReferenceVoltage(DACA_BASE, DAC_REF_ADC_VREFHI);

//-- Set load mode
    DAC_setLoadMode(DACA_BASE, DAC_LOAD_SYSCLK);

//--- Set DAC-A output to mid-range
    DAC_setShadowValue(DACA_BASE, 0x0800);

//--- Ativa o DAC A
    DAC_enableOutput(DACA_BASE);
    DEVICE_DELAY_US(10);
}

//Pino 70
void InitDacB(void)
{
//--- Set VREFHI as the DAC reference voltage
    DAC_setReferenceVoltage(DACB_BASE, DAC_REF_ADC_VREFHI);

//-- Set load mode
    DAC_setLoadMode(DACB_BASE, DAC_LOAD_SYSCLK);

//--- Set DAC-B output to mid-range
    DAC_setShadowValue(DACB_BASE, 0x0800);

//--- Enable DAC-B output
    DAC_enableOutput(DACB_BASE);
    DEVICE_DELAY_US(10);
}
```

E.3 Configuração da interrupção externa do circuito de sincronismo

```
// GPIO para a interrupção externa do sincronismo
// Pino 40, GPIO 95
// Associa à interrupção XINT3, que fica no grupo 12 do PIE
// Desta forma não interfere com o grupo 1 com a interrupção do ADC
// Ver página 4-5 do workshop com a tabela
GPIO_setPadConfig(95, GPIO_PIN_TYPE_STD);
GPIO_setDirectionMode(95, GPIO_DIR_MODE_IN);

// A entrada só é alterada após 6 amostras com o mesmo sinal, espaçadas de 100 ciclos de relógio
GPIO_setQualificationMode(95, GPIO_QUAL_6SAMPLE);
GPIO_setQualificationPeriod(95, 100);
GPIO_setInterruptPin(95, GPIO_INT_XINT3);
```

```

GPIO_setInterruptType(GPIO_INT_XINT3, GPIO_INT_TYPE_RISING_EDGE); // Interrupção na subida
GPIO_enableInterrupt(GPIO_INT_XINT3); // Ativa XINT3
Interrupt_register(INT_XINT3, &syncRede); // Mapeia a rotina de interrupção

Interrupt_enable(INT_XINT3); // Ativa a interrupção no PIE associada à XINT3 (INT12.1)

//-----Interrupção externa para o sincronismo-----
// Pino 42, GPIO 95
// Faz reset à posição da tabela
// Pisca o LED no GPIO 6 (Pino 80) para indicar que está a detetar corretamente a passagem por zero
interrupt void syncRede (void){

    static uint8_t countGPIO = 0;

    PieCtrlRegs.PIEACK.all = INTERRUPT_ACK_GROUP12;

    //Pisca lentamente
    if (countGPIO == 25){
        GpioDataRegs.GPATOGGLE.bit.GPIO6 = 1;
        countGPIO = 0;
    }

    //Faz reset da posição da tabela
    //O reset é logo para a posição 4 para compensar o atraso da histerese
    amostraAtual = 4;
    countGPIO+=1;
}

```

E.4 Núcleo 1 – Controlo de tensão AC com controlo interno por PWM

```

/*-----
* Controlo de tensão AC por PWM
* CPU1 amostra as tensões nos dois condensadores C1 e C2 e correntes i1 e i2
* Calcula PI em dq para os moduladores PWM
* Faz a compensação do desequilíbrio dos condensadores através de um offset no uControlo
*
*/
#include <stdio.h>
#include "driverlib.h" //contém os headers dos periféricos (adc.h, gpio.h, epwm.h, etc)
#include "device.h" //contém algumas definições de funções auxiliares, e pinos especiais da placa
(LEDs, I2C, SPI, etc)
#include "F2837xD_device.h"
#define LED_AZUL 31
#define LED_VERMELHO 34
#define NR_AMOSTRAS_CICLO 200 // Nr de amostras dos senos e cossenos em 1 ciclo
#define NR_AMOSTRAS_MAX 250 // Nr de amostras dos senos e cossenos na tabela
#define Fs 40000 // Frequência de amostragem das tensões e correntes
#define Ts 0.000025 // Intervalo de amostragem das tensões e correntes
#define Fc 5000 // Frequência da portadora
#define KI_I 125.66 // ki controlador corrente
#define KP_I 12.56 // kp controlador corrente
#define KI_OFFSET 32.4 // ki controlador desequilíbrio condensadores
#define KP_OFFSET 0.0055 // kp controlador desequilíbrio condensadores
#define GAMA_MAX 150.0 // limitação dos gamas
#define OFFSET_MAX 0.05 // limitação offset no equilíbrio dos condensadores
#define KP_AC 0.0038 // Constante proporcional do PI da tensão AC
#define KI_AC 15.7080 // Constante integral do PI da tensão AC

```

```

//Definições das funções
interrupt void amostragem (void);
interrupt void cpuTimer1ISR (void);
void configCPUTimer1(float timerFrequency);
void configADCA(void);
void configADCB(void);
void configADCC(void);
void configPWM (void);
void InitDacA(void);
void InitDacB(void);

/**
 * main.c
 */
void main(void)
{
    //-----Inicialização sistema-----
    Device_init();          // Inicializa periféricos e configura relógio (200 MHz)
    Device_initGPIO();     // Desbloqueia a configuração dos GPIOs e deixa-os em pull-up

    //----Inicialização dos módulos PIE (Peripheral Interrupt Enable)----
    Interrupt_initModule(); // Inicializa o módulo PIE deste CPU, desativa interrupções globais, limpa
flags
    Interrupt_initVectorTable(); // Inicializa a tabela com apontadores para as rotinas de interrupção
pré definidas do PIE

    //-----Timers-----
    configCPUTimer1(Fs);    // Configura, carrega e ativa as interrupções do Timer 1 (controla
a amostragem da tensão)
    //Não é necessário ativar a interrupção no CPU se não precisarmos da rotina de interrupção. O timer
serve apenas para acionar o ADC
    Interrupt_enable(INT_TIMER1); // Ativa a interrupção no CPU associada ao Timer 1 (INT13)
    Interrupt_register(INT_TIMER1, &cpuTimer1ISR); // Associa a rotina de interrupção do Timer1

    //-----ADCs-----
    //Os ADCs vão ser acionados em paralelo e só um deles é que precisa de gerar interrupção
    configADCA();          // Módulo ADC para a amostragem das tensões Uc12
    configADCB();          // Módulo ADC para a amostragem das correntes i1, i2
    configADCC();          // Módulo ADC para a amostragem das tensões Uac1, Uac2
    Interrupt_register(INT_ADCB1, &amostragem); // Associa a rotina de interrupção para o ADCB1
(correntes i1 e i2)
    Interrupt_enable(INT_ADCB1); // Ativa interrupção do PIE associada à INT1 do ADCB (INT1.2)

    //-----GPIOs-----
    //GPIOs genéricos para debug
    GPIO_setPadConfig(LED_AZUL, GPIO_PIN_TYPE_STD); // debug CPU1 - Indicação visual
    GPIO_setPadConfig(LED_VERMELHO, GPIO_PIN_TYPE_STD); // debug CPU2 - Indicação visual

    GPIO_setPadConfig(15, GPIO_PIN_TYPE_STD); // debug CPU2 - Inicio/Fim do algoritmo
    GPIO_setPadConfig(26, GPIO_PIN_TYPE_STD); // debug CPU2 - Sentido potência
    GPIO_setPadConfig(14, GPIO_PIN_TYPE_STD); // debug CPU1 - Inicio/Fim do algoritmo
    GPIO_setPadConfig(6, GPIO_PIN_TYPE_STD); // debug CPU1 - Indicação visual sincronismo Rede

    GPIO_setDirectionMode(LED_AZUL, GPIO_DIR_MODE_OUT);
    GPIO_setDirectionMode(LED_VERMELHO, GPIO_DIR_MODE_OUT);
    GPIO_setDirectionMode(15, GPIO_DIR_MODE_OUT);
    GPIO_setDirectionMode(26, GPIO_DIR_MODE_OUT);
    GPIO_setDirectionMode(14, GPIO_DIR_MODE_OUT);

```

```

GPIO_setDirectionMode(6, GPIO_DIR_MODE_OUT);

// GPIOs para os drivers, controlados pelos ePWM respetivos
// GPIO0-GPIO5 (Port A)
//EPWM1 -> myEPWM1 Pinmux
GPIO_setPinConfig(GPIO_0_EPWM1A);
GPIO_setPinConfig(GPIO_1_EPWM1B);
//EPWM2 -> myEPWM2 Pinmux
GPIO_setPinConfig(GPIO_2_EPWM2A);
GPIO_setPinConfig(GPIO_3_EPWM2B);
//EPWM3 -> myEPWM3 Pinmux
GPIO_setPinConfig(GPIO_4_EPWM3A);
GPIO_setPinConfig(GPIO_5_EPWM3B);

//-----PWM-----
SysCtl_disablePeripheral(SYSCTL_PERIPH_CLK_TBCLKSYNC);

configPWM();

SysCtl_enablePeripheral(SYSCTL_PERIPH_CLK_TBCLKSYNC);

//-----DAC-----
InitDacA();
InitDacB();
//-----Ativa interrupções globais e debug real time-----
EINT;
ERTM;

while (1){
    NOP;
}

interrupt void cpuTimer1ISR (void){
    //Desliga pino de debug para visualizar no osciloscópio
    GpioDataRegs.GPADAT.bit.GPIO14 = 0;
}

//-----
// Rotina de interrupção do ADCB
// Obtém resultados das amostras de tensão Uc1, Uc2, Uac2, Uac2 e correntes i1, i2
// Converte os valores do ADC para os valores de tensão/corrente e calcula os erros
// Atualiza os sinais dos moduladores
interrupt void amostragem (void){

    static float erroUc, erroUc_ant, Uc1, Uc2;
    static float Uac_d, erroUac_d, erroUac_d_ant, Uac_q, erroUac_q, erroUac_q_ant;
    static float UacAlfa, UacBeta, Uac1, Uac2;
    static float i1, i2, iAlfa, iBeta, id, iq, idRef, iqRef, erroId, erroIq, erroId_ant, erroIq_ant;
    static float gama1, gama2, gama3, gamaAlfa, gamaBeta;
    static float gama_d, gama_q;
    static float offset;
    static float const fator1PI_gamas = (KP_I + Ts*KI_I*0.5);
    static float const fator2PI_gamas = (Ts*KI_I*0.5- KP_I);
    static float const fator1PI_offset = (KP_OFFSET + Ts*KI_OFFSET*0.5);
    static float const fator2PI_offset = (Ts*KI_OFFSET*0.5- KP_OFFSET);
    static float fatorPI1_ac = (KP_AC + Ts*KI_AC*0.5);
    static float fatorPI2_ac = (Ts*KI_AC*0.5- KP_AC);

```

```

static const float idRef_max = 11.0*1.22;
static const float iqRef_max = 11.0*1.22;
static float Uac_d_Ref = 35*1.22;
static float Uac_q_Ref = 0;
static uint16_t count;
static int8_t bitSentPot;
static float mediaI1, mediaI2, mediaUc1, mediaUc2, mediaUac1, mediaUac2;
static uint16_t periodoPWM = 20000000/(2*Fc);
static uint16_t valor_dac;
static uint8_t contaPeriodo = 0;
static uint8_t amostraAtual;

//Acknowledge the PIE group
PieCtrlRegs.PIEACK.all=INTERRUPT_ACK_GROUP1;

//O ADC, ADCB, ADCC são acionados em paralelo, mas só o ADCB é que gera esta interrupção
//O while abaixo garante que só se avança quando os outros também já acabaram a conversão
while(AdcaRegs.ADCCTL1.bit.ADCBSY == 1){};
while(AdccRegs.ADCCTL1.bit.ADCBSY == 1){};

// Leitura das tensões DC e cálculo da média de 8 medições para minimizar o ruído
mediaUc1 = 0.125*(AdcaResultRegs.ADCRESULT0 + AdcaResultRegs.ADCRESULT1 + \
AdcaResultRegs.ADCRESULT2 + AdcaResultRegs.ADCRESULT3 + AdcaResultRegs.ADCRESULT4 + \
AdcaResultRegs.ADCRESULT5 + AdcaResultRegs.ADCRESULT6 + \ AdcaResultRegs.ADCRESULT7);

mediaUc2 = 0.125*(AdcaResultRegs.ADCRESULT8 + AdcaResultRegs.ADCRESULT9 + \
AdcaResultRegs.ADCRESULT10 + AdcaResultRegs.ADCRESULT11 + \
AdcaResultRegs.ADCRESULT12 + AdcaResultRegs.ADCRESULT13 + AdcaResultRegs.ADCRESULT14 + \
AdcaResultRegs.ADCRESULT15);

// Leitura das tensões AC e cálculo da média de 8 medições para minimizar o ruído
mediaUac1 = 0.125*(AdccResultRegs.ADCRESULT0 + AdccResultRegs.ADCRESULT1 + \
AdccResultRegs.ADCRESULT2 + AdccResultRegs.ADCRESULT3 + AdccResultRegs.ADCRESULT4 + \
AdccResultRegs.ADCRESULT5 + AdccResultRegs.ADCRESULT6 + AdccResultRegs.ADCRESULT7);

mediaUac2 = 0.125*(AdccResultRegs.ADCRESULT8 + AdccResultRegs.ADCRESULT9 + \
AdccResultRegs.ADCRESULT10 + AdccResultRegs.ADCRESULT11 + \
AdccResultRegs.ADCRESULT12 + AdccResultRegs.ADCRESULT13 + AdccResultRegs.ADCRESULT14 + \
AdccResultRegs.ADCRESULT15);

//Leitura das tensões DC e cálculo erro
Uc1=86.956521739*(mediaUc1*0.00073260073 - 1.5047); //0.00073260073 = 3.0/4095
Uc2=86.206896552*(mediaUc2*0.00073260073 - 1.4983);
erroUc = -(Uc1 - Uc2);

//Leitura das tensões AC
Uac1 = 39.84063745*(mediaUac1*0.00073260073 -1.503);
Uac2 = 40.0*(mediaUac2*0.00073260073 - 1.5043);

//Transformada de Clarke
UacAlfa = 1.224744871*Uac1;
UacBeta = 0.707106781*Uac1 + 1.414213562*Uac2;

//Transformada de Park
Uac_d = TABELA_COS_SEN[amostraAtual][0]*UacAlfa + TABELA_COS_SEN[amostraAtual][1]*UacBeta;
Uac_q = -TABELA_COS_SEN[amostraAtual][1]*UacAlfa + TABELA_COS_SEN[amostraAtual][0]*UacBeta;

//Erro das tensões AC

```

```

erroUac_d = Uac_d_Ref - Uac_d;
erroUac_q = Uac_q_Ref - Uac_q;

//Controlador PI
idRef = idRef + fatorPI1_ac*erroUac_d + fatorPI2_ac*erroUac_d_ant;
iqRef = iqRef + fatorPI1_ac*erroUac_q + fatorPI2_ac*erroUac_q_ant;

//Limitação da referência
if (idRef > idRef_max){
    idRef = idRef_max;
} else if (idRef < -idRef_max){
    idRef = -idRef_max;
}

if (iqRef > iqRef_max){
    iqRef = iqRef_max;
} else if (iqRef < -iqRef_max){
    iqRef = -iqRef_max;
}

//Leitura correntes
mediaI1 = 0.125*(AdcbResultRegs.ADCRESULT0 + AdcbResultRegs.ADCRESULT1 +\
AdcbResultRegs.ADCRESULT2 + AdcbResultRegs.ADCRESULT3 + AdcbResultRegs.ADCRESULT4 +\
AdcbResultRegs.ADCRESULT5 + AdcbResultRegs.ADCRESULT6 + AdcbResultRegs.ADCRESULT7);

mediaI2 = 0.125*(AdcbResultRegs.ADCRESULT8 + AdcbResultRegs.ADCRESULT9 +\
AdcbResultRegs.ADCRESULT10 + AdcbResultRegs.ADCRESULT11 +\
AdcbResultRegs.ADCRESULT12 + AdcbResultRegs.ADCRESULT13 + AdcbResultRegs.ADCRESULT14 +\
AdcbResultRegs.ADCRESULT15);

i1 = 8.012820513*(mediaI1*0.00073260073 - 1.5041);    //0.00073260073 = 3.0/4095
i2 = 8.019246191*(mediaI2*0.00073260073 - 1.5051);

//Transformada de Clarke das correntes
iAlfa = 1.224744871*i1;
iBeta = 0.707106781*i1 + 1.414213562*i2;

//Transformada de Park das Correntes
id = TABELA_COS_SEN[amostraAtual][0]*iAlfa + TABELA_COS_SEN[amostraAtual][1]*iBeta;
iq = -TABELA_COS_SEN[amostraAtual][1]*iAlfa + TABELA_COS_SEN[amostraAtual][0]*iBeta;

//Cálculo dos erros das correntes
erroId = idRef - id;
erroIq = iqRef - iq;

//Controlador PI para os sinais de controlo em dq
gama_d = gama_d + fator1PI_gamas*erroId + fator2PI_gamas*erroId_ant;
gama_q = gama_q + fator1PI_gamas*erroIq + fator2PI_gamas*erroIq_ant;

//Limitação dos gamas
if(gama_d > GAMA_MAX){
    gama_d = GAMA_MAX;
} else if (gama_d < -GAMA_MAX){
    gama_d = -GAMA_MAX;
}
if(gama_q > GAMA_MAX){
    gama_q = GAMA_MAX;
} else if (gama_q < -GAMA_MAX){

```

```
    gama_q = -GAMA_MAX;
}

//Controlador PI para o offset de compensação dos desequilíbrios dos condensadores
offset = offset + fator1PI_offset*erroUc + fator2PI_offset*erroUc_ant;

//Limitação do offset
if(offset > OFFSET_MAX){
    offset = OFFSET_MAX;
} else if (offset < -OFFSET_MAX){
    offset = -OFFSET_MAX;
}

//Atualização dos erros
erroId_ant = erroId;
erroIq_ant = erroIq;
erroUc_ant = erroUc;
erroUac_d_ant = erroUac_d;
erroUac_q_ant = erroUac_q;

//Sentido da potência
if(id > 0.1){
    bitSentPot = 1;
} else if (id < -0.1){
    bitSentPot = -1;
}

//Cálculo dos gamas em AlfaBeta
gamaAlfa = TABELA_COS_SEN[amostraAtual][0]*gama_d - TABELA_COS_SEN[amostraAtual][1]*gama_q;
gamaBeta = TABELA_COS_SEN[amostraAtual][1]*gama_d +
TABELA_COS_SEN[amostraAtual][0]*gama_q;

//Cálculo dos gamas em 123 e adição do offset de acordo com o sentido da potência
gama1 = (0.81649658092*gamaAlfa)*0.02 - offset*bitSentPot;
gama2 = (-0.40824829046*gamaAlfa + 0.70710678118*gamaBeta)*0.02 - offset*bitSentPot;
gama3 = (-0.40824829046*gamaAlfa - 0.70710678118*gamaBeta)*0.02 - offset*bitSentPot;

//Atualização dos módulos PWM
EPwm1Regs.CMPA.bit.CMPA = gama1*periodoPWM;
EPwm1Regs.CMPB.bit.CMPB = gama1*periodoPWM + periodoPWM;
EPwm2Regs.CMPA.bit.CMPA = gama2*periodoPWM;
EPwm2Regs.CMPB.bit.CMPB = gama2*periodoPWM + periodoPWM;
EPwm3Regs.CMPA.bit.CMPA = gama3*periodoPWM;
EPwm3Regs.CMPB.bit.CMPB = gama3*periodoPWM + periodoPWM;

//Debug
valor_dac = (uint16_t) 100*idRef + 2048;
DAC_setShadowValue(DACA_BASE, valor_dac);
valor_dac = (uint16_t) 100*iqRef + 2048;
DAC_setShadowValue(DACB_BASE, valor_dac);

//Volta ao início da tabela
//Só incrementa a cada x iterações
//Assim não é necessário utilizar uma tabela maior ou outra função de interrupção
if (amostraAtual == NR_AMOSTRAS_CICLO-1 ){
    amostraAtual = 0;
} else if (contaPeriodo == 4){
    amostraAtual += 1;
```

```

    contaPeriodo = 0;
}

contaPeriodo+=1;

//Liga o pino de debug para visualizar no osciloscópio
GpioDataRegs.GPADAT.bit.GPIO14 = 1;

//Pisca LED Azul para mostrar que está a funcionar
if (count == 2500){
    GpioDataRegs.GPATOGGLE.bit.GPIO31=1;
    count=0;
}else{
    count+=1;
}
}

//-----TIMER-----
// Configura e inicializa o Timer com uma dada frequência
// O Timer serve para acionar a amostragem das tensões Uc1, Uc2, Uac1, Uac2, e correntes i1 e i2 nos
módulos ADC
//
void configCPUTimer1(float timerFrequency){

    uint32_t timerLoad;

    //Inicialização
    timerLoad = (uint32_t)(DEVICE_SYSCLK_FREQ / timerFrequency);
    CPUTimer_setPeriod(CPUTIMER1_BASE, timerLoad);

    // Configura o pre scaler com a frequência de clock original (0 -> divisão por 1)
    CPUTimer_setPreScaler(CPUTIMER1_BASE, 0);

    // Desliga Timer para a configuração, carrega a contagem no registo, ativa interrupções, inicia timer
    CPUTimer_stopTimer(CPUTIMER1_BASE);
    CPUTimer_reloadTimerCounter(CPUTIMER1_BASE);

    CPUTimer_setEmulationMode(CPUTIMER1_BASE,CPUTIMER_EMULATIONMODE_STOPAFTERNEXTDECRE
MENT);
    CPUTimer_enableInterrupt(CPUTIMER1_BASE);
    CPUTimer_startTimer(CPUTIMER1_BASE); // Starts CPU-Timer 1
}

//-----ADCs-----
//Pino 29, ADCA2 - Uc1
//Pino 26, ADCA3 - Uc2
void configADCA(void){
    //---ADC Initialization
    SysCtl_resetPeripheral(SYSCTL_PERIPH_RES_ADCA);

    //----- Configure the ADC-A base registers-----
    ADC_disableConverter(ADCA_BASE); // Desliga durante a configuração

    ADC_setMode(ADCA_BASE, ADC_RESOLUTION_12BIT, ADC_MODE_SINGLE_ENDED); // 12-bit, single-
ended

    ADC_setPrescaler(ADCA_BASE, ADC_CLK_DIV_4_0); // ADC clock prescaler = CPUCLK/4

```

```
ADC_setInterruptPulseMode(ADCA_BASE, ADC_PULSE_END_OF_CONV); // Interrupção no fim da
conversão
```

```
//-----Configuração dos registos SOC (Start of Conversion) do módulo ADCA-----
//Ambos os ADC são acionados pelo mesmo sinal (flag do timer1 do CPU1)
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER0, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER0, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER1, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER2, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER3, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER4, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER5, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER6, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER7, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
```

```
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER8, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER9, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER10, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER11, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER12, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER13, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER14, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCA_BASE, ADC_SOC_NUMBER15, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
```

```
//Não é necessário ativar interrupção. A interrupção é feita no módulo ADCB
```

```
//Conversão é feita por ordem
ADC_setSOCPriority(ADCA_BASE, ADC_PRI_ALL_ROUND_ROBIN);
```

```
// Ativação do módulo
ADC_enableConverter(ADCA_BASE);
DEVICE_DELAY_US(1000);
```

```
}
```

```
//-----ADCs-----
```

```
//Pino 28, ADCB2 - i1
```

```
//Pino 25, ADCB3 - i2
```

```
void configADCB(void){
```

```
//-----Inicialização do ADC-----
```

```
SysCtl_resetPeripheral(SYSCTL_PERIPH_RES_ADCB); // Reset ADC
```

```
//----- Configure the ADC-B base registers-----
```

```
ADC_disableConverter(ADCB_BASE); // Desliga durante a configuração
```

```
ADC_setMode(ADCB_BASE, ADC_RESOLUTION_12BIT, ADC_MODE_SINGLE_ENDED); // 12-bit, single-
ended
```

```
ADC_setPrescaler(ADCB_BASE, ADC_CLK_DIV_4_0); // ADC clock prescaler = CPUCLK/4
```

```
ADC_setInterruptPulseMode(ADCB_BASE, ADC_PULSE_END_OF_CONV); // Interrupção no fim da
conversão
```

```
//-----Configuração dos registos SOC (Start of Conversion) do módulo ADCB
```

```
// Canal B2, SOC0 a SOC7 - Corrente i1
```

```
// Canal B3, SOC8 a SOC15- Corrente i2
```

```
// Ambos os canais são acionados pelo mesmo sinal (flag do timer1 do CPU1)
```

```
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER0, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
```

```
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER1, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
```

```
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER2, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
```

```
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER3, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
```

```
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER4, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
```

```

ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER5, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER6, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER7, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN2, 50);

ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER8, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER9, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER10, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER11, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER12, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER13, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER14, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);
ADC_setupSOC(ADCB_BASE, ADC_SOC_NUMBER15, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN3, 50);

// Prioridade por Round Robin
// Os canais 2 (SOC0 a SOC7) e 3 (SOC8 a SOC15) são convertidos sequencialmente
ADC_setSOCPriority(ADCB_BASE, ADC_PRI_ALL_ROUND_ROBIN);

//Configuração interrupções
ADC_enableContinuousMode(ADCB_BASE, ADC_INT_NUMBER1);
ADC_setInterruptSource(ADCB_BASE, ADC_INT_NUMBER1, ADC_SOC_NUMBER15); //Interrupção é
ativada pela amostragem do último SOC
ADC_enableInterrupt(ADCB_BASE, ADC_INT_NUMBER1);

//---Ativação do módulo
ADC_enableConverter(ADCB_BASE);
DEVICE_DELAY_US(1000);
}

//-----ADCs-----
//Utilizados apenas no CPU2
//Pino 67, ADCC4 - Uac1
//Pino 64, ADCC5 - Uac2
void configADCC(void){

    SysCtl_resetPeripheral(SYSCTL_PERIPH_RES_ADCC);

    //----- Configure the ADC-C base registers-----
    ADC_disableConverter(ADCC_BASE); // Desliga durante a configuração
    ADC_setMode(ADCC_BASE, ADC_RESOLUTION_12BIT, ADC_MODE_SINGLE_ENDED); // 12-bit, single-
ended
    ADC_setPrescaler(ADCC_BASE, ADC_CLK_DIV_4_0); // ADC clock prescaler = CPUCLK/4
    ADC_setInterruptPulseMode(ADCC_BASE, ADC_PULSE_END_OF_CONV); // Interrupção no fim da
conversão

    //-----Configuração dos registos SOC (Start of Conversion) do módulo ADCC-----
    // Ambos os canais são acionados pelo mesmo sinal (flag do timer1 do CPU1)
    // Canal C4, SOC0-7 - Tensão Uac1
    // Canal C5, SOC8-15 - Tensão Uac2
    // São configurados vários SOC para sobreamostrar e fazer uma média
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER0, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER1, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER2, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER3, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER4, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER5, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER6, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);
    ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER7, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN4, 50);

```

```

ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER8, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER9, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER10, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER11, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER12, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER13, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER14, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);
ADC_setupSOC(ADCC_BASE, ADC_SOC_NUMBER15, ADC_TRIGGER_CPU1_TINT1, ADC_CH_ADCIN5, 50);

//Não é necessário ativar interrupção. A interrupção é feita no módulo ADCB

// Prioridade por Round Robin
// Os canais 4 (SOC0 a SOC7) e 5 (SOC8 a SOC15) são convertidos sequencialmente
ADC_setSOCPriority(ADCC_BASE, ADC_PRI_ALL_ROUND_ROBIN);

// Ativação do módulo
ADC_enableConverter(ADCC_BASE);
DEVICE_DELAY_US(1000);
}

//Pino 30
void InitDacA(void){
//--- Set VREFHI as the DAC reference voltage
DAC_setReferenceVoltage(DACA_BASE, DAC_REF_ADC_VREFHI);

//-- Set load mode
DAC_setLoadMode(DACA_BASE, DAC_LOAD_SYSCLK); // Load on next SYSCLK (not using the DAC
PWMSYNC signal)

//--- Set DAC-A output to mid-range
DAC_setShadowValue(DACA_BASE, 0x0800); // DACVALS = bits 11-0, bits 15-12 reserved; 0x0800
= 2048

//--- Enable DAC-A output
DAC_enableOutput(DACA_BASE); // Enable DAC output
DEVICE_DELAY_US(10); // Required delay after enabling the DAC (delay for DAC to power
up)
} // end of InitDacB()

//Pino 70
void InitDacB(void)
{
//--- Set VREFHI as the DAC reference voltage
DAC_setReferenceVoltage(DACB_BASE, DAC_REF_ADC_VREFHI);

//-- Set load mode
DAC_setLoadMode(DACB_BASE, DAC_LOAD_SYSCLK);

//--- Set DAC-B output to mid-range
DAC_setShadowValue(DACB_BASE, 0x0800);

//--- Enable DAC-B output
DAC_enableOutput(DACB_BASE);
DEVICE_DELAY_US(10);
}

void configPWM(void){

```

```

//Por predefinição o clock do EPWM é 100 MHZ, muda para 200 Mhz
SysCtl_setEPWMClockDivider(SYSCTL_EPWMCLK_DIV_1);

//Deixa o clock a 200 MHz
EPWM_setClockPrescaler(EPWM1_BASE,EPWM_CLOCK_DIVIDER_1,EPWM_HSCLOCK_DIVIDER_1);
EPWM_setClockPrescaler(EPWM2_BASE,EPWM_CLOCK_DIVIDER_1,EPWM_HSCLOCK_DIVIDER_1);
EPWM_setClockPrescaler(EPWM3_BASE,EPWM_CLOCK_DIVIDER_1,EPWM_HSCLOCK_DIVIDER_1);

// Set-up TBCLK
EPWM_setTimeBasePeriod(EPWM1_BASE, 200000000/(2*Fc));
EPWM_setTimeBasePeriod(EPWM2_BASE, 200000000/(2*Fc));
EPWM_setTimeBasePeriod(EPWM3_BASE, 200000000/(2*Fc));

//Desfasamento nulo das portadoras
EPWM_setPhaseShift(EPWM1_BASE, 0);
EPWM_setPhaseShift(EPWM2_BASE, 0);
EPWM_setPhaseShift(EPWM3_BASE, 0);

//Inicia as portadoras a zero
EPWM_setTimeBaseCounter(EPWM1_BASE, 0);
EPWM_setTimeBaseCounter(EPWM2_BASE, 0);
EPWM_setTimeBaseCounter(EPWM3_BASE, 0);

//Inicia os valores de comparação a zero
EPWM_setCounterCompareValue(EPWM1_BASE, EPWM_COUNTER_COMPARE_A,0);
EPWM_setCounterCompareValue(EPWM1_BASE, EPWM_COUNTER_COMPARE_B,0);
EPWM_setCounterCompareValue(EPWM1_BASE, EPWM_COUNTER_COMPARE_A,0);
EPWM_setCounterCompareValue(EPWM1_BASE, EPWM_COUNTER_COMPARE_B,0);
EPWM_setCounterCompareValue(EPWM1_BASE, EPWM_COUNTER_COMPARE_A,0);
EPWM_setCounterCompareValue(EPWM1_BASE, EPWM_COUNTER_COMPARE_B,0);

//Configura os contadores para formarem uma onda triangular
EPWM_setTimeBaseCounterMode(EPWM1_BASE, EPWM_COUNTER_MODE_UP_DOWN);
EPWM_setTimeBaseCounterMode(EPWM2_BASE, EPWM_COUNTER_MODE_UP_DOWN);
EPWM_setTimeBaseCounterMode(EPWM3_BASE, EPWM_COUNTER_MODE_UP_DOWN);
EPWM_disablePhaseShiftLoad(EPWM1_BASE);
EPWM_disablePhaseShiftLoad(EPWM2_BASE);
EPWM_disablePhaseShiftLoad(EPWM3_BASE);

//Utiliza os shadow registers para evitar erros
EPWM_setCounterCompareShadowLoadMode(EPWM1_BASE, EPWM_COUNTER_COMPARE_A,
EPWM_COMP_LOAD_ON_CNTR_ZERO_PERIOD);
EPWM_setCounterCompareShadowLoadMode(EPWM1_BASE, EPWM_COUNTER_COMPARE_B,
EPWM_COMP_LOAD_ON_CNTR_ZERO_PERIOD);
EPWM_setCounterCompareShadowLoadMode(EPWM2_BASE, EPWM_COUNTER_COMPARE_A,
EPWM_COMP_LOAD_ON_CNTR_ZERO_PERIOD);
EPWM_setCounterCompareShadowLoadMode(EPWM2_BASE, EPWM_COUNTER_COMPARE_B,
EPWM_COMP_LOAD_ON_CNTR_ZERO);
EPWM_setCounterCompareShadowLoadMode(EPWM3_BASE, EPWM_COUNTER_COMPARE_A,
EPWM_COMP_LOAD_ON_CNTR_ZERO_PERIOD);
EPWM_setCounterCompareShadowLoadMode(EPWM3_BASE, EPWM_COUNTER_COMPARE_B,
EPWM_COMP_LOAD_ON_CNTR_ZERO_PERIOD);

// Configura a forma como são feitas as comparações entre a portadora e os sinais de controlo
EPWM_setActionQualifierAction(EPWM1_BASE,EPWM_AQ_OUTPUT_A, EPWM_AQ_OUTPUT_HIGH,
EPWM_AQ_OUTPUT_ON_TIMEBASE_DOWN_CMPA);
EPWM_setActionQualifierAction(EPWM1_BASE, EPWM_AQ_OUTPUT_A, EPWM_AQ_OUTPUT_LOW,
EPWM_AQ_OUTPUT_ON_TIMEBASE_UP_CMPA);

```

```
    EPWM_setActionQualifierAction(EPWM1_BASE, EPWM_AQ_OUTPUT_B, EPWM_AQ_OUTPUT_HIGH,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_DOWN_CMPB);  
    EPWM_setActionQualifierAction(EPWM1_BASE, EPWM_AQ_OUTPUT_B, EPWM_AQ_OUTPUT_LOW,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_UP_CMPB);  
    EPWM_setActionQualifierAction(EPWM2_BASE, EPWM_AQ_OUTPUT_A, EPWM_AQ_OUTPUT_HIGH,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_DOWN_CMPA);  
    EPWM_setActionQualifierAction(EPWM2_BASE, EPWM_AQ_OUTPUT_A, EPWM_AQ_OUTPUT_LOW,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_UP_CMPA);  
    EPWM_setActionQualifierAction(EPWM2_BASE, EPWM_AQ_OUTPUT_B, EPWM_AQ_OUTPUT_HIGH,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_DOWN_CMPB);  
    EPWM_setActionQualifierAction(EPWM2_BASE, EPWM_AQ_OUTPUT_B, EPWM_AQ_OUTPUT_LOW,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_UP_CMPB);  
    EPWM_setActionQualifierAction(EPWM3_BASE, EPWM_AQ_OUTPUT_A, EPWM_AQ_OUTPUT_HIGH,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_DOWN_CMPA);  
    EPWM_setActionQualifierAction(EPWM3_BASE, EPWM_AQ_OUTPUT_A, EPWM_AQ_OUTPUT_LOW,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_UP_CMPA);  
    EPWM_setActionQualifierAction(EPWM3_BASE, EPWM_AQ_OUTPUT_B, EPWM_AQ_OUTPUT_HIGH,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_DOWN_CMPB);  
    EPWM_setActionQualifierAction(EPWM3_BASE, EPWM_AQ_OUTPUT_B, EPWM_AQ_OUTPUT_LOW,  
EPWM_AQ_OUTPUT_ON_TIMEBASE_UP_CMPB);  
}
```

Apêndice F Parâmetros utilizados nas simulações e atividade prática

Tabela F.1 – Parâmetros utilizados na simulação do controle de corrente por MD.

Parâmetro	Valores	Descrição
f_{DSP}	150 kHz	Frequência de amostragem das grandezas elétricas*
U_{dc}	100 V	Tensão de alimentação da fonte DC (microrrede DC)
R_s	0,1 Ω	Resistência interna fonte DC
$U_{AC1}, U_{AC2}, U_{AC3}$	35 V	Amplitude das tensões da microrrede AC
ω	$2\pi 50$ rad/s	Frequência angular das grandezas elétricas alternadas
C_1, C_2	2,2 mF	Condensadores do barramento DC do conversor
L	5 mH	Coefficiente de autoindução das bobinas de acoplamento do conversor
R_L	0,05 Ω	Resistência de perdas das bobinas de acoplamento
L_r	0,5 mH	Coefficiente de autoindução dos transformadores da REE
R_r	0,05 Ω	Resistência de perdas dos transformadores da REE
ϵ_1	0,2 A	Primeiro nível de histerese para o controle de corrente
ϵ_2	0,35 A	Segundo nível de histerese para o controle de corrente
ϵ_3	0,5 A	Terceiro nível de histerese para o controle de corrente
ϵ_4	0,65 A	Quarto nível de histerese para o controle de corrente
ϵ_{Uc}	3,0 V	Gama de histerese para o equilíbrio dos condensadores
$\epsilon_{\Delta ib}$	0,1 A	Gama de histerese para o cálculo do sentido da potência

*No protótipo laboratorial o Núcleo 1 utiliza uma frequência de amostragem de 10 kHz para a amostragem das tensões dos condensadores e 150 kHz para a amostragem das correntes.

Tabela F.2 – Parâmetros utilizados na simulação do controle de corrente por PWM.

Parâmetro	Valores	Descrição
f_{DSP}	40 kHz	Frequência de amostragem das grandezas elétricas
U_{dc}	100 V	Tensão de alimentação da fonte DC (microrrede DC)
R_s	0,1 Ω	Resistência interna da fonte DC
$U_{AC1}, U_{AC2}, U_{AC3}$	35 V	Amplitude das tensões da microrrede AC
ω	$2\pi 50$ rad/s	Frequência angular das grandezas elétricas alternadas
C_1, C_2	2,2 mF	Condensadores do barramento DC do conversor
L	5 mH	Coefficiente de autoindução das bobinas de acoplamento do conversor
R_L	0,05 Ω	Resistência de perdas das bobinas de acoplamento
L_r	0,5 mH	Coefficiente de autoindução dos transformadores da REE
R_r	0,05 Ω	Resistência de perdas dos transformadores da REE
f_s	5 kHz	Frequência da portadora triangular
ω_p	$2\pi 400$ rad/s	Largura de banda do sistema de controle das correntes por PWM e com um PI
k_{pPWM}	12,56	Constante proporcional do controlador PI das correntes
k_{iPWM}	125,66	Constante integral do controlador PI das correntes
$\epsilon_{\Delta ib}$	0,1 A	Gama de histerese para o cálculo do sentido da potência
ξ	0,7	Constante de amortecimento do sistema de equilíbrio dos condensadores

ω_n	18 rad/s	Frequência natural do sistema de equilíbrio dos condensadores
k_{peUc}	0,0055	Constante proporcional do controlador PI para o equilíbrio dos condensadores
k_{ieUc}	32,4	Constante integral do controlador PI para o equilíbrio dos condensadores
γ'_{zmax}	150	Limite máximo à saída dos controladores PI para o controle interno de corrente nas coordenadas dq
$\Delta\gamma_{max}$	0,05	Limite máximo do deslocamento das portadoras para o equilíbrio dos condensadores

Tabela F.3 – Parâmetros utilizados na simulação do controle de tensão da microrrede DC.

Parâmetro	Valores	Descrição
U_{dcRef}	100 V	Tensão nominal de referência da microrrede DC
R_{dc}	50 Ω	Resistência de carga da microrrede DC
ξ	0,7	Constante de amortecimento do sistema de controle da tensão U_{dc}
ω_n	2 π 15 rad/s	Frequência natural do sistema de controle da tensão U_{dc} em coordenadas dq
k_{pUdc}	-0,2953	Constante proporcional do controlador PI da tensão U_{dc}
k_{iUdc}	-22,79	Constante integral do controlador PI da tensão U_{dc}
i_{MAX}	14 A	Limite máximo da corrente de referência para o controlador interno de corrente nas coordenadas dq

Tabela F.4 – Parâmetros utilizados na simulação do controle de tensão da microrrede AC.

Parâmetro	Valores	Descrição
U_{ACRef}	35 V	Amplitude da tensão nominal de referência da microrrede AC
R_{AC}	6 Ω	Resistência de carga da microrrede AC
C_f	40 μ F	Condensador de filtragem da tensão da microrrede AC
ω_{pUAC}	2 π 15 rad/s	Largura de banda do sistema de controle da tensão U_{AC} em coordenadas dq
k_{pUAC}	0,0038	Constante proporcional do controlador PI da tensão U_{AC}
k_{iUAC}	15,7	Constante integral do controlador PI da tensão U_{AC}
i_{MAX}	14 A	Limite máximo da corrente de referência para o controlador interno de corrente nas coordenadas dq

Apêndice G Resultados adicionais

G.1 Controle de corrente em estado estacionário

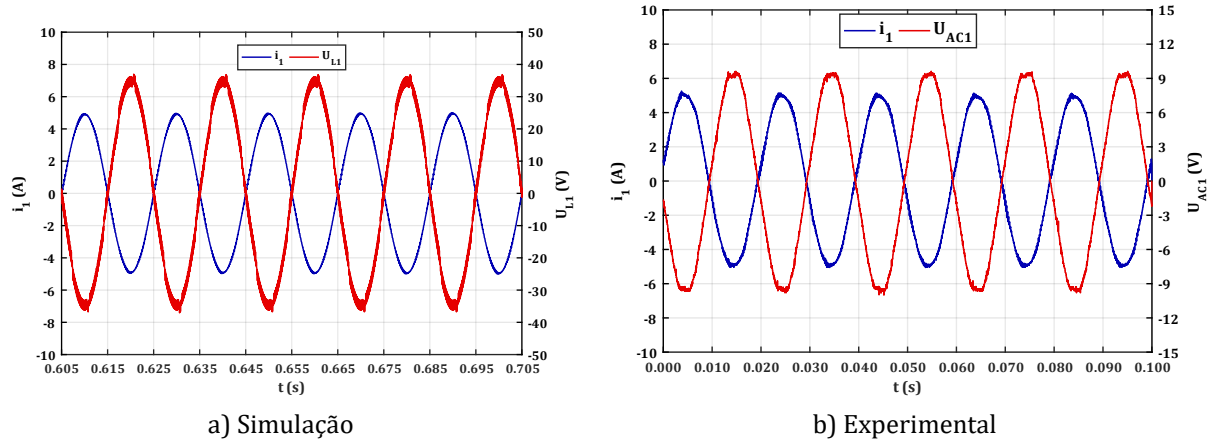


Figura G.1 – Corrente e tensão da primeira fase para a injeção de corrente na microrrede DC (funcionamento como retificador) com controle por PWM.

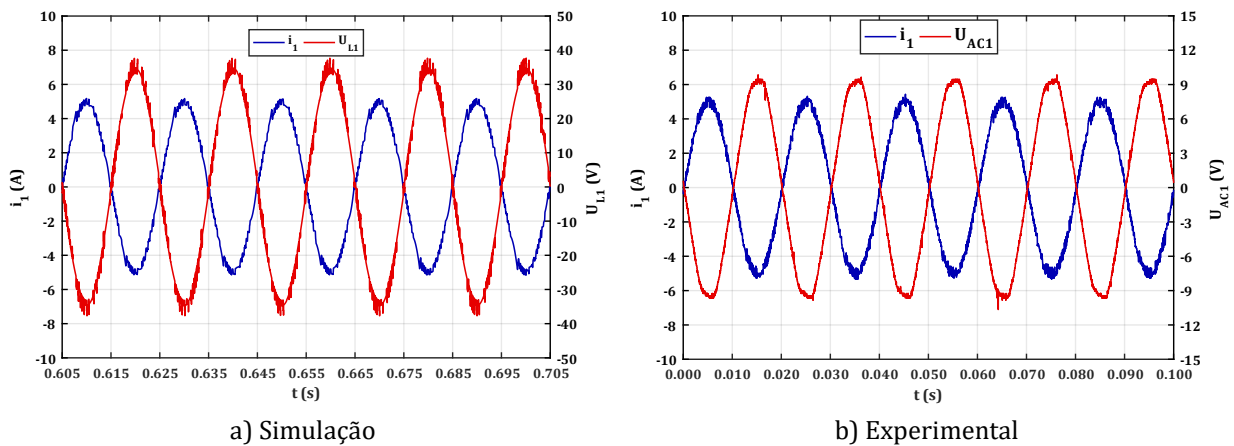


Figura G.2 – Corrente e tensão da primeira fase para a injeção de corrente na microrrede DC (funcionamento como retificador) com controle por MD.

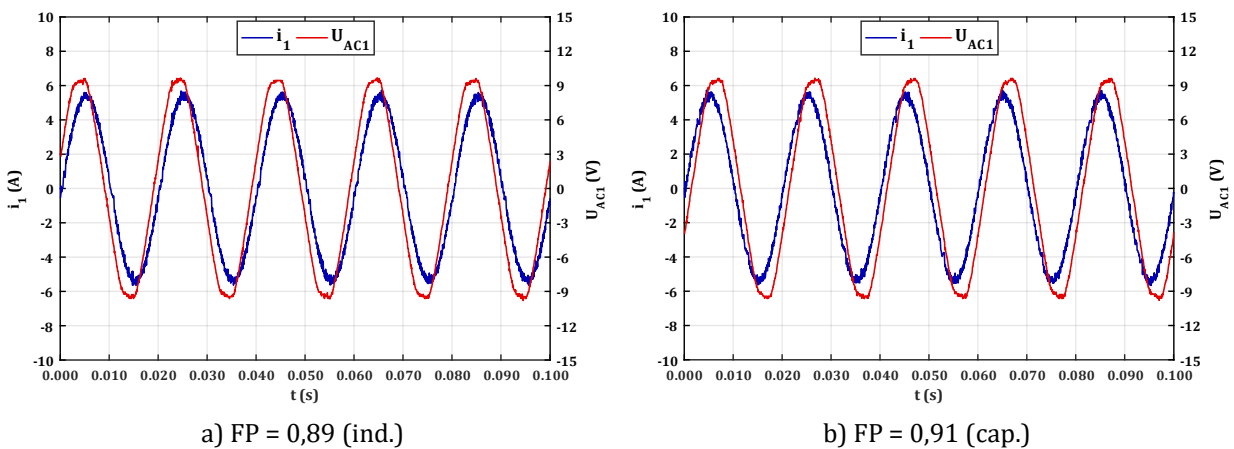


Figura G.3 – Resultados experimentais da corrente e tensão da primeira fase para um FP não unitário para com controle por MD.

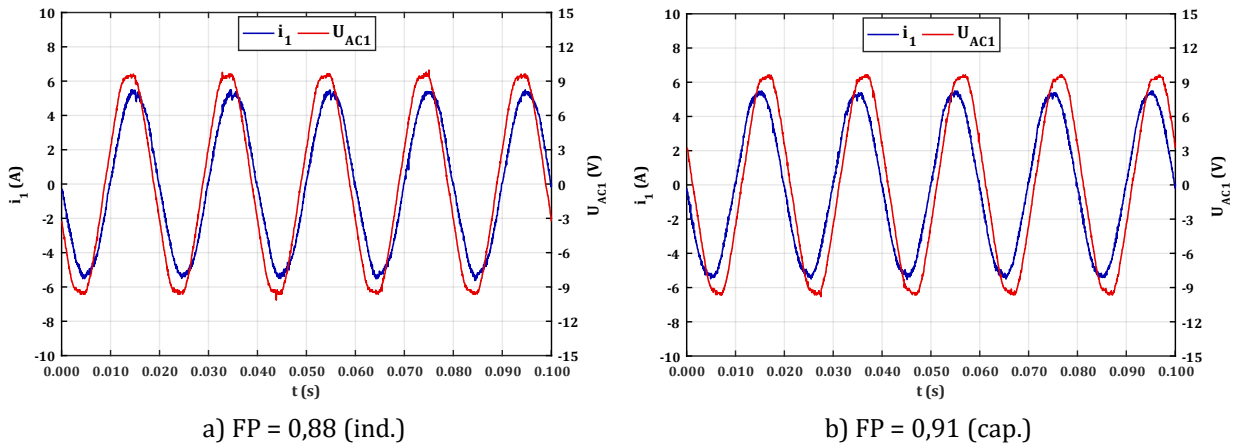


Figura G.4 – Resultados experimentais da corrente e tensão da primeira fase para um FP não unitário com controle por PWM.

G.2 Controlo de corrente em regime dinâmico

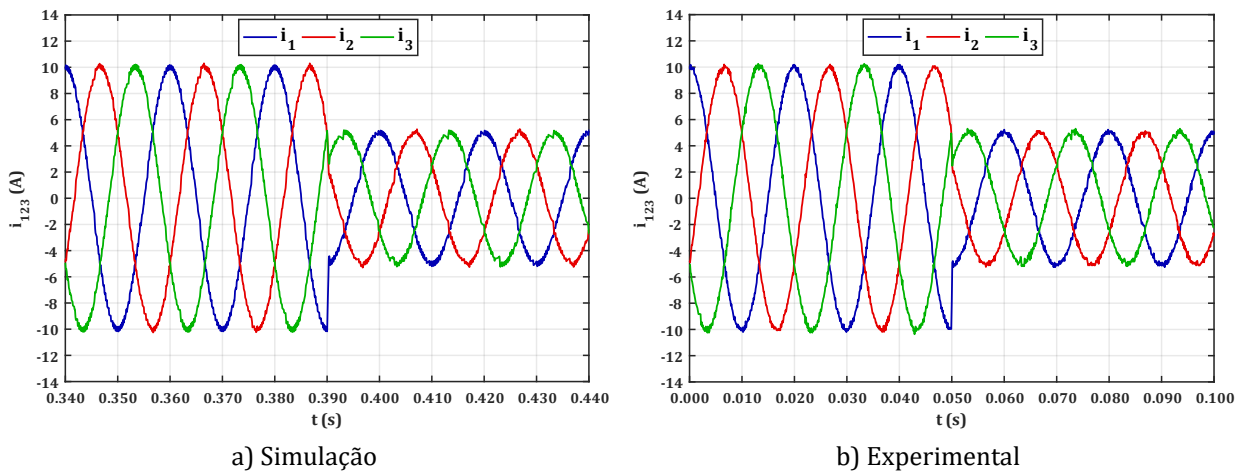


Figura G.5 – Resultados da diminuição da corrente de referência com controlo por MD.

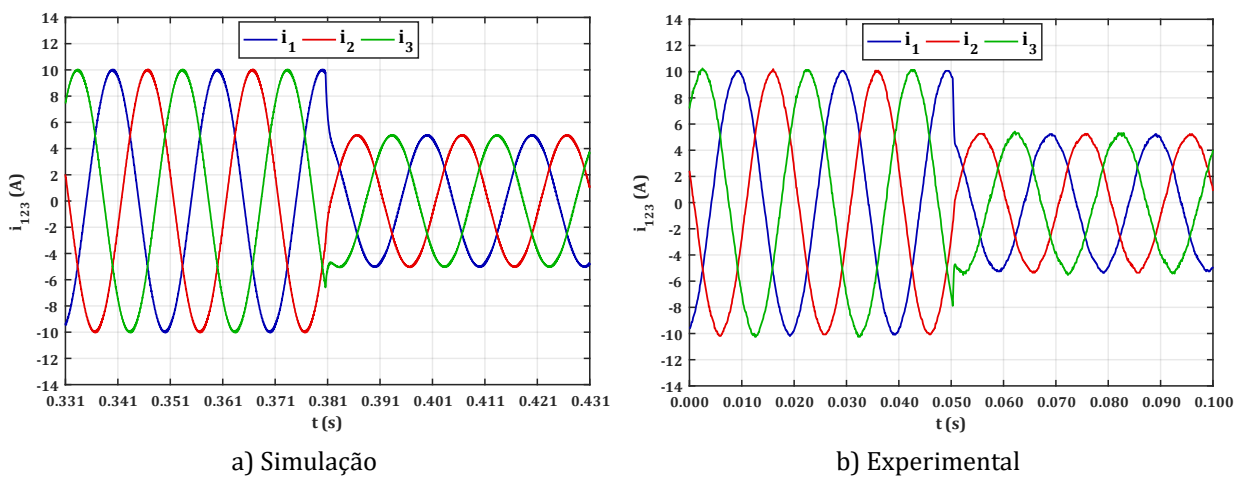


Figura G.6 – Resultados da diminuição da corrente de referência com controlo por PWM.

G.3 Controlo da tensão da microrrede DC

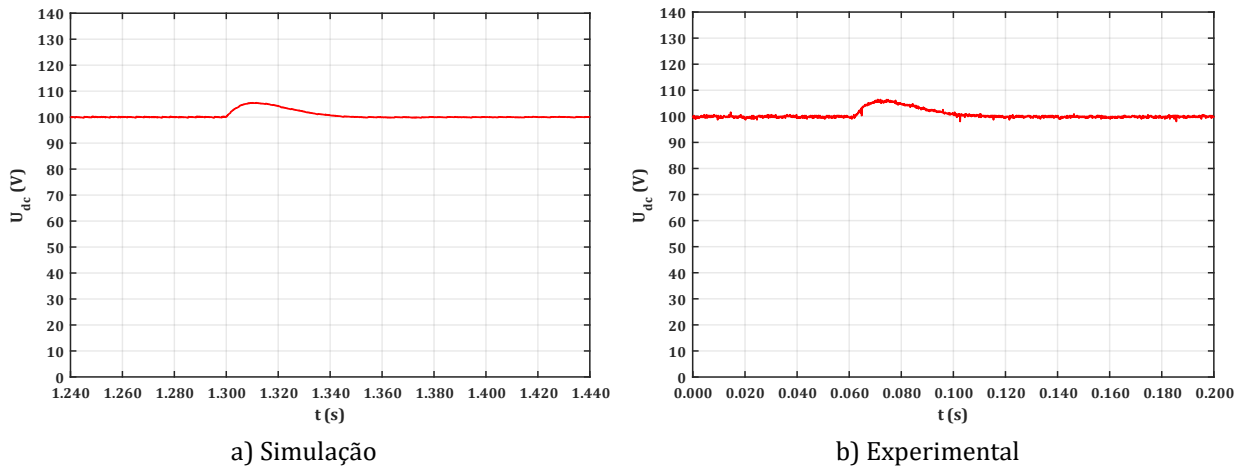


Figura G.7 – Tensão da microrrede DC para uma diminuição do consumo e com controlo interno por MD.

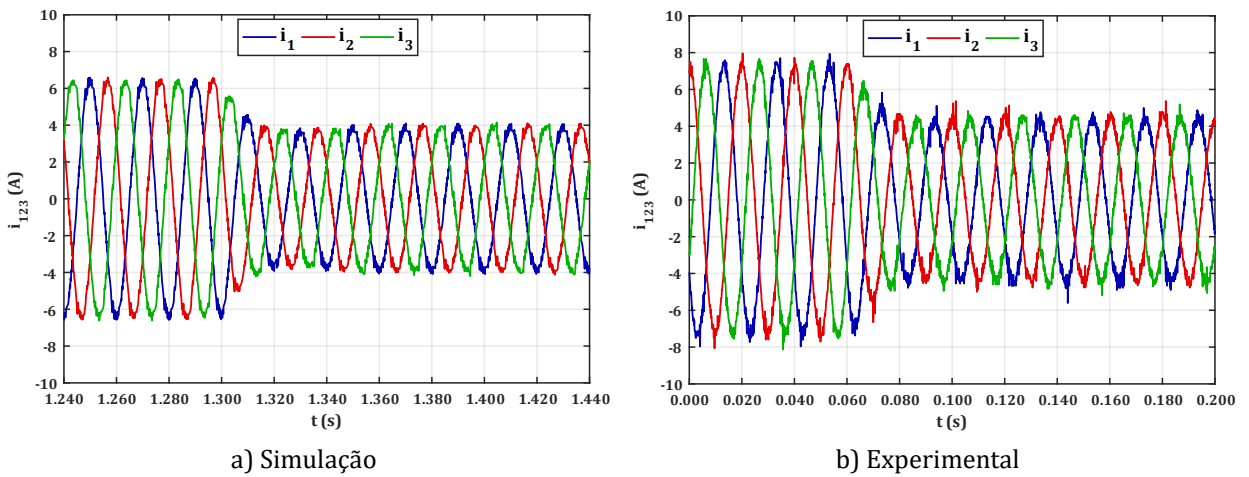


Figura G.8 – Correntes trifásicas com controlo por MD para uma diminuição do consumo da microrrede DC.

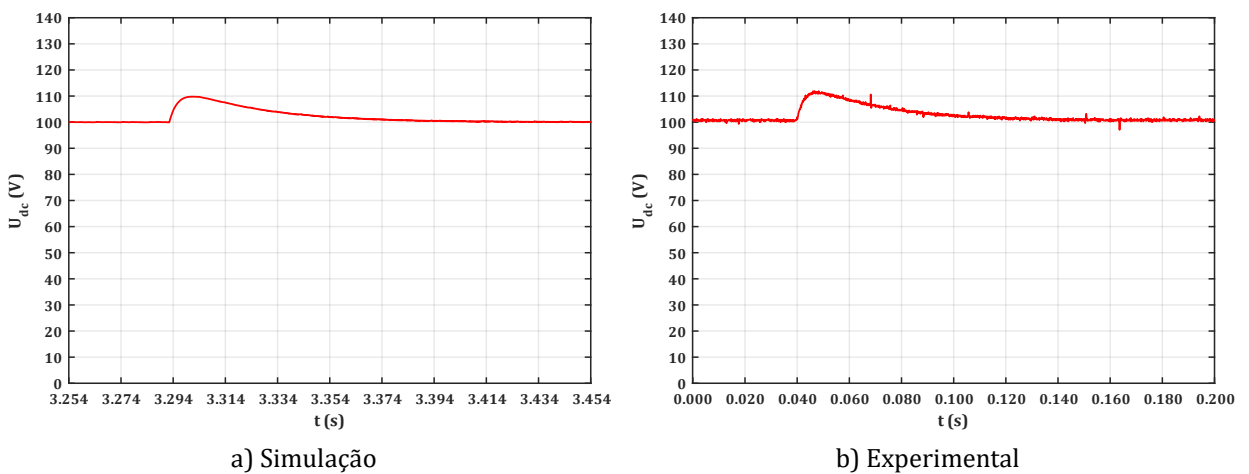


Figura G.9 – Tensão da microrrede DC para uma diminuição do consumo com geração local na microrrede DC e controlo interno por MD.

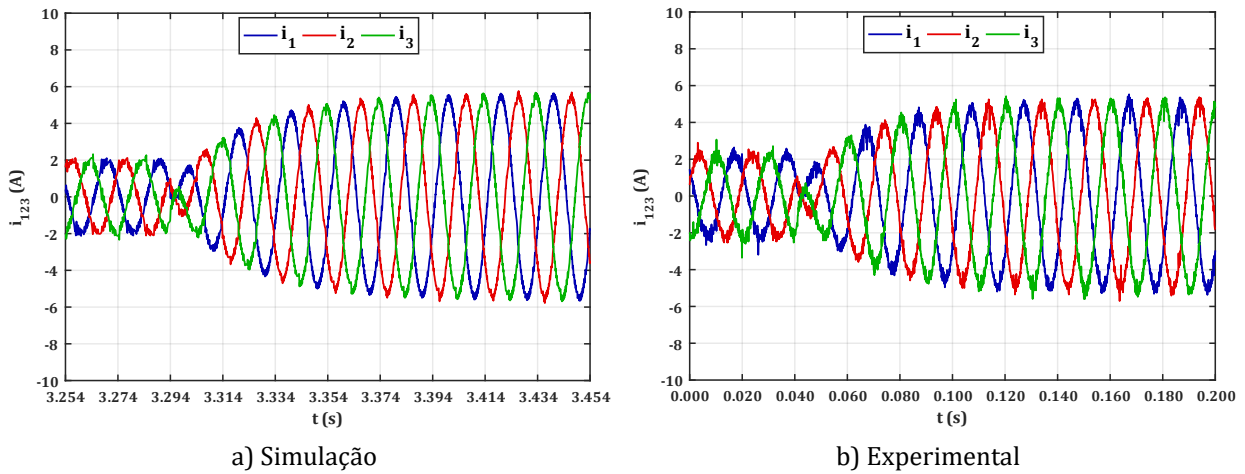


Figura G.10 – Correntes trifásicas com controlo por MD e com inversão do sentido de transferência de potência para uma diminuição do consumo da microrrede DC com geração local.

G.4 Controlo de tensão da microrrede AC

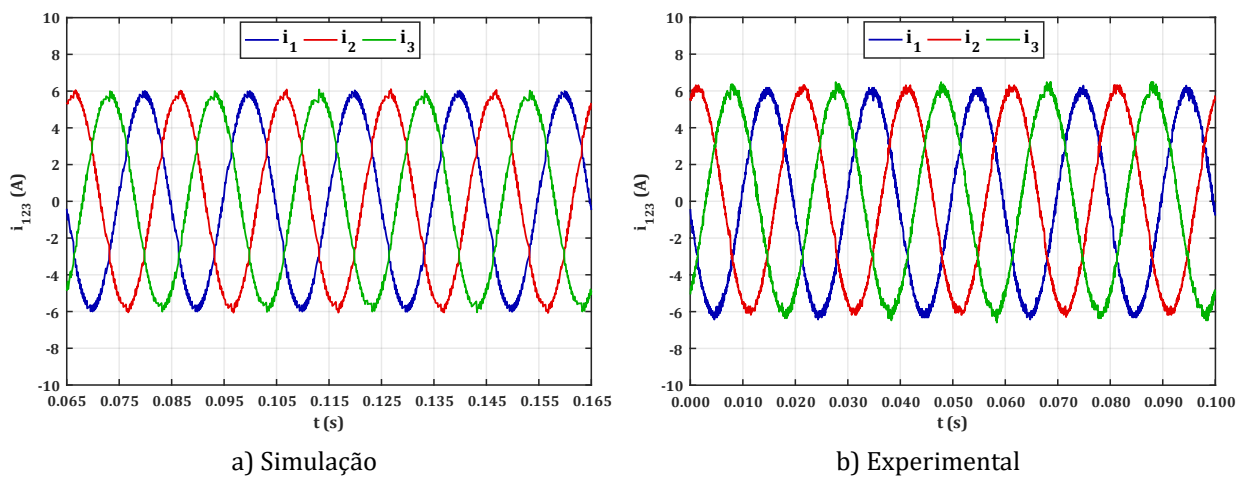


Figura G.11 – Correntes trifásicas com controlo por MD para o controlo da tensão da microrrede AC em estado estacionário.

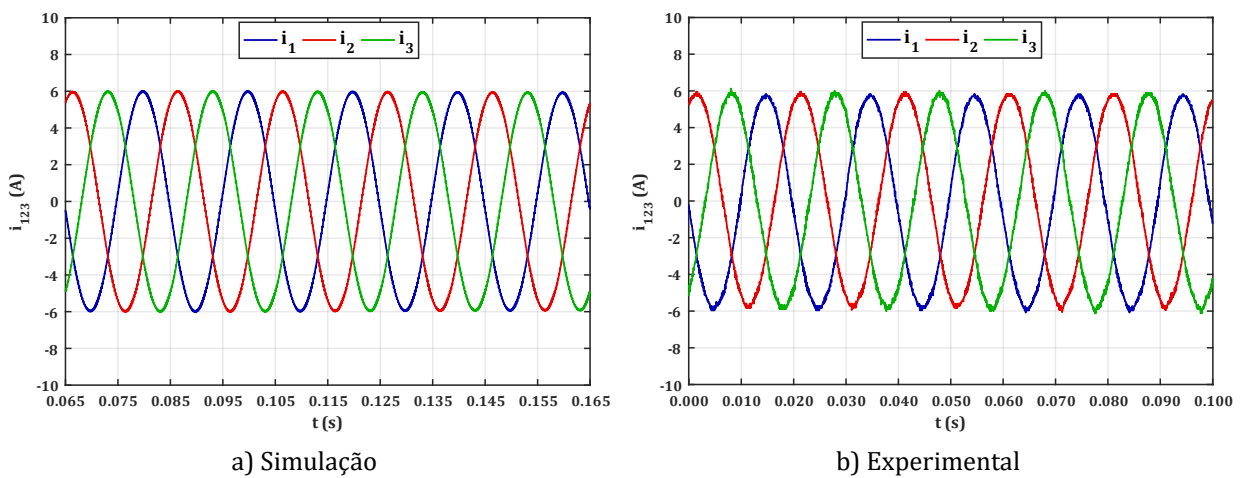
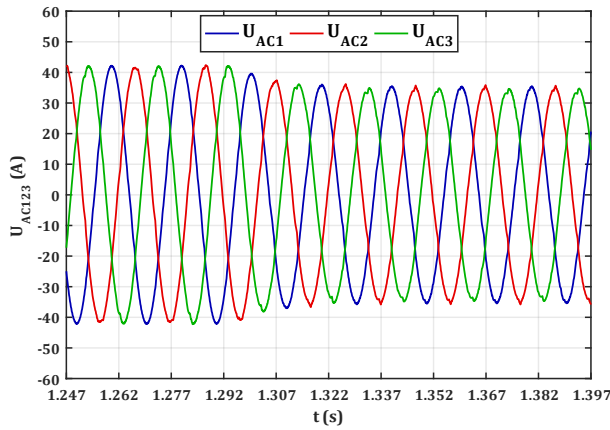
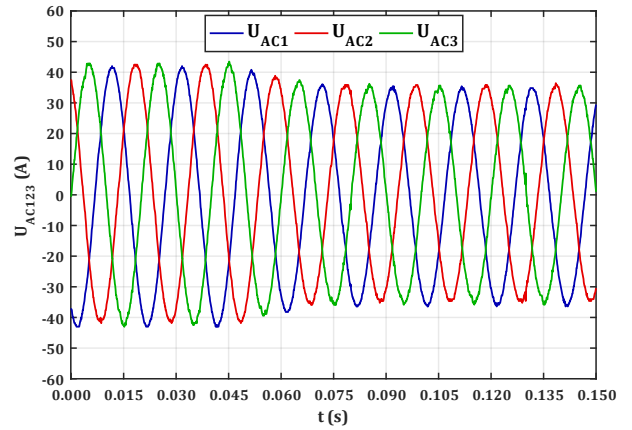


Figura G.12 – Correntes trifásicas com controlo por PWM para o controlo da tensão da microrrede AC em estado estacionário.

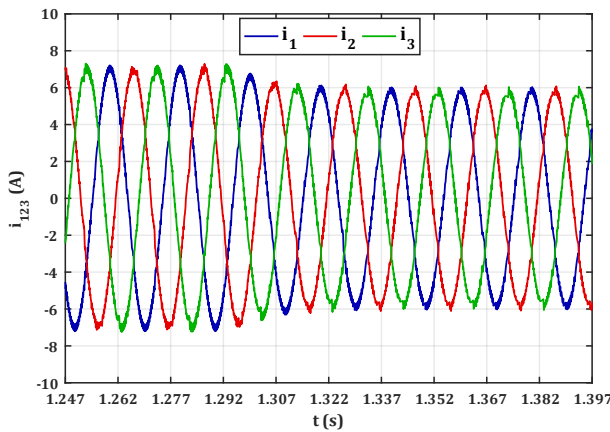


a) Simulação

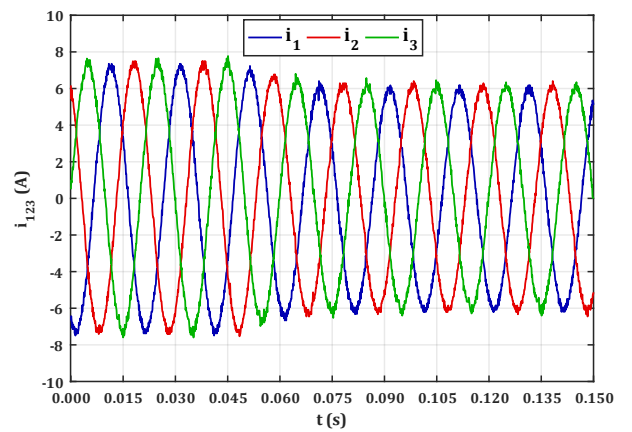


b) Experimental

Figura G.13 – Tensões trifásicas da microrrede AC durante uma diminuição da tensão de referência e com controle interno por MD.

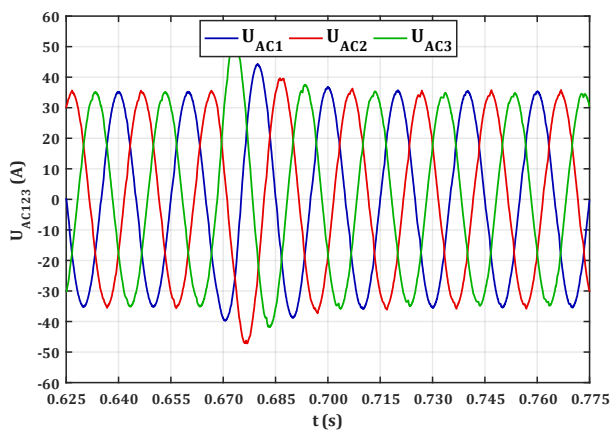


a) Simulação

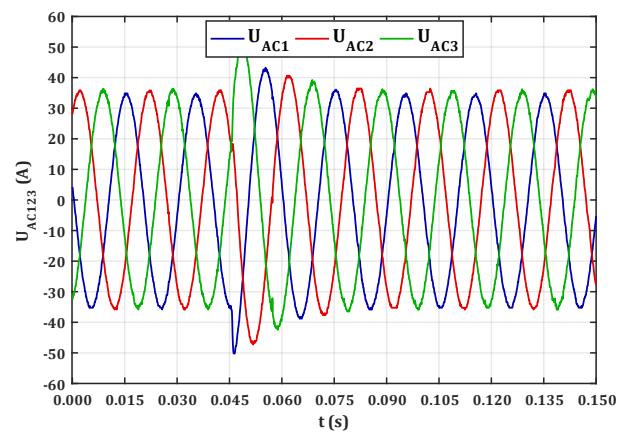


b) Experimental

Figura G.14 – Correntes trifásicas com controle por MD para uma diminuição da tensão de referência.



a) Simulação



b) Experimental

Figura G.15 – Tensões trifásicas da microrrede AC durante uma diminuição do consumo e com controle interno por MD.

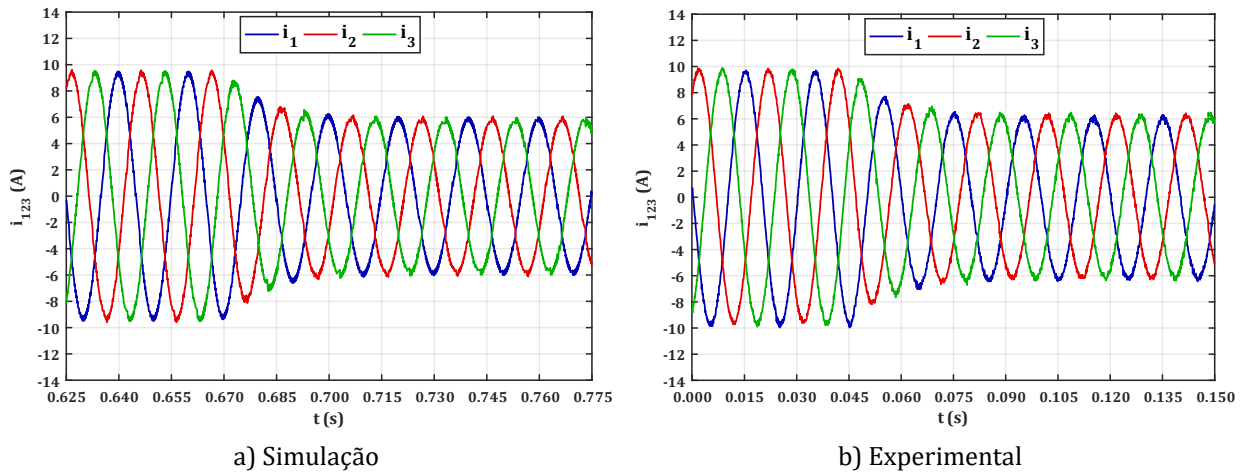


Figura G.16 – Correntes trifásicas com controlo por MD para uma diminuição do consumo da microrrede AC.

G.5 Outros resultados com controlo interno por PWM

Controlo DC – Aumento da referência

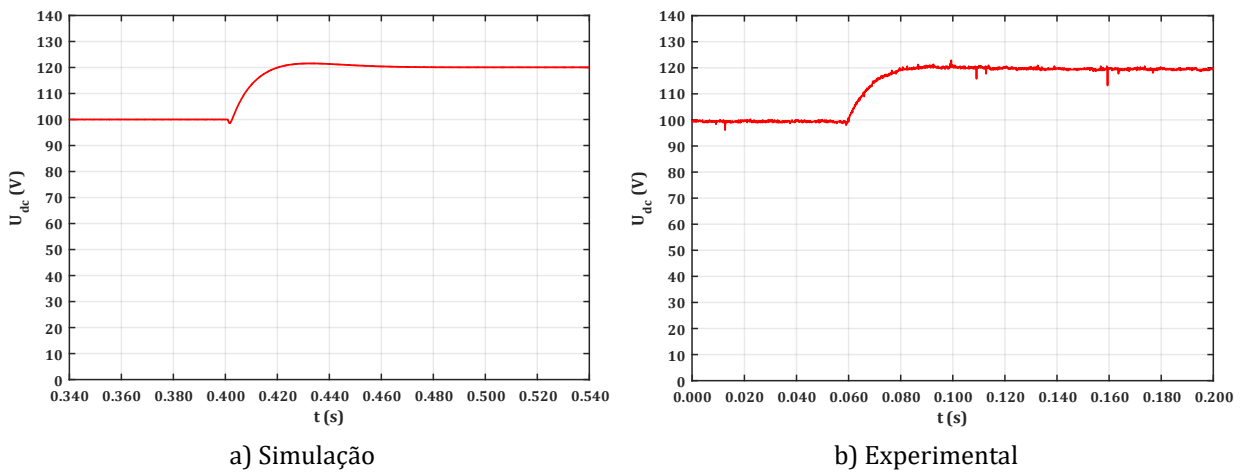


Figura G.17 – Tensão da microrrede DC para um aumento da tensão de referência e com controlo interno por PWM.

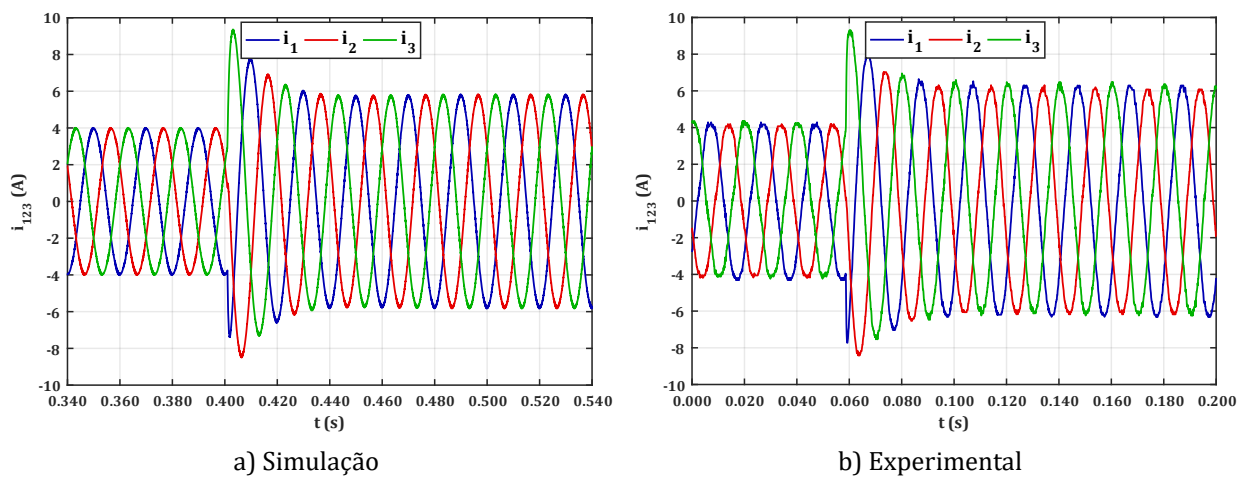
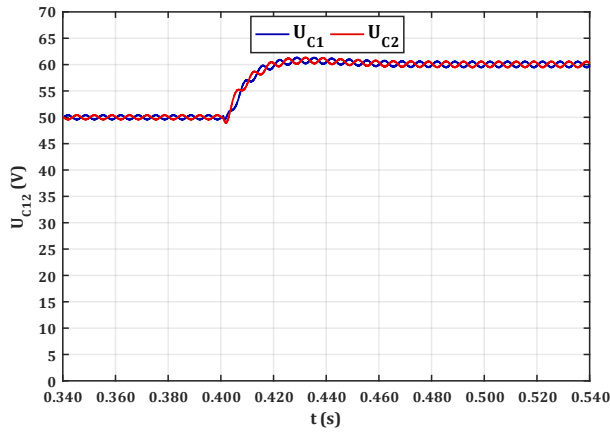
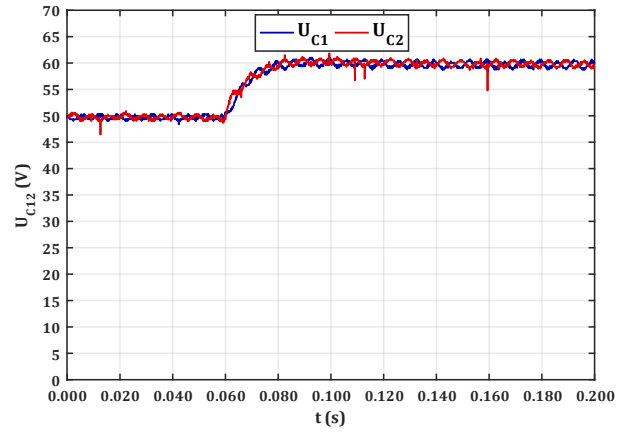


Figura G.18 – Correntes trifásicas com controlo por PWM para um aumento da tensão de referência da microrrede DC.



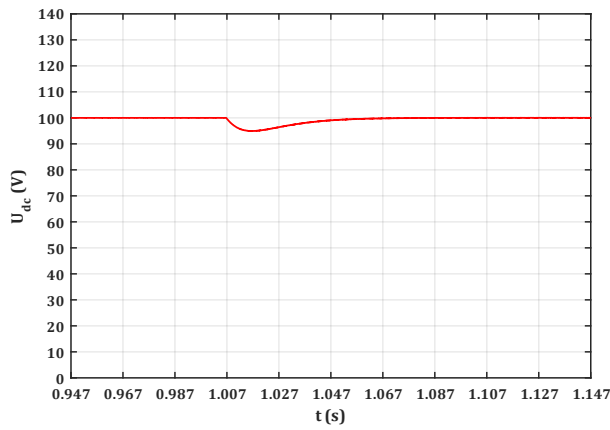
a) Simulação



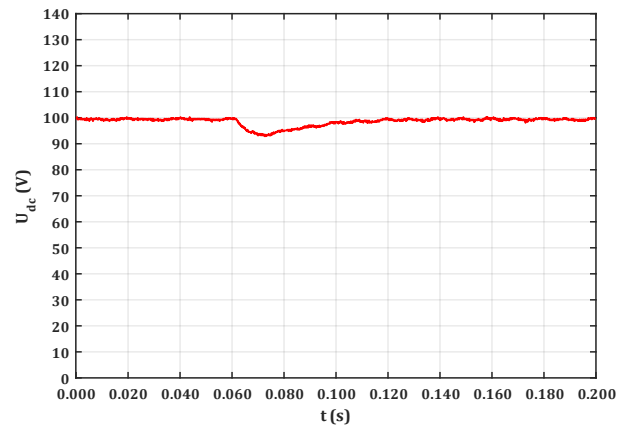
b) Experimental

Figura G.19 – Tensão dos condensadores C_1 e C_2 para um aumento da tensão de referência e com controle interno por PWM.

Aumento do consumo na microrrede DC

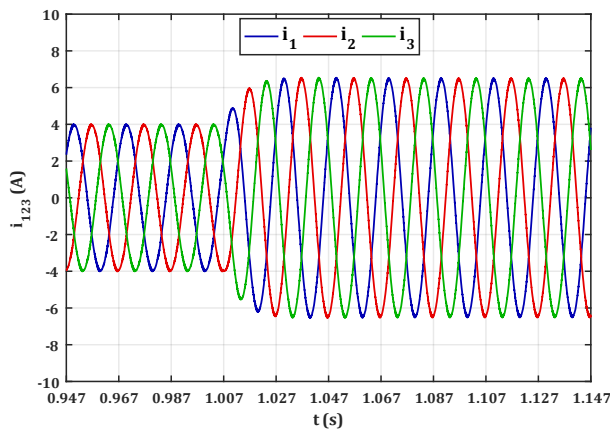


a) Simulação

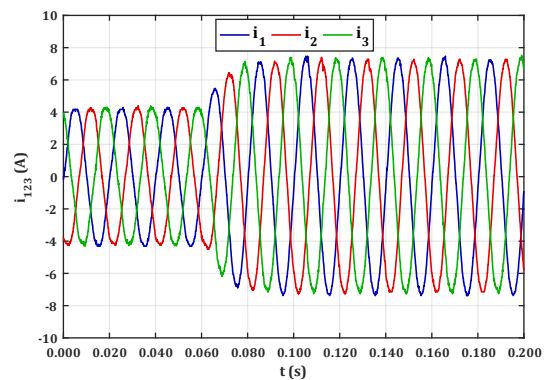


b) Experimental

Figura G.20 – Tensão da microrrede DC para um aumento do consumo e com controle interno por PWM.



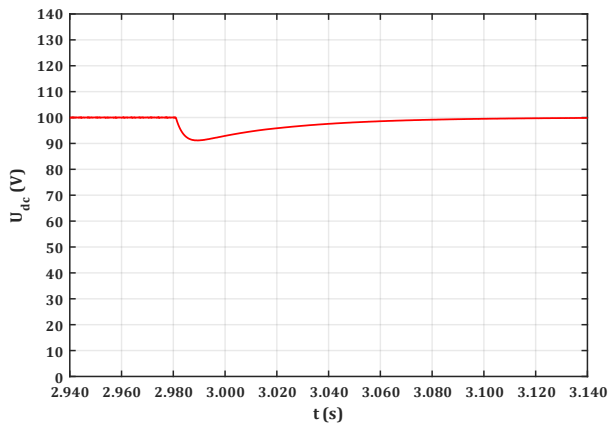
a) Simulação



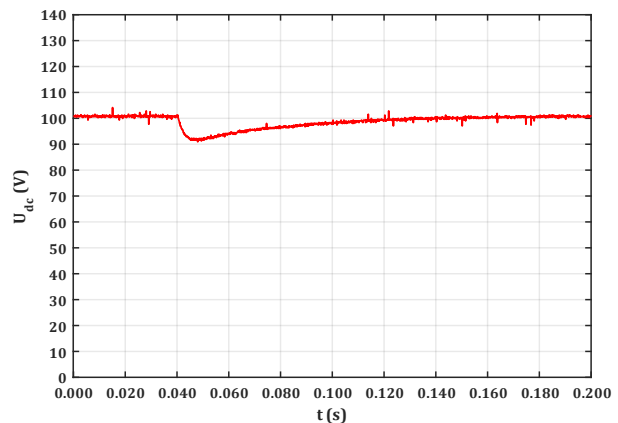
b) Experimental

Figura G.21 – Correntes trifásicas com controle por PWM para um aumento do consumo da microrrede DC.

Aumento do consumo com geração local

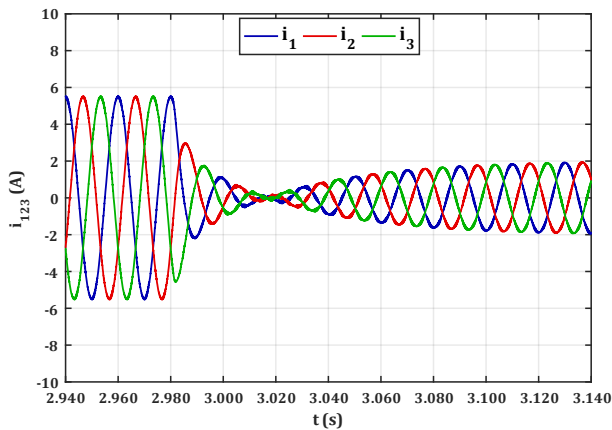


a) Simulação

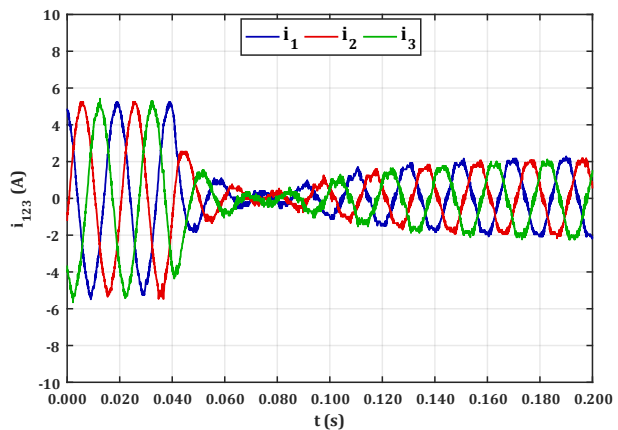


b) Experimental

Figura G.22 – Tensão da microrrede DC para um aumento do consumo com geração local na microrrede DC e controle interno por PWM.



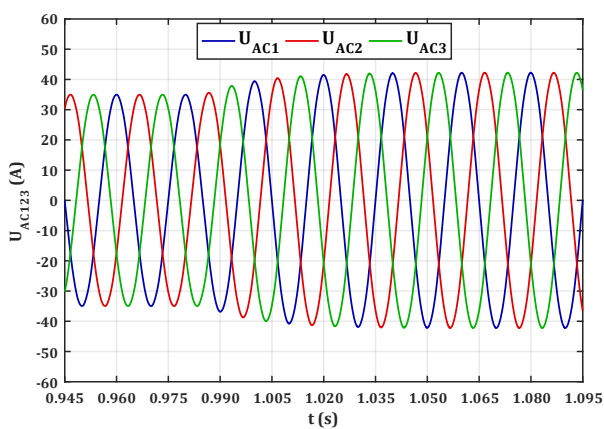
a) Simulação



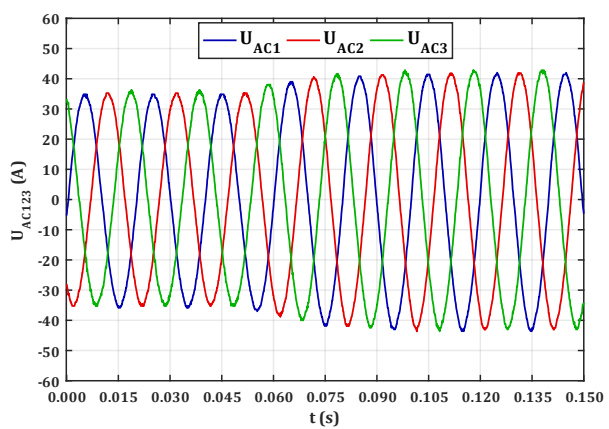
b) Experimental

Figura G.23 – Correntes trifásicas com controle por PWM e com inversão do sentido de transferência de potência para um aumento do consumo da microrrede DC com geração local.

Controle da microrrede AC

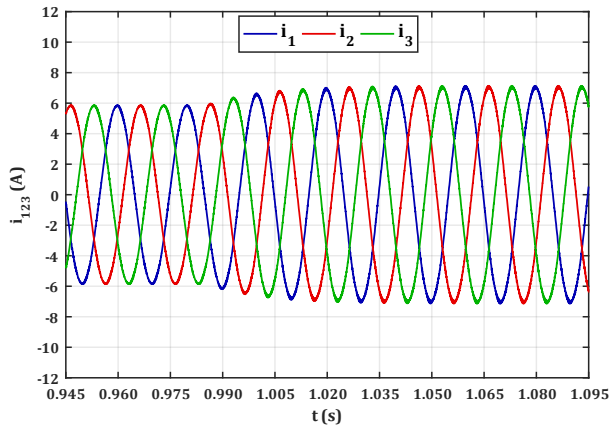


a) Simulação

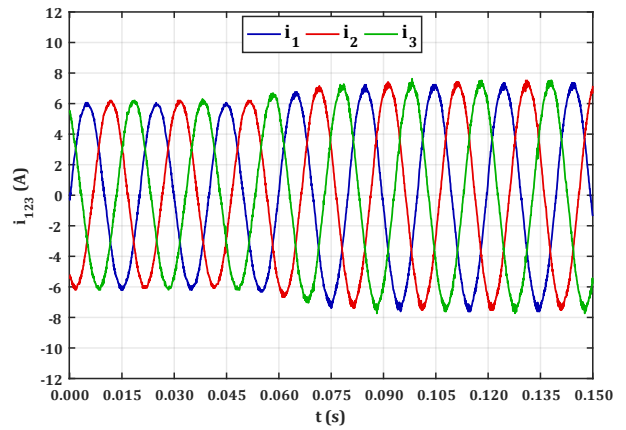


b) Experimental

Figura G.24 – Tensões trifásicas da microrrede AC durante um aumento da tensão de referência e com controle interno por PWM.

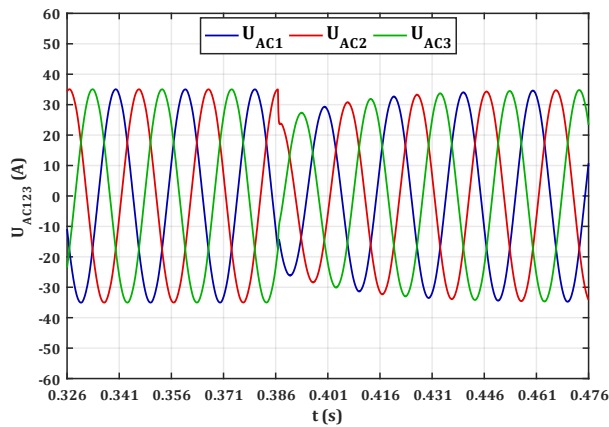


a) Simulação

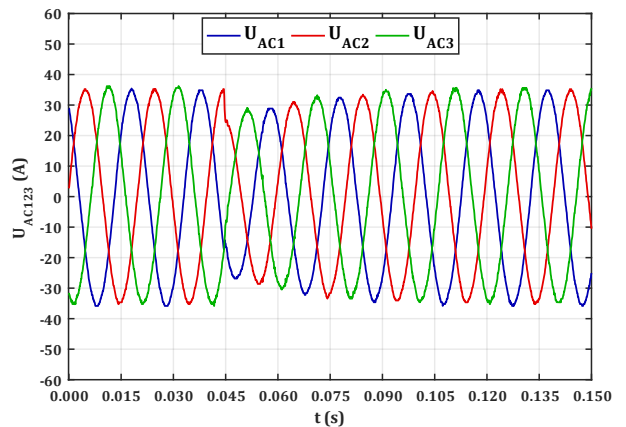


b) Experimental

Figura G.25 – Correntes trifásicas com controlo por PWM para um aumento da tensão de referência.

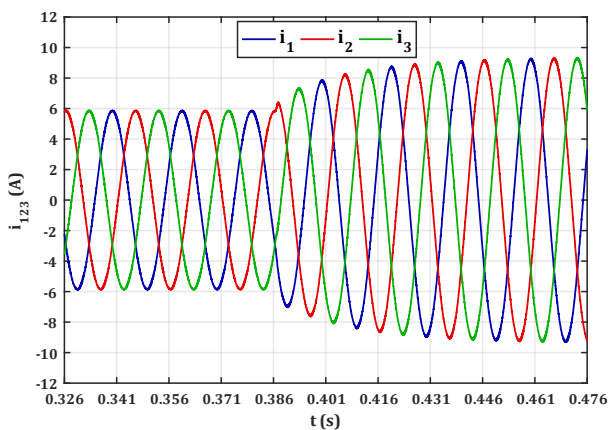


a) Simulação

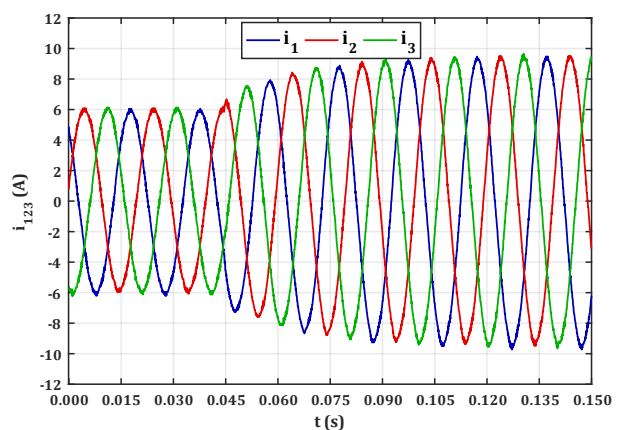


b) Experimental

Figura G.26 – Tensões trifásicas da microrrede AC durante um aumento do consumo e com controlo interno por PWM.



a) Simulação



b) Experimental

Figura G.27 – Correntes trifásicas com controlo por PWM para um aumento do consumo da microrrede

AC.