

A Nossa
Universidade

Colégio dos Jesuítas
Rua dos Ferreiros - 9000-082, Funchal

Tel: +351 291 209400
Fax: +351 291 209410
Email: gabinetedareitoria@uma.pt

DM

Conversores DC-DC Comutados de Elevado
Rendimento para Sensores de Imagem

Alice Sofia Xavier de Andrade



Conversores DC-DC Comutados de Elevado Rendimento para Sensores de Imagem

DISSERTAÇÃO DE MESTRADO

Alice Sofia Xavier de Andrade

MESTRADO EM ENGENHARIA DE TELECOMUNICAÇÃO E REDES DE ENERGIA


UNIVERSIDADE da MADEIRA
A Nossa Universidade
www.uma.pt

setembro | 2012

DIMENSÕES: 45 X 29,7 cm

PAPEL: COUCHÊ MATE 350 GRAMAS

IMPRESSÃO: 4 CORES (CMYK)

ACABAMENTO: LAMINAÇÃO MATE

NOTA*

Caso a lombada tenha um tamanho inferior a 2 cm de largura, o logótipo institucional da UMa terá de rodar 90°, para que não perca a sua legibilidade|identidade.

Caso a lombada tenha menos de 1,5 cm até 0,7 cm de largura o laoyut da mesma passa a ser aquele que consta no lado direito da folha.



Conversores DC-DC Comutados de Elevado Rendimento para Sensores de Imagem

DISSERTAÇÃO DE MESTRADO

Alice Sofia Xavier de Andrade

MESTRADO EM ENGENHARIA DE TELECOMUNICAÇÃO E REDES DE ENERGIA

ORIENTAÇÃO

João Dionísio Simões Barros

CO-ORIENTAÇÃO

Martin Wäyner

Constituição do júri

Presidente:

Doutor Alberto de Jesus Nascimento

Professor Auxiliar da Universidade da Madeira

Arguente:

Doutora Lina Maria Pestana Leão de Brito

Professora Auxiliar da Universidade da Madeira

Orientador:

Doutor João Dionísio Simões Barros

Professor auxiliar da Universidade da Madeira

Resumo

Nesta tese de mestrado em engenharia telecomunicações e redes de energia, fez-se um estudo sobre conversores DC-DC comutados de elevado rendimento para sensores de imagem. Onde o principal objetivo é que se desenvolva, em ambiente industrial, um conversor DC-DC de alto rendimento que seja capaz de criar uma tensão inferior à sua alimentação. De salientar que o conversor foi implementado, quase na totalidade, sob a forma de circuito integrado, na tecnologia CMOS 0,35 μm . A implementação deste trabalho foi realizada por meio de um estágio na empresa de sensores de imagem Awaiba.

No desenvolvimento do conversor DC-DC inicializou-se o estudo com um regulador de condensadores comutados, com uma arquitetura simples, em que se verificou, através de simulações realizadas num *software* específico para circuitos integrados - *Design Architect-IC*, que este regulador, apesar de estabilizar a tensão de saída na pretendida, não apresentava alto rendimento, ficando pelos 62%.

Na sequência do estudo, na tentativa de melhorar as características do regulador de condensadores comutados, desenvolveu-se um conversor DC-DC com um filtro passa baixo na saída. Verificou-se, através de simulação que este conversor apresentava um rendimento de 92%, onde a sua tensão de alimentação é de 3,3 V e consegue regular na sua saída uma tensão variável entre 1,4 V e 2,2 V, suportando uma corrente máxima de 200 mA. É de referir que o conversor desenvolvido apresenta um tempo de resposta de 20 μs quando ocorre um consumo de corrente com variação em escalão. Sendo um conversor adequado para alimentar sensores de imagem e com elevado rendimento.

Palavras-chave

Conversor, regulador, sensor de imagem, rendimento elevado, controlo, circuito integrado.

Abstract

In this master's thesis of telecommunications and energy networks, we have studied switching DC-DC convertors of high efficiency for image sensors. The main goal is to develop, in an industrial environment, a high efficiency DC-DC convertor that is able to create a voltage lower than input voltage. The convertor was implemented almost entirely as an integrated circuit in CMOS 0,35 μm . To accomplish this project, we were supported by sensors and image company, Awaiba.

To develop the DC-DC convertor, we initiated the study with a switching capacitor regulator, with a simple architecture, that allowed us to verify, through simulations with specific software for integrated circuits available at Awaiba, *Design Architect-IC*, that this regulator was not very effective (62%), although it was capable of stabilizing the exit voltage as intended.

As the study progressed, we tried to improve the efficiency of the switching capacitor regulator by developing a DC-DC convertor with a low pass filter at the output. Through simulations we observed that this convertor has a 92% efficiency, where its input voltage is 3.3 V and it regulates the output voltage between 1.4 and 2.2 V, sustaining a maximum current of 200 mA. The convertor developed has a 20 μs response time to step load variation, for being a good convertor to feed image sensors.

Key words

Convertor, regulator, image sensor, high efficiency, control, integrated circuit.

Agradecimentos

Ao meu orientador, o Prof. Dionísio Barros, pela disponibilidade, atenção dispensada, paciência, dedicação e pelo apoio na disponibilização de bibliografia, assim como na partilha dos seus conhecimentos académicos.

Ao meu co-orientador Doutor Martin Wäny, pela oportunidade de realizar esta tese em ambiente industrial, pela atenção dispensada e pela disponibilidade.

Ao Eng. Miguel Freitas, por toda paciência, dedicação, atenção dispensada e disponibilidade. Agradeço também toda a sua vontade de partilhar todos os seus conhecimentos em eletrónica assim como os conhecimentos em sensores, em processamento digital e na tecnologia CMOS. Agradeço ainda a sua preocupação na realização de todo o trabalho. Obrigada por todas as críticas, todas elas foram valiosas... Um muito obrigada!!!

Ao meu marido, Guido Silva, pelo incentivo, compreensão e encorajamento, durante todo este período.

À minha família, por todo o apoio dado durante toda a minha vida, tanto pessoal como académica.

Aos meus amigos, Priscilla, Carla, Victor, Miguel, Cristina, Ivo, Jorge e Carina, pelo apoio e pelos momentos de entusiasmo partilhados em conjunto.

Aos Eng. Paulo, Eng. Pedro, Eng.^a Elena, Eng. João, Eng. Eric, Eng. Rubén, Dr^a. Susana e Dr. Sérgio, pela amizade e companheirismo.

A todos os demais...

Lista de abreviaturas e terminologia

Bondwire – é um fio de ouro ou alumínio para interligar a *pad* a um *pin*

CI – Circuito integrado

EMI – Interferência eletromagnética

OTA - *Operational Transconductance Amplifiers*

Pads – terminação de um circuito integrado, cujo material é sílica

PWM – *Pulse width modulation*

Lista de símbolos mais frequentes

$\langle I_c \rangle$ – Corrente média no condensador

ΔV_{drop} - Variação do decaimento da tensão

ΔV_i – Variação da tensão inicial

ΔV – Variação da tensão

Δt – Variação do tempo

A_{MOS} - Área do MOSFET

C – Condensador

C_H - Capacidade mais elevada

C_{hold} – Condensador do nó de saída.

C_L - Capacidade mais baixa

C_{ox} - *Oxide Capacitance*

E_C - Energia armazenada no condensador

E_R - Energia dissipada na resistência

f_t - Frequência de comutação

I_{bias} – Corrente de polarização

P_{Rinst} - Potência instantânea dissipada na resistência

Q_H - Carga Alta

Q_L - Carga baixa

R – Resistência

R_{load} – Resistência de carga

R_{on} – Resistência dos interruptores

SW_{in} - Interruptor de entrada

SW_{out} – Interruptor de saída

t - Tempo

V_{DD} - Tensão de alimentação

V_H - Tensão alta

V_{in} - Tensão de entrada

V_L - Tensão baixa

$V_o(t)$ – Sinal da tensão de saída

V_{out} - Tensão de saída

$V_{outdrop}$ - Decaimento da tensão de saída

V_{outref} - Tensão de saída de referência

V_{SPH} - *Upper switching point voltage*

V_{SPL} - *Lower switching point Voltage*

V_{ss} - Massa

V_{THN} – Tensão de *threshold*

ω_n - frequência natural

Índice

Resumo	i
Abstract	iii
Agradecimentos	v
Lista de abreviaturas e terminologia	vii
Lista de símbolos mais frequentes	ix
Índice de figuras	xiii
Índice de tabelas	xvii
1. Introdução	1
1.1. Motivação	2
1.2. Objetivos	3
1.3. Organização e conteúdos	4
2. Estado de arte	7
2.1. Conversores lineares	9
2.2. Conversor de condensadores comutados	9
2.2.1. Comutação suave e comutação forçada	12
2.3. Filtros	13
2.4. Controlo	14
2.5. Conversores redutores	15
3. Regulador de condensadores comutados	17
3.1. Análise	18
3.2. Simulação	25
3.3. Discussão de resultados	44
3.4. Melhoramento do regulador de condensadores comutados	48
4. Conversor redutor	51
4.1. Análise	52

4.2. Simulação	57
4.2.1. Conversor tensão-corrente	57
4.2.2. Sinais de controlo	61
4.2.3. Gerador de onda triangular	65
4.2.4. Sistema de conversão e malha de controlo	70
4.3. Implementação.....	75
5. Conclusões e trabalhos futuros.....	77
5.1. Conclusões.....	78
5.2. Trabalhos futuros	80
Bibliografia	81
Anexo A – Características do Design Architect IC	87
A.1. Uma solução de design.....	87
A.2. Personalização completa do design IC.....	88
A.3. Captura esquemática, simulação e análise.....	88
A.4. Verificação e simulação	88
A.5. Capacidade de modulação	88
A.6. Compatibilidade com o Linux	89
Anexo B – Regulador de condensadores comutados.....	91
Anexo C – Desenvolvimento do OTA, amplificador classe AB e comparador..	93
C.1. Wide swing OTA	93
C.2. Amplificador em classe AB.....	99
C.3. Comparador	102
Anexo D – Circuito do contador	103
Anexo E – Gerador de rampa triangular	105
Anexo F – Sistema de conversão com a malha de controlo	109
Anexo G – Simulações do conversor DC-DC redutor	111

Índice de figuras

Figura 3.1– Regulador redutor de condensadores comutados de 4 estágios com circuito de controlo [20].	19
Figura 3.2– Ideia básica para o desenvolvimento do regulador de condensadores comutados.	19
Figura 3.3– Transferência de carga entre condensadores.	20
Figura 3.4 – Variação da tensão à saída do regulador.	21
Figura 3.5 – Regulador de condensadores comutados.	23
Figura 3.6 – Malha de controlo.	24
Figura 3.7 – Regulador de condensadores comutados implementado no <i>Design Architect – IC</i> .	25
Figura 3.8 – Oscilador controlado por tensão utilizando <i>Schmitt Trigger</i> e fontes de correntes [23].	29
Figura 3.9 – Esquema do <i>Schmitt Trigger</i> [23].	29
Figura 3.10 – Parte do <i>Schmitt Trigger</i> [23].	30
Figura 3.11 – Oscilador desenhado no <i>Design Architect-IC</i> .	31
Figura 3.12 – Divisor de frequência por 8.	32
Figura 3.13 – Forma de onda na saída do oscilador.	32
Figura 3.14 – Saída teórica do divisor de frequência.	33
Figura 3.15 – Divisor de frequência desenhado no <i>Design Architect-IC</i> .	33
Figura 3.16 – Ondas do divisor de frequência.	34
Figura 3.17 – Circuito de não sobreposição.	34
Figura 3.18 – Sinais à saída e entrada do circuito de não sobreposição.	35
Figura 3.19 – Conversor ADC.	37
Figura 3.20 – Cadeia de resistências.	37
Figura 3.21 – Resultados da simulação do conversor ADC.	39
Figura 3.22 – Regulador de condensadores comutados.	40
Figura 3.23 – Comportamento da corrente de entrada.	41
Figura 3.24 – Ativação dos interruptores.	41
Figura 3.25 – Comportamento dos interruptores de entrada e de saída.	42
Figura 3.26 – Consumo de corrente.	42

Figura 3.27 – Tensão de saída do regulador de condensadores comutados.....	43
Figura 3.28 – Esquema do interruptor.	44
Figura 3.29 – Variação da resistência no interruptor.....	45
Figura 3.30 – Filtro passa baixo.	45
Figura 3.31 – Sinal à saída do filtro passa baixo.	46
Figura 3.32 – Comparação entre a comutação suave e comutação forçada.	47
Figura 3.33– Adaptação do regulador de condensadores comutados.	48
Figura 3.34– Estados de funcionamento.	49
Figura 4.1– Conversor redutor de meia ponte com malha de controlo.....	52
Figura 4.2– Circuito de compensação na malha de controlo.	53
Figura 4.3– Circuito para introduzir um <i>zero</i>	53
Figura 4.4– Circuito derivativo [26].	54
Figura 4.5– Conversor tensão-corrente.....	55
Figura 4.6– Malha de controlo com o conversor DC-DC.....	57
Figura 4.7– Conversor tensão-corrente.....	58
Figura 4.8 – Enquadramento do conversor tensão corrente.	58
Figura 4.9 – Diagrama de bode do conversor tensão corrente.	59
Figura 4.10 – Resposta do conversor tensão corrente ao sinal de entrada.	60
Figura 4.11 – Circuito derivativo.....	61
Figura 4.12 – Arquitetura do contador.....	62
Figura 4.13 – Sinais do contador com indicação do <i>overflow</i>	63
Figura 4.14 – <i>Reset control</i>	65
Figura 4.15 – Esquema simplificado do gerador de onda triangular.	65
Figura 4.16 – Saída do gerador de onda triangular.....	68
Figura 4.17 - Relação entre os sinais do bloco de atraso.	68
Figura 4.18 – Circuito de atraso.	69
Figura 4.19 – Circuito de não sobreposição.	69
Figura 4.20 – Bloco do gerador de onda triangular.	70
Figura 4.21 – Sistema de conversão com a malha de controlo.	71
Figura 4.22– Conversor DC-DC redutor com filtro passa baixo.....	72
Figura 4.23 – Corrente na alimentação e corrente de carga.	73
Figura 4.24- Rendimento do sistema.	74
Figura 4.25– <i>Layout</i> do conversor meia ponte.	75

Figura B.1 – Conversor ADC.....	91
Figura B.2- Regulador condensadores comutados.	92
Figura C.1 - OTA ideal.	93
Figura C.2 – Implementação do OTA.....	95
Figura C.3 – Circuito utilizado para estudar o ganho do amplificador.....	95
Figura C.4 – Diagrama de bode do OTA.	96
Figura C.5 – Circuito para verificação da resposta a uma variação de sinal de entrada.	98
Figura C.6 – Simulação <i>settling time</i> do OTA.	98
Figura C.7 – Esquema do amplificador em classe AB.	99
Figura C.8 – Diagramas de bode do amplificador classe AB.	100
Figura C.9 – Simulação <i>settling time</i> do amplificador classe AB.	101
Figura C.10- Comparação do consumo de corrente entre o OTA e o amplificador em classe AB.....	102
Figura E.1 – Gerador de rampa de subida.	105
Figura E.2 – Gerador de rampa de descida.	106
Figura E.3 – Gerador de onda triangular.....	107
Figura G.1 – Comportamento da corrente de carga (amarelo) e da corrente de corrente de alimentação (verde).	111
Figura G.2 – Comportamento da tensão de saída do conversor DC-DC redutor com corrente de carga 200 mA.	112
Figura G.3 – Consumo de corrente do gerador de onda triangular.	112
Figura G.4 – Corrente na bobina e no condensador.....	113
Figura G.5 - Sinais de tensão na malha de controlo.	113
Figura G.6 – Sinais da malha de controlo.	114
Figura G.7 – Potência consumida.	115
Figura G.8 – Geração do fator de ciclo.....	116
Figura G.9 – Tensão na saída.	117
Figura G.10 – Comportamento do sinal de saída de acordo com a variação da corrente de carga com tempo de subida de 10 μ s.....	118
Figura G.11 - Comportamento do sinal de saída de acordo com a variação da corrente de carga com tempo de subida de 50 μ s.	119
Figura G.12 – Erro do sinal de saída.....	120

Índice de tabelas

Tabela 1.I – Principais características pretendidas para o conversor.	3
Tabela 3.I – Dimensão dos MOSFETs.	27
Tabela 3.II – Tabela de verdade do conversor ADC.	36
Tabela 3.III – Tabela de verdade de acionamento dos interruptores.	36
Tabela 4.I – Comparação de resultados	73
Tabela 5.I – Características do conversor DC-DC comutado de elevado rendimento. ..	80
Tabela C.1 – Dados de simulação.....	97
Tabela C.2 – Dados de simulação do amplificador classe AB.....	100

1.

Introdução

Neste capítulo introdutório da tese de mestrado em Engenharia Telecomunicações e Redes de Energia subordinada ao tema de conversores DC-DC comutados de elevado rendimento para sensores de imagem, descreve-se a motivação à qual levou à investigação desenvolvida, assim como os objetivos e a organização deste documento.

1.1. Motivação

Atualmente no mercado eletrónico, um dos componentes essenciais nos sistemas industriais são os sensores de imagem, pois estes são necessários para visualizar toda a atividade de um sistema físico. Em algumas aplicações, os sensores de imagem tendem a ser o mais pequeno possível, de modo a alcançar todo o tipo de espaços. Para que os sensores de imagem funcionem é necessário uma alimentação adequada, portanto a partir da alimentação do sistema é utilizado um conversor. É de alta importância para a AWAIBA¹ a implementação de conversores DC-DC em circuitos integrados por forma a utilizar nos seus sistemas.

O desempenho de um circuito integrado (*CI*) é dependente da tensão de alimentação. Para que um circuito opere de forma fiável enquanto satisfaz as especificações de desempenho, sendo estas o melhor rendimento, o baixo consumo e a melhor resposta, é essencial uma tensão de alimentação ser estável. Na maioria dos sistemas eletrónicos, são requeridos vários circuitos, sendo que estes podem ter a necessidade de funcionarem em tensões e correntes diferentes. Por forma a alimentar todos estes circuitos é necessário a utilização de vários conversores de tensão.

Grande parte dos circuitos integrados são desenvolvidos para operarem com uma alimentação DC; no entanto, o sistema onde estes se encontram, na sua generalidade, é alimentado por uma tensão AC, logo é necessário a utilização de um conversor AC-DC. A partir da tensão DC base é necessário a utilização de vários conversores DC-DC para gerar as tensões específicas de cada um dos circuitos integrados que constituem o sistema.

Normalmente, a tensão DC fornecida a um circuito integrado deve ser o mais estável possível, por forma a garantir a funcionalidade do circuito. A fonte de

¹ “AWAIBA é uma empresa de desenho e desenvolvimento de sensores de imagem, em que seus projetos são principalmente sensores de imagem, feitos à medida dos clientes. São projetos para aplicações na área da medicina, no ramo automóvel e para aplicações industriais, assim como para sistemas de vídeo de alta velocidade. Faz também consultadoria e desenvolvimento de serviços no ramo da ótica e na área do encapsulamento de *CI*s. Mais informações em www.awaiba.com.”

alimentação de um circuito integrado não deve prover apenas uma tensão de conversão, mas sim permitir a sua regulação.

Habitualmente, num sensor de imagem integrado, é necessário existirem dois tipos de alimentação, um para circuitos analógicos e outro para circuitos digitais. Assim, evita-se a presença de ruído na alimentação analógica causado pela alimentação dos circuitos digitais.

Portanto, pretende-se com este projeto o desenvolvimento de um conversor de tensão de elevado rendimento, por forma a ter disponível *on-chip*, duas alimentações distintas com apenas um par de pinos de alimentação. Também é imperativo o uso do menor número de componentes externos, para minimizar perdas nas ligações, como também, os pinos dedicados para a ligação dos mesmos ao sensor.

1.2. Objetivos

Quanto aos objetivos propostos para a realização deste projeto são:

- ✓ Estudar as necessidades de alimentação dos sensores de imagem em tecnologia CMOS;
- ✓ Estudar os métodos existentes de alimentação de sensores de imagem e comparar com novas topologias; isto é, o estado da arte;
- ✓ Desenvolvimento de circuitos eletrónicos com recurso a ferramentas de *software* de desenho, simulação, *layout* e verificação para projetar um circuito de alimentação de um sensor de imagem com as características apresentadas na Tabela 1.I;

Tabela 1.I – Principais características pretendidas para o conversor.

V_{in}	5 V
V_{out}	$\leq 3,3$ V
I_{load}	0 – 200 mA
$\Delta I/dt$	< 50 mA/ μ s
Componentes externos	2
Ligações externas	2
Eficiência	$> 80\%$

- ✓ Simulação dos circuitos projetados e correspondentes *layout* e verificação.

1.3. Organização e conteúdos

Este relatório está organizado em cinco capítulos, sendo que a divisão em capítulos segue a seguinte ordem:

- ✓ Capítulo 1 – **Introdução**

Neste capítulo foi feita a introdução da dissertação, onde foi apresentada a motivação para a realização do trabalho, foram enumerados os objetivos para o mesmo e é descrito a organização do relatório e do trabalho.

- ✓ Capítulo 2 – **Estado de arte**

Neste capítulo faz-se uma introdução teórica e análise sobre os sistemas de conversão de tensão existentes, assim como uma abordagem por forma a identificar as falhas existentes em sistemas de conversão em microeletrónica, possibilitando uma investigação fundamentada nesta área.

- ✓ Capítulo 3 – **Regulador de condensadores comutados**

Com a análise efetuada no estado de arte, desenvolve-se a arquitetura de um regulador de condensadores comutados para alimentar um circuito de sensores de imagem, associado a uma malha de controlo a três *bits*. Analisa-se e simula-se todos os componentes presentes do sistema por forma a averiguar o comportamento esperado.

- ✓ Capítulo 4 – **Conversor DC-DC redutor**

De forma a melhorar o comportamento do regulador de condensadores comutados, procede-se à análise e implementação de um conversor DC-DC redutor, sendo que se apresenta e desenvolve uma arquitetura eficiente, em que o sinal de saída do regulador rapidamente estabilizava e se mantinha estável com um *offset* as necessidades de alimentação do circuito.

✓ Capítulo 5 – **Conclusões e trabalhos futuros**

Neste capítulo são apresentadas as conclusões relativas ao trabalho realizado e são recomendados trabalhos futuros para dar continuidade ao trabalho realizado.

2.

Estado de arte

Neste capítulo faz-se uma introdução teórica e análise sobre os sistemas de conversão de tensão existentes, assim como uma abordagem por forma a identificar possíveis evoluções em sistemas de conversão em microeletrónica.

Os conversores comutados de energia têm sido estudados com o intuito de proporcionar maior eficiência e consequente redução do consumo. Isto acontece por que os conversores lineares têm baixo rendimento comparativamente aos conversores comutados, uma vez que uma quantidade significativa de potência de entrada é dissipada no elemento passagem do regulador.

Neste estado de arte são mostrados vários estudos de conversão, onde os assuntos são direcionados particularmente para a análise da execução operacional dos diversos conversores através de comparações que assinalam as vantagens e desvantagens diante das especificidades de cada aplicação examinada.

Portanto, para o desenvolvimento deste capítulo começou-se por realizar uma comparação entre o regulador comutado e o linear, onde se averiguou que a implementação de um regulador comutado difere da de um regulador linear em [1], uma vez que o transistor é utilizado como um comutador e opera num estado de saturação ou de corte. Deste modo, a energia é transmitida através do dispositivo de pulsos de corrente, em vez de ser transmitido como um fluxo de corrente contínua, ou seja, a principal vantagem de conversores comutados é o aumento da eficiência, chegando a ordem dos 70% a 97 %.

Na sequência do estudo viu-se que o aperfeiçoamento de espécimes teóricos para a investigação do funcionamento dos conversores comutados tem sido periodicamente difundido na literatura. No estudo descrito em [2], o autor apresenta uma investigação acerca dos conversores lineares, evidenciando uma formulação genérica da equação de comutação, concluindo com uma análise do conteúdo harmónico originado pelos conversores em circunstâncias impróprias de funcionamento, o que possibilita analisar as mudanças do conteúdo. Na publicação “*Feasibility of DC transmission with forced commutation to remote loads*” [3], os autores expõem um estudo da comutação nos conversores DC-DC, através da aplicação de modelos e simulações em regime estacionário. Acrescentam ainda que a utilização destes conversores minimiza a utilização de filtros, que, por sua vez, facilitam a conversão. Assim, nesta contextualização, concluem que o custo adicional para a conversão DC-DC pode ser compensado pela eliminação dos condensadores ou máquinas síncronas necessários quando da utilização de conversores lineares. Muitos são outros estudos que realizam uma comparação entre o conversor linear e o comutado, destacando-se entre eles a

investigação realizada em [4], onde os autores fazem comentários sobre as novas tecnologias e concluem que estas permitem o melhor funcionamento dos conversores comutados.

2.1. Conversores lineares

Os conversores lineares são usados para gerar uma tensão de saída DC com uma menor amplitude e a mesma polaridade, em comparação com uma tensão de entrada DC. Os conversores lineares têm uma eficiência intrinsecamente baixa, em particular, se a taxa de conversão for elevada, ou seja, ao contrário de um regulador linear, um regulador de condensadores comutados DC-DC pode alterar a polaridade e aumentar a amplitude de uma tensão de alimentação [5].

Nos conversores lineares a transferência de potência entre a fonte de entrada e a fonte de saída é realizada por um elemento reativo; em que este adquire potência da fonte de entrada quando o interruptor ativo se encontra ligado. O elemento reativo é uma bobina quando há transferência de potência entre fontes de tensão e é um condensador quando a transferência se verifica entre duas fontes de corrente. Desta forma, os conversores lineares são circuitos eletrónicos que são principalmente organizados pela junção de interruptores comandados ou ativos (transístores), interruptores não comandados ou passivos (diodos) e componentes reativos que armazenam provisoriamente a potência deslocada entre a fonte de entrada e a carga.

Os conversores lineares oferecem um fundamental benefício, que é o facto de ser harmonizável com tecnologias CMOS. Contudo, ainda que todo o estudo e empenho nas pesquisas para o aperfeiçoamento destes conversores, os mesmos continuam por oferecer rendimentos inferiores aos conseguidos pelos conversores de condensadores comutados DC-DC [5].

2.2. Conversor de condensadores comutados

Foram propostos em 1988, conversores de condensadores comutados com a intenção de permitir a execução de circuitos analógicos diante da tecnologia CMOS, pois esta apresenta um estrato de polisilício e não admite a realização, de modo eficaz, de conversores lineares, visto que estes continuam em utilização, porém somente em aplicações simples e de baixa potência [6].

A trajetória do progresso tecnológico na área de processamento de semicondutores esta a ser continuada por mais de quatro décadas. Como é salientado ao longo deste trabalho, a geração, distribuição e perdas de energia estão na vanguarda dos problemas atuais na área de circuitos integrados, como por exemplo, de técnicas de conversão DC-DC de alta frequência monolíticas aplicáveis aos vários circuitos de tensão de abastecimento são apresentados em CMOS que fornecem a tensão adicional a vários níveis, com baixas perdas de energia [6].

Os conversores dos condensadores comutados, no entendimento dos autores de [7], são o modelo predominante na execução em circuito integrado de sistemas de processamento de sinais. Isto deve-se a vários fatores:

- Este tipo de conversores necessita unicamente de amplificadores de transcondutância, condensadores e interruptores, que são elementos encontrados na tecnologia CMOS;
- O seu funcionamento e constantes de tempo são particularmente estabelecidos pelo quociente entre capacidades e não pelo valor absoluto de resistências e condensadores, como nos circuitos RC-ativos e nos atuais filtros integrados contínuos no tempo;
- A variação da frequência do sinal de relógio permite sintonizar as constantes de tempo. Isto quer dizer que os conversores de condensadores comutados baseiam-se na amostragem, guarda e transferência de carga entre condensadores, na qual esta última é feita por meio de amplificadores de transcondutância, que concebem nós de massa virtual e dão corrente para carga e descarga dos condensadores.

Desta forma, a tecnologia CMOS converteu-se numa das opções mais praticáveis para a implementação de métodos e processos de circuitos eletrónico. A tecnologia CMOS tem exercido uma função relevante, uma vez que esta oferece alta utilidade e complexidade com diminuto investimento [7].

De forma a conseguir soluções monolíticas de gestão de potência em tecnologia CMOS, principalmente na área de equipamentos eletrónicos portáteis alimentados a bateria, foi realizada uma investigação descrita em [8] que consiste no estudo de um conversor redutor integrado com a tensão de saída adaptativa, que recorre à técnica de

deslocamento para eliminar a utilização de alimentação negativa e de tensões de referência no controlador. Este estudo também mostra que, para melhorar a eficiência, é proposto o controlo dinâmico nos transístores de potência por forma a minimizar as comutações e as perdas de condução.

No estudo dos conversores DC-DC, as topologias de comutação suave evidenciaram-se pela sua eficácia e a sua pequena interferência eletromagnética, ou seja, o uso de técnicas de comutação suave pode diminuir o ruído e as perdas por comutação, devido à inexistência de picos de corrente [9].

Os conversores de condensadores comutados DC-DC são estruturas formadas por semicondutores atuando como interruptores, e por componentes passivos, que têm por finalidade orientar o fluxo de potência de uma fonte de entrada para uma fonte de saída [9].

Os conversores de condensadores comutados DC-DC são sistemas normalmente utilizados para fornecer uma tensão contínua regulada a partir de uma fonte de tensão contínua não regulada. Os circuitos de condensadores comutados são geralmente compostos por transístores e por elementos passivos. Estes conversores podem ser controlados através de PWM, sendo o fator de ciclo a principal característica que controla o valor médio da tensão na saída [10]. Disto extrai-se que os conversores de condensadores comutados DC-DC podem ser determinados como circuitos que modificam uma determinada tensão.

No seu livro “*Multi-Voltage CMOS Circuit Design*”, os autores V. Kursun e E. Friedman [5] corroboram o acima explicitado e afirmam que: “Um conversor comutado DC-DC gera uma tensão de alimentação de saída contínua com uma diferente amplitude ou polaridade do que a tensão de entrada DC. Os conversores de comutação DC-DC são os mais utilizados devido ao seu elevado rendimento. Ao contrário de um conversor linear, a eficiência do conversor comutado DC-DC aproxima-se de 100% (pelo emprego de uma tecnologia de fabrico mais avançado, com reduzida impedâncias parasitas).”

2.2.1. Comutação suave e comutação forçada

Por forma a diminuir as dimensões de um conversor DC-DC, deve ser escolhido uma maior frequência de comutação. Aumentando a frequência de comutação leva a perdas que, por sua vez, reduz a eficiência do conversor. Mediante disto, várias técnicas de comutação suave são utilizadas em conversores DC-DC para reduzir as perdas de comutação e interferência eletromagnética (EMI), visto que vários problemas associados com comutação forçada são relatados na literatura consultada para o desenvolvimento desta dissertação.

Como a escolha da comutação, entre comutação suave e forçada, é importante para obter um bom rendimento, fez-se uma pesquisa sobre estes conceitos e verificou-se que, em estudos e pesquisas realizados na década de 1970, com conversores PWM, onde os mesmos foram postos a funcionar numa operação de modo comutada, onde os interruptores de energia tiveram que cortar a corrente de carga dentro do *turn-on* e *turn-off* sob os estados de comutação, ou seja, a comutação ocorre de forma forçada nos dispositivos eletrónicos de potência. Isto quer dizer que, tanto no processo *turn-on* ou *turn-off*, os dispositivos tiveram que suportar tanto a alta tensão como a corrente, o que provoca perdas de comutação. Para solucionar essa perda de comutação, foram adicionados barramentos e condensadores aos circuitos de alimentação, de modo que a dv/dt e di/dt dos dispositivos de energia pudessem ser reduzidos [11].

A perda de comutação é proporcional à frequência de comutação, delimitando também a frequência máxima de comutação dos conversores de potência. Isto quer dizer que a comutação forçada não é a mais apropriada para a comutação de condensadores DC-DC, sendo necessária a utilização desses conversores na comutação suave, para evitar picos de corrente.

Portanto, para melhorar as condições de comutação para os dispositivos semicondutores em PWM, várias técnicas de ressonância foram propostas, sendo elas descritas no seguimento do estado de arte deste trabalho.

Em 1980, a frequência de comutação do conversor típico foi fixada a poucas dezenas de kHz. Os componentes dispersos indutivos e capacitivos nos circuitos de alimentação e dispositivos causam consideráveis efeitos transitórios, que, por sua vez, dão origem a interferência eletromagnética. Em razão disto, foram realizados estudos

para a utilização de conversores ressonantes. A finalidade do uso destes conversores é que a tensão à saída tenha um comportamento oscilatório mais estável. Disto resultou uma diminuição da perda de comutação e consequente melhoria contínua dos interruptores permitindo que a frequência de comutação dos conversores ressonantes chegasse às centenas kHz (tipicamente 100 kHz a 500 kHz).

Logo, o processo de comutação suave ideal pode ser descrito em: primeiro, a tensão diminui para zero, e, em seguida, a corrente aumenta lentamente para o valor do estado de trabalho, resultando numa perda de comutação de potência em aproximadamente zero. Além disso, tensão do dispositivo de comutação convergiu para zero, sendo que a capacidade de junção também apresenta tensão nula, resolvendo assim a comutação capacitiva [12].

2.3. Filtros

Muitos dos circuitos de comutação consistem em filtros, por forma a forçar a corrente nula no processo de comutação. Estes são circuitos capazes de separar sinais elétricos de correntes, alterando as características de amplitude e fase desses sinais. Este processo é denominado de filtragem e ocorre graças às diversas características das curvas de impedância dos diferentes filtros com relação ao espectro de frequências [13].

De acordo com o tipo de filtro, a finalidade de filtragem e a característica de frequência do filtro empregado, rejeitam-se sinais de frequências indesejáveis. Os filtros são equipamentos robustos constituídos de elementos resistivo (R), indutivo (L) e capacitivo (C), em combinações variadas. Os filtros podem ser inseridos em paralelo ou em série, o primeiro são aqueles que são instalados nos barramentos (da mesma forma que os condensadores); e o segundo, são instalados entre pontos de uma mesma fase do circuito. Os filtros em paralelo e os filtros em série apresentam vantagens e desvantagens, de acordo com o tipo de aplicação. Entretanto, a utilização de filtros em paralelo é a mais difundida, onde este agrupa-se na categoria de filtros sintonizados e amortecidos. Os filtros amortecidos são circuitos formados por elementos R , L e C em diferentes combinações e que oferecem baixa impedância sobre uma larga faixa de frequência. Na frequência fundamental, a exemplo dos filtros sintonizados, os filtros amortecidos também apresentam impedância predominantemente capacitiva. Já nas frequências superiores, eles são essencialmente resistivos [13] [14] [15] [16].

2.4. Controlo

A aplicação dos processos de controlo encontra-se amplamente difundida em todas as áreas industriais, que necessitam de um controlo rigoroso nos seus processos de produção. O controlo dos processos desenvolve uma forma de maximizar a produção, minimizando desta maneira os custos destes processos ou então como uma forma de realizar o controlo do comportamento dos sistemas. O emprego dos sistemas de controlo nos processos confere algumas vantagens operacionais como: segurança, adaptabilidade do sistema, estabilidade, maior eficiência, tanto de controlo quanto de processo, redução de sobre-excedentes e otimização [17]. Para o trabalho a ser desenvolvido nesta tese, é de extrema importância o controlo, pois este é que permite a estabilidade da tensão do conversor, por forma a alimentar os sensores de imagem de forma segura.

Entre os vários sistemas controlados pode-se encontrar os sistemas de segunda ordem, onde é importante salientar as suas características de modo a realizar um controlo de alto rendimento. Estes sistemas de segunda ordem podem ser caracterizados por três formas distintas: sobreamortecido, criticamente amortecido e subamortecido. Num texto extraído de uma revista encontra-se um melhor entendimento acerca dos sistemas sobreamortecidos, que afirma que os mesmos não estarão sujeitos a oscilações mas consomem um tempo excessivo para atingir a sincronização com o restante sistema [18]. Já o sistema subamortecido demonstra uma resposta instantânea a um sinal de erro, mas resulta em oscilação da carga sobre o ponto de sincronismo. Contudo, em algum ponto entre o sobreamortecimento e o subamortecimento existe o criticamente amortecido, em que se atinge um tempo moderadamente curto de sincronização [18].

Aos conversores DC-DC podem ser associados a sistemas de segunda ordem; no entanto, estes conversores são normalmente controlados por modulação da largura de impulso (controlo por PWM). Mesmo com frequência de comutação constante, como é usual, existem muitas maneiras de se realizar um controlo deste tipo.

As perdas de comutação, tensões e de ruído devido às capacidades parasitas do circuito são inerentes à técnica de PWM convencional e são os principais fatores que restringem os conversores de operar numa maior frequência de comutação e de melhoria no desempenho. Contribuem ainda os autores de [19] que para aliviar estes problemas, numerosas técnicas de ressonância foram desenvolvidos. Tipicamente, um conversor ressonante incorpora um certo tipo de rede de ressonância numa topologia de PWM

para moldar o interruptor de tensão/corrente de forma que os interruptores sejam comutados quer por comutação de corrente nula quer por comutação de tensão nula (comutação suave).

2.5. Conversores redutores

Há várias técnicas de conversores DC-DC, elevador (*boost*) e/ou redutor (*buck*) em relação ao valor da tensão de entrada. A forma mais simples de diminuir uma tensão é pelo recurso ao divisor de tensão. No entanto, este não é prático para a conversão de energia, uma vez que não fornece à saída uma tensão com regulação e têm baixo rendimento, especialmente quando a tensão de saída é muito inferior à tensão de entrada. Outra forma simples de diminuir uma tensão de DC é usar o regulador linear. Infelizmente, os conversores lineares trabalham com base na divisão de tensão, portanto, sofrem os mesmos inconvenientes que os divisores de tensão. Uma melhor forma de converter uma tensão de DC para um outro nível é a utilização de um conversor comutado [13].

Existem diferentes tipos de conversores DC-DC, com diversos tipos de aplicações. A distinção mais importante encontra-se no tipo de isolamento. Os conversores não isolados são utilizados quando se pretende elevar ou baixar o valor da tensão. As principais topologias que constituem este grupo são: *buck*, *buck-boost*, *cúk*, SEPIC e *charge pump*. Estas são amplamente utilizadas para elevar, baixar e/ou inverter o valor de tensão de entrada e são normalmente utilizadas em circuitos de baixa potência. Para circuitos de elevada potência (com isolamento) são utilizados os conversores meia ponte ou ponte completa. Tipicamente, os conversores isolados são maiores e mais caros que as soluções sem isolamento. No entanto, dada a origem das aplicações, são mais seguros devido à diminuição de EMI [13].

3.

Regulador de condensadores comutados

Neste capítulo desenvolve-se uma arquitetura de um regulador de condensadores comutados para alimentar um circuito de sensores de imagem, associado a uma malha de controlo a três *bits*. Analisa-se e simula-se todos os componentes presentes no sistema por forma a averiguar o seu comportamento.

3.1. *Análise*

Para o desenvolvimento de um regulador de condensadores comutados assumiu-se algumas premissas, de entre elas destacou-se as vantagens da utilização de condensadores em circuitos de conversão de energia, vantagens que se prendem ao facto que um condensador ser utilizado como armazenador intermediário de carga com poucas perdas. Isto é, teve-se em conta que o carregamento de condensadores era eficiente.

Para estruturar a arquitetura a utilizar neste trabalho analisou-se as arquiteturas descritas em [20] [21] [22] e verificou-se como se encontravam interligados os elementos capacitivos e os interruptores, notando que nesta abordagem não é requerido nenhum tipo de elementos indutivos. Sendo assim, a arquitetura apresentada em [20] e representada na Figura 3.1 foi dimensionada para a tecnologia CMOS 0,35 μm e recorre a interruptores e condensadores para realizar a conversão e a um modelador PWM. De salientar que, a arquitetura descrita em [21] recorre a díodos, não possibilitando a implementação monolítica e, que o circuito apresentado em [22] vai de encontro ao apresentado em [20].

O circuito apresentado na Figura 3.1 é dividido em 3 blocos funcionais, onde o principal é o *open loop circuit* constituído por um dispositivo de controlo, S_C , e por 4 estágios. Estes 4 estágios são respetivamente:

- Condensador de saída, C_L em paralelo com a resistência de carga R_L ;
- Os outros 3 estágios consistem em dispositivos semicondutores (M , N e S) e um condensador.

Os sinais nos diferentes estágios são comutados por sinais complementares originários do circuito PWM. O circuito da Figura 3.1 opera em quatro estágios durante um ciclo de comutação:

1. Carregamento dos condensadores (C_2 , C_3 , C_4);
2. Período de transição;
3. Descarga dos condensadores (C_2 , C_3 , C_4);
4. Período de transição.

Na topologia proposta todos os condensadores estão ligados em série através da tensão entrada, durante a fase de carregamento, e ligados em paralelo, durante a fase de descarregamento. Como a tensão nos condensadores não se altera instantaneamente com a comutação, é executada uma tensão em degrau. Para regular a tensão de saída são acionados condensadores numa configuração em série, sendo que o número de condensadores acionados varia de acordo com a tensão medida à saída.

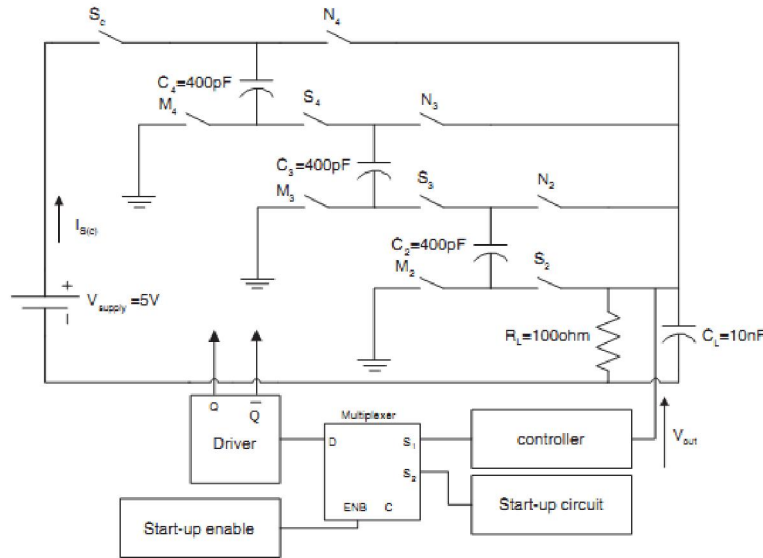


Figura 3.1– Regulador redutor de condensadores comutados de 4 estágios com circuito de controlo [20].

Com base na arquitetura ilustrada na Figura 3.1, desenvolveu-se a arquitetura representada na Figura 3.2, que tem como principal característica a simplicidade, pois limita-se à transferência de carga entre condensadores, por ação de interruptores, tal como no circuito da Figura 3.1.

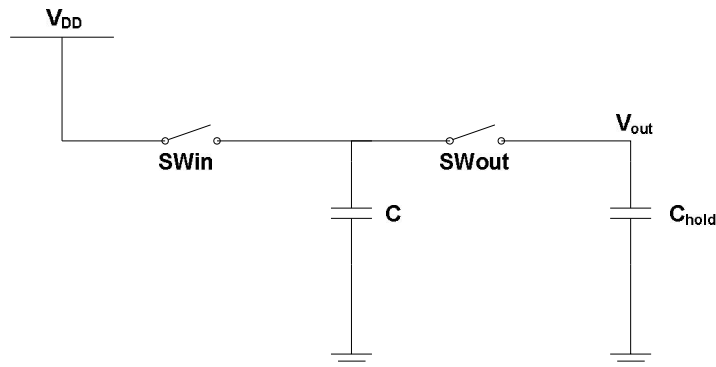


Figura 3.2– Ideia básica para o desenvolvimento do regulador de condensadores comutados.

Por observação da Figura 3.2, verifica-se que o circuito pode ser estudado em duas fases, onde a primeira é a malha entre V_{DD} e C , sendo a segunda a malha entre os condensadores, C e C_{hold} .

Numa primeira análise, não se considera a resistência dos interruptores para efetuar o carregamento dos condensadores. Na primeira fase de carregamento, o condensador C carrega-se diretamente pela fonte de alimentação. Na segunda fase de carregamento, ou seja o carregamento do condensador C_{hold} , tem-se a transferência de carga entre condensadores, que pode ser explicada pela análise da Figura 3.3 e pelas deduções seguintes.

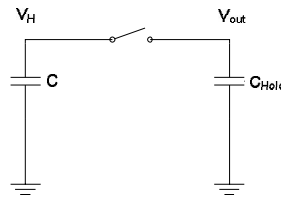


Figura 3.3– Transferência de carga entre condensadores.

Onde

$$V_{out} = \frac{Q_L}{C_{hold}}, V_H = \frac{Q_H}{C}$$

e assumindo $V_H > V_{out}$,

$$\text{assim como } \Delta V = \frac{\Delta Q}{C} = \frac{\Delta Q}{C_{hold}},$$

vem que

$$V_{out_{ref}} = V_{out_{drop}} + \frac{\Delta Q}{C_{hold}} \quad (3.1)$$

e

$$V_{H_{final}} = V_{H_{inicial}} - \frac{\Delta Q}{C}. \quad (3.2)$$

A diferença de sinais nas equações (3.1) e (3.2) deve-se à transferência de carga entre os condensadores. Depois do interruptor fechado, tem-se $V_{out_{ref}} = V_{H_{final}}$, então

$$V_{out_drop} + \frac{\Delta Q}{C_{hold}} = V_{H_inicial} - \frac{\Delta Q}{C}.$$

$$\text{Se } \Delta V_i = (V_{H_inicial} - V_{out_drop}) = \frac{\Delta Q}{C_{hold}} + \frac{\Delta Q}{C} = \Delta Q \left(\frac{C+C_{hold}}{C \cdot C_{hold}} \right) \Leftrightarrow \Delta Q = \frac{\Delta V_i}{\left(\frac{C+C_{hold}}{C \cdot C_{hold}} \right)}$$

então

$$V_{out_ref} = V_{out_drop} + \frac{\Delta V_i}{1 + \frac{C_{hold}}{C}}. \quad (3.3)$$

Da mesma forma

$$V_{H_final} = V_{H_inicial} - \frac{\Delta V_i}{1 + \frac{C_{hold}}{C}}. \quad (3.4)$$

De modo a fazer uma comparação entre os esquemas apresentados, pode-se referir que a transferência de carga existente no esquema da Figura 3.3 é dada pela expressão (3.5), em que as variáveis são representadas na Figura 3.4, assim como o comportamento da tensão V_{out} .

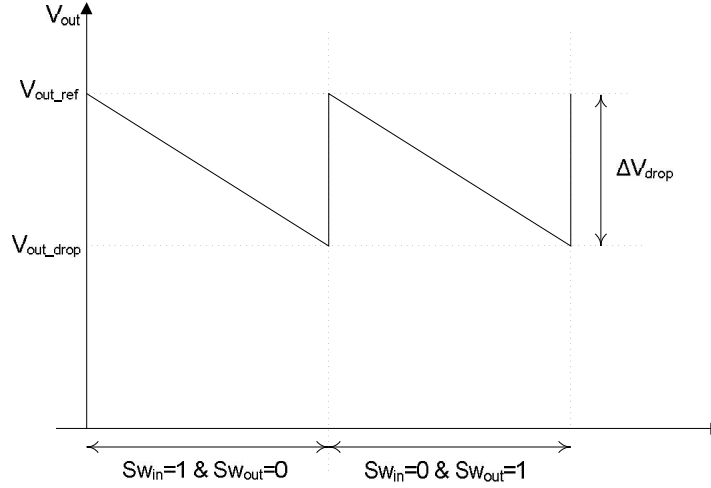


Figura 3.4 – Variação da tensão à saída do regulador.

Pela expressão (3.3) tem-se

$$V_{out_ref} = V_{out_drop} + \frac{V_{DD} - V_{out_drop}}{1 + \frac{C_{hold}}{C}}.$$

Tendo em conta que

$$V_{out_{drop}} = V_{out_{ref}} - \Delta V_{drop},$$

tem-se

$$\Leftrightarrow V_{out_{ref}} - V_{out_{drop}} = \frac{V_{DD} - V_{out_{ref}} + \Delta V_{drop}}{1 + \frac{C_{hold}}{C}}$$

$$\Delta V_{drop} = \frac{V_{DD} - V_{out_{ref}} + \Delta V_{drop}}{1 + \frac{C_{hold}}{C}}. \quad (3.5)$$

Transformando a equação (3.5) pode-se obter C , dependendo este de C_{hold} ,

$$C = \frac{C_{hold}}{\frac{V_{DD} - V_{out_{ref}}}{\Delta V_{drop}}} = \frac{\Delta V_{drop} C_{hold}}{V_{DD} - V_{out_{ref}}}. \quad (3.6)$$

Após a análise da transferência de carga entre condensadores, pode-se projetar o regulador de condensadores comutados. Para tal, considerou-se que o valor de C é a soma de vários condensadores. Para esta implementação, utilizou-se três *bits* para o circuito de controlo e, conseqüentemente, a utilização de 8 condensadores, Figura 3.5. Para o cálculo de cada uma das capacidades, teve-se em conta que as condições iniciais eram:

$$V_{DD} = 5 \text{ V},$$

$$V_{out_{ref}} = 3,3 \text{ V},$$

$$\Delta V = \Delta V_{drop} < 100 \text{ mV},$$

$$\langle I_c \rangle_{max} = 15 \text{ mA},$$

$$\Delta t \leq 40 \text{ ns} \rightarrow f_t \geq 25 \text{ MHz}.$$

Pela função de carga de um condensador, equação (3.7), tem-se

$$\langle I_c \rangle = C \frac{\Delta V}{\Delta t} \quad (3.7)$$

onde

$$C = C_{hold} \geq \frac{\langle I_c \rangle_{max} \Delta t_{max}}{\Delta V_{max}} = \frac{15 \text{ mA} * 40 \text{ ns}}{100 \text{ mV}} = 6 \text{ nF}$$

Num modo intercalado, C_{hold} é carregado a 20 ns considerando o fator de ciclo de 50%, mantendo o valor máximo de V_{drop} durante dois carregamentos consecutivos a 100 mV, assim C_{hold} é metade do calculado anteriormente.

No valor máximo de V_{drop} , isto é no máximo consumo de corrente, o valor para C por forma a manter a tensão de saída é obtido pela equação (3.6) e calculado por

$$C = \frac{100 \text{ mV}}{5V - 3,3V} C_{hold} \cong 0,059 C_{hold}.$$

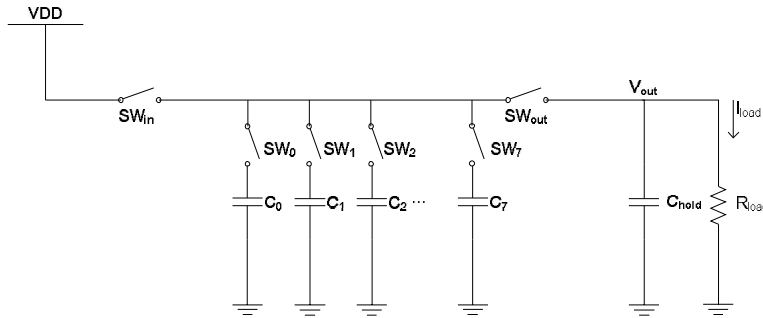


Figura 3.5 – Regulador de condensadores comutados.

De notar que o valor de C calculado anteriormente é equivalente à soma dos oito condensadores representados na Figura 3.5 (desde o C_0 até ao C_7). E para calcular cada um deles fez-se um cálculo iterativo. De notar que a utilização de oito interruptores deveu-se ao facto de a malha de controlo funcionar a oito níveis, facilitando assim o projeto de uma malha de controlo, tanto na implementação como em *layout*.

Também é de referir que o valor médio da tensão de saída é fiel à expressão (3.8),

$$\langle v_{out} \rangle = R_{load} I_{load}. \quad (3.8)$$

De seguida, desenvolveu-se uma malha de controlo que fosse capaz de controlar a abertura e o fecho dos sucessivos interruptores, permitindo assim a transferência de carga adequada entre os condensadores, possibilitando obter a tensão de saída desejada. Portanto, para a estabilização do sinal de saída o oscilador gera um sinal de relógio, que é recebido pelo divisor de frequência. Por sua vez, outra entrada do divisor de frequência é o n_rst , que é o único sinal de entrada do regulador de condensadores comutados, sendo que é através deste sinal que é possível o início da regulação. O

divisor de frequência divide o sinal de relógio em oito, obtendo assim a frequência pretendida para o funcionamento da malha de controlo (25 MHz). Este sinal de frequência é a entrada do bloco de não sobreposição, sendo que este gera dois sinais distintos, o SW_{in} e SW_{out} , que, por sua vez, controlam os seus respetivos interruptores. Os sinais gerados no bloco de não sobreposição são as entradas do regulador de condensadores comutados, em que a saída deste bloco é V_{out} . No entanto, a malha de controlo ainda não se deu por concluída, pois ainda não é possível a regulação; tal só acontece quando o sinal V_{out} passa pelo conversor ADC e pelo registo, pois são gerados sinais para controlar os interruptores de SW_0 a SW_7 , e finalmente regular o sinal de saída, V_{out} . A malha de controlo, Figura 3.6, é assim constituída pelos blocos da Figura 3.6.

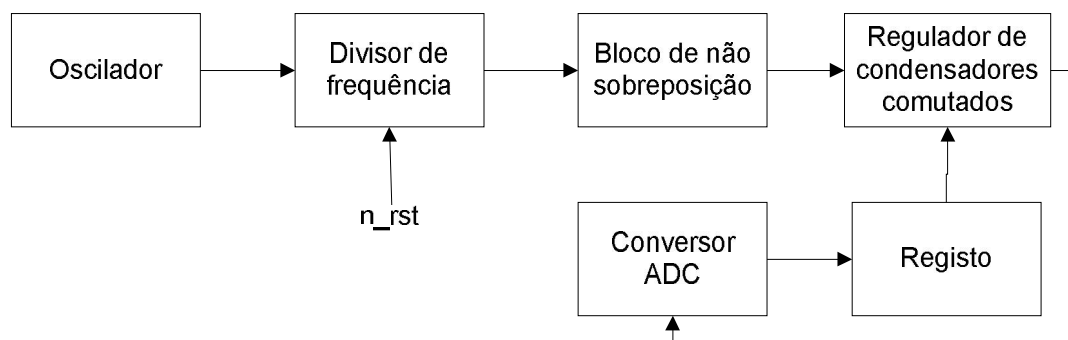


Figura 3.6 – Malha de controlo.

Em que:

Oscilador e divisor de frequência – estes blocos têm o propósito de criar um ciclo de relógio para o funcionamento do sistema de controlo.

Não sobreposição – este bloco controla a abertura e fecho dos interruptores de entrada e saída, para que estes não se encontrem em posições intermediárias em simultâneo, ou seja, que se encontrem em posições que não são considerados um sinal 1 ou 0, digitalmente.

Conversor ADC e Registo – este é de três *bits*, pois são utilizados 8 condensadores intermediários. Assim, este bloco tem o objetivo de verificar qual é o sinal que está na saída e promover o acionamento dos condensadores para se dar a transferência de carga.

Ou seja, este bloco determina quantos condensadores precisam de estar ligados para corrigir a tensão de saída.

3.2. Simulação

Após a realização da análise de funcionamento do regulador de condensadores comutados da Figura 3.5, realizou-se a sua simulação. Para tal, começou-se por desenhar o circuito no *Design Architect – IC* da *Mentor Graphics* (características no anexo A), utilizando a tecnologia CMOS 0,35 μm , tal como representado na Figura 3.7. Para uma melhor visualização deste circuito, consultar o anexo B (Figura B.2).

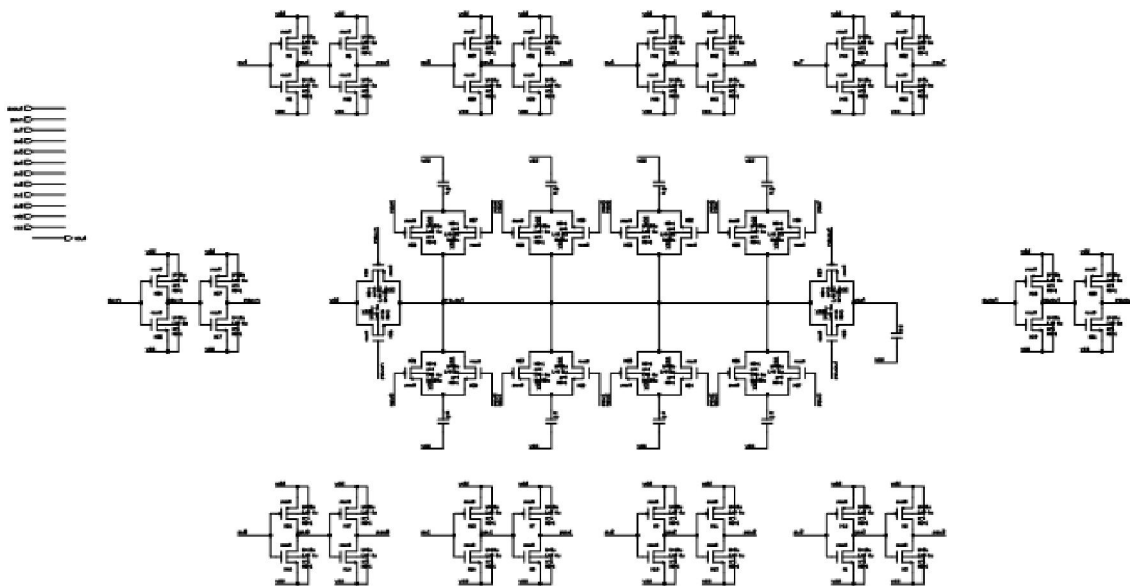


Figura 3.7 – Regulador de condensadores comutados implementado no *Design Architect – IC*.

Tal como explicado na secção 3.1, o propósito do regulador de condensadores comutados é gerar uma tensão à saída inferior à tensão de entrada. Sendo que a cadeia de condensadores é o bloco mais importante neste regulador DC-DC. Consegue atingir a tensão pretendida pela abertura e pelo fecho dos interruptores de forma controlada. Para a implementação deste sistema, começou-se por calcular a capacidade de cada um dos condensadores, sendo que a soma destes é o valor de C (equação (3.6)). Sendo que para tal, é necessário dividir ΔV_{drop} em oito níveis diferentes, logo na expressão (3.6) é necessário substituir ΔV_{drop} pelo valor de cada nível, de 12,5 mV em 12,5 mV até perfazer os 100 mV, por forma a calcular a soma dos condensadores, conforme vão-se ativando. Como exemplificado nos cálculos seguintes:

$$C_0 = \frac{12,5 \text{ mV} * 6 \text{ nF}}{5 \text{ V} - 3,3 \text{ V}} = 44,1 \text{ pF};$$

$$C_1 = \frac{25 \text{ mV} * 6 \text{ nF}}{5 \text{ V} - 3,3 \text{ V}} = 88,2 \text{ pF};$$

$$C_2 = \frac{37,5 \text{ mV} * 6 \text{ nF}}{5 \text{ V} - 3,3 \text{ V}} = 132 \text{ pF};$$

$$C_3 = \frac{50 \text{ mV} * 6 \text{ nF}}{5 \text{ V} - 3,3 \text{ V}} = 176 \text{ pF};$$

$$C_4 = \frac{62,5 \text{ mV} * 6 \text{ nF}}{5 \text{ V} - 3,3 \text{ V}} = 220,6 \text{ pF};$$

$$C_5 = \frac{75 \text{ mV} * 6 \text{ nF}}{5 \text{ V} - 3,3 \text{ V}} = 264,7 \text{ pF};$$

$$C_6 = \frac{87,5 \text{ mV} * 6 \text{ nF}}{5 \text{ V} - 3,3 \text{ V}} = 308,8 \text{ pF};$$

$$C_7 = \frac{100 \text{ mV} * 6 \text{ nF}}{5 \text{ V} - 3,3 \text{ V}} = 353 \text{ pF}.$$

No entanto, os cálculos apresentados vão nos dando o valor da soma dos condensadores até ao nível que se calcula. É necessário calcular o valor exato de cada um dos condensadores, sendo que se retira, ao valor que deu, a capacidade anterior, tal como exemplificado nos cálculos seguintes.

$$C_0 = 44,1 \text{ pF}$$

$$C_1 = 88,2 \text{ pF} - 44,1 \text{ pF} = 44,1 \text{ pF}$$

$$C_2 = 132 \text{ pF} - 88,2 \text{ pF} = 43,8 \text{ pF}$$

$$C_3 = 176 \text{ pF} - 132 \text{ pF} = 44 \text{ pF}$$

$$C_4 = 220,6 \text{ pF} - 176 \text{ pF} = 44,1 \text{ pF}$$

$$C_5 = 264,7 \text{ pF} - 220,6 \text{ pF} = 44,1 \text{ pF}$$

$$C_6 = 308,8 \text{ pF} - 264,7 \text{ pF} = 44,1 \text{ pF}$$

$$C_7 = 353 \text{ pF} - 308,8 \text{ pF} = 44,2 \text{ pF}$$

De referir que, para a implementação do regulador, optou-se por utilizar os condensadores todos da mesma dimensão por forma a facilitar a construção do *layout*, nomeadamente 44 pF.

De salientar que a capacidade do primeiro condensador é influenciada pela capacidade dos condensadores parasitas. A capacidade parasita de um condensador é dada por [23]

$$C_p = A_{MOS} C_{ox} . \quad (3.9)$$

onde A_{MOS} é a área do MOSFET e C_{ox} é a *Oxide Capacitance*.

Na implementação de MOSFETs em tecnologia CMOS, tem-se que dimensionar o tamanho destes, sendo que, na tecnologia a ser utilizada neste trabalho, a dimensão mínima é $L=0,35 \mu\text{m}$ e $W=0,7 \mu\text{m}$. Então, para ter um interruptor robusto, que suportasse eventuais variações bruscas de corrente, escolheu-se MOSFETs com as dimensões apresentadas na Tabela 3.I.

Tabela 3.I – Dimensão dos MOSFETs.

	PMOS	NMOS
L (μm)	0,6	0,6
W (μm)	100	50

Assim, foram calculadas as capacidades de todos os interruptores, incluindo a capacidade dos interruptores de entrada e de saída. De notar que é necessário considerar o fator de multiplicação utilizado nos interruptores, que, no caso dos interruptores de entrada e de saída, foi de 16 e nos restantes 4. É importante salientar que os interruptores de entrada e de saída são maiores por forma a proporcionar uma menor resistência série e para manter a tensão desejada nos seus terminais, sendo que são iguais para suportar a carga e descarga dos condensadores. Os restantes interruptores são menores para não influenciarem o aparecimento de capacidades parasitas.

A C_{ox} é a mesma para qualquer um dos condensadores, sendo esta de $2,4 \text{ fF}/\mu\text{m}^2$, para a tecnologia a ser utilizada neste projeto. Logo, a capacidade parasita de cada um dos interruptores é a seguinte:

Para os interruptores de entrada e de saída (SW_{in} e SW_{out}):

$$C_p = A_{PMOS}C_{ox} = 100 \mu m * 0,6 \mu m * 16 * 2,4 \frac{fF}{\mu m^2} = 2,3 pF;$$

$$C_p = A_{NMOS}C_{ox} = 50 \mu m * 0,6 \mu m * 16 * 2,4 \frac{fF}{\mu m^2} = 1,152 pF.$$

Para os restantes interruptores (SW_0 a SW_7):

$$C_p = A_{PMOS}C_{ox} = 100 \mu m * 0,6 \mu m * 4 * 2,4 \frac{fF}{\mu m^2} = 0,288 pF;$$

$$C_p = A_{NMOS}C_{ox} = 50 \mu m * 0,6 \mu m * 4 * 2,4 \frac{fF}{\mu m^2} = 0,144 pF.$$

Assim, considerando que o C_0 esta ligado, a capacidade parasita total é dada por:

$$C_{p_{total}} = 2(2,3 pF + 1,115 pF) + 7(0,288 pF + 0,144 pF) = 9,928 pF.$$

Logo, a capacidade de C_0 é

$$C_{of} = C_0 - C_{p_{total}} = 44,7 pF - 9,928 pF = 34,172 pF.$$

Com estes cálculos, ficou-se em condições de finalizar o circuito da Figura 3.5, sendo que foi necessário a utilização de *drives*, (Figura 3.7), para cada um dos interruptores, por forma a esses serem controlados. De salientar que a dimensão dos *drives* é proporcional à dimensão dos interruptores, sendo que os *drives* referentes aos interruptores de entrada e de saída são os maiores. Os interruptores ligados a cada um dos condensadores têm todos a mesma dimensão e os seus *drives* foram desenhados pela dimensão mínima permitida na tecnologia, ou seja com $L=0,35 \mu m$ e $W=0,7 \mu m$.

De seguida, implementou-se cada um dos blocos constituintes da malha de controlo, representada na Figura 3.6, começando pelo oscilador. Este é um circuito que cria uma onda quadrada à saída, dependendo de uma corrente direta na entrada. O principal objetivo deste circuito é criar um sinal de relógio (*clock*) para o regulador de condensadores comutados. Nesta implementação, o oscilador utiliza um *Schmitt Trigger* (Figura 3.8). Neste circuito, os MOSFETs $M1$ e $M4$ comportam-se como fontes de corrente que espelham a corrente de $M5$ e de $M6$. Os MOSFETs $M3$ e $M2$ estão no estado ligado/desligado, quando a saída do oscilador está num nível lógico baixo e,

consequentemente, o *Schmitt Trigger* também. Isto causa que a saída do oscilador fique num nível lógico alto, permitindo uma corrente constante de $M1$ para descarregar C . Quando C está descarregado até V_{SPL} (*lower switching point voltage*), o *Schmitt Trigger* muda de estado e as transições continuam, gerando uma onda quadrada na saída [23].

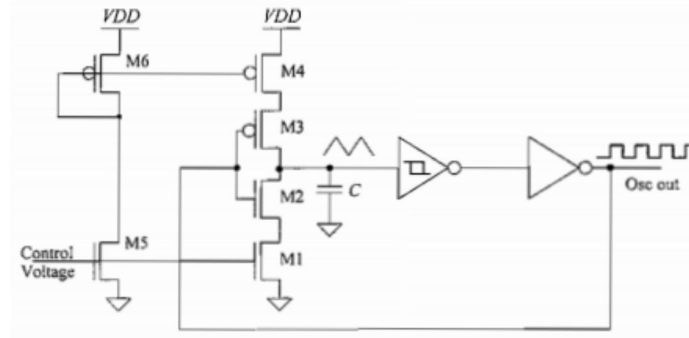


Figura 3.8 – Oscilador controlado por tensão utilizando *Schmitt Trigger* e fontes de correntes [23].

Se as correntes de $M1$ e $M4$ forem I_{D1} e I_{D4} , respetivamente, é possível estimar o tempo de carga do condensador desde de V_{SPL} até V_{SPH} (*upper switching point voltage*) com

$$t_1 = C \left(\frac{V_{SPH} - V_{SPL}}{I_{D4}} \right) \quad (3.10)$$

e o tempo que leva a carregar desde V_{SPH} para V_{SPL} é

$$t_2 = C \left(\frac{V_{SPH} - V_{SPL}}{I_{D1}} \right). \quad (3.11)$$

O período da frequência de oscilação é a soma de t_1 com t_2 .

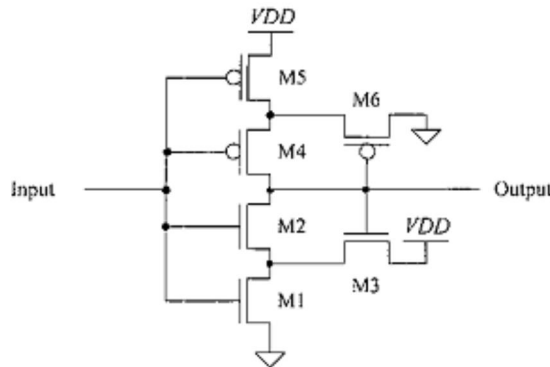


Figura 3.9 – Esquema do *Schmitt Trigger* [23].

O *Schmitt Trigger* utilizado no circuito da Figura 3.9 pode ser dividido em duas partes distintas, dependendo se a saída é um nível lógico alto ou um nível lógico baixo. No caso de a saída ser um nível lógico baixo, o $M6$ está ligado e o $M3$ está desligado, se

a saída estiver num nível lógico alto, o $M6$ está desligado e o $M3$ está ligado, e também $M4$ e $M5$ estão ligados, proporcionando uma ligação DC a V_{DD} (Figura 3.9) [23].

Para dimensionar o circuito do *Schmitt Trigger*, é necessário assumir que a saída está num nível lógico alto ($= V_{DD}$) e que a entrada está num nível lógico baixo ($= 0$ V). Para uma análise mais simples, a Figura 3.10 mostra uma parte do *Schmitt Trigger* utilizado para calcular o ponto superior de comutação, V_{SPH} . As condições iniciais são $Input=0$ V, enquanto $M3$ está ligado e os MOSFETs $M1$ e $M2$ estão desligados. A *source* do $M3$ varia de aproximadamente 4 V para $V_{DD}=5$ V ou para $V_{DD}-V_{THN}$, e é possível obter V_x [23].

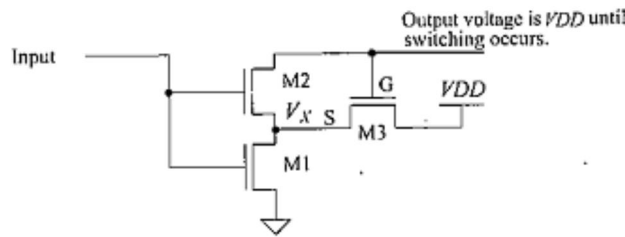


Figura 3.10 – Parte do *Schmitt Trigger* [23].

V_x atinge $V_{DD}-V_{THN3}$ quando o *Input* é menor que a tensão de *threshold* de $M1$. Como o *Input* aumentou, $M1$ começa a se ligar e a tensão V_x tende para V_{SS} . O ponto de comutação mais elevado é definido quando

$$Input = V_{SPH} = V_{THN2} + V_x \quad (3.12)$$

ou quando $M2$ começa a se ligar. Quando $M2$ começa a se ligar, a saída começa a tender para V_{SS} , causando que $M3$ comece a se desligar, fazendo com que V_x caia ainda mais, ligando $M2$. Este processo continua até que $M3$ se encontre totalmente desligado e que $M1$ e $M2$ estejam ligados, fazendo com que o ponto de comutação de tensão seja muito bem definido.

Desde que as *sources* de $M2$ e de $M3$ estejam ligadas, o aumento das tensões de *threshold* do efeito de corpo é a mesma para ambos os MOSFETs e é possível escrever a equação (3.13) [23].

$$\frac{\beta_1}{\beta_2} = \frac{W_1 L_3}{L_1 W_3} = \left[\frac{V_{DD}-V_{SPH}}{V_{SPH}-V_{THN}} \right]^2 \quad (3.13)$$

A tensão de *threshold* de $M1$ é a tensão de *zero threshold bias*. Dando uma tensão específica de ponto de comutação mais elevado, a razão de transcondutância dos

MOSFET é determinada, resolvendo a equação anterior. Uma regra de *design* para dimensionar $M2$, é

$$\beta_2 \geq \beta_1 \text{ ou } \beta_3, \quad (3.14)$$

desde que $M2$ seja utilizado como um interruptor, segundo a literatura de [23].

Uma análise similar pode ser utilizada para determinar o ponto de comutação de tensão inferior, V_{SPL} , resultando na equação 3.15 [23]

$$\frac{\beta_5}{\beta_6} = \frac{W_5 L_6}{L_5 W_6} = \left[\frac{V_{SPL}}{V_{DD} - V_{SPL} - V_{THP}} \right]^2. \quad (3.15)$$

Portanto, após o estudo sobre osciladores, projetou-se o oscilador no *Design Architect* utilizando um *Schmitt Trigger*, sendo que se obteve o circuito da Figura 3.11.

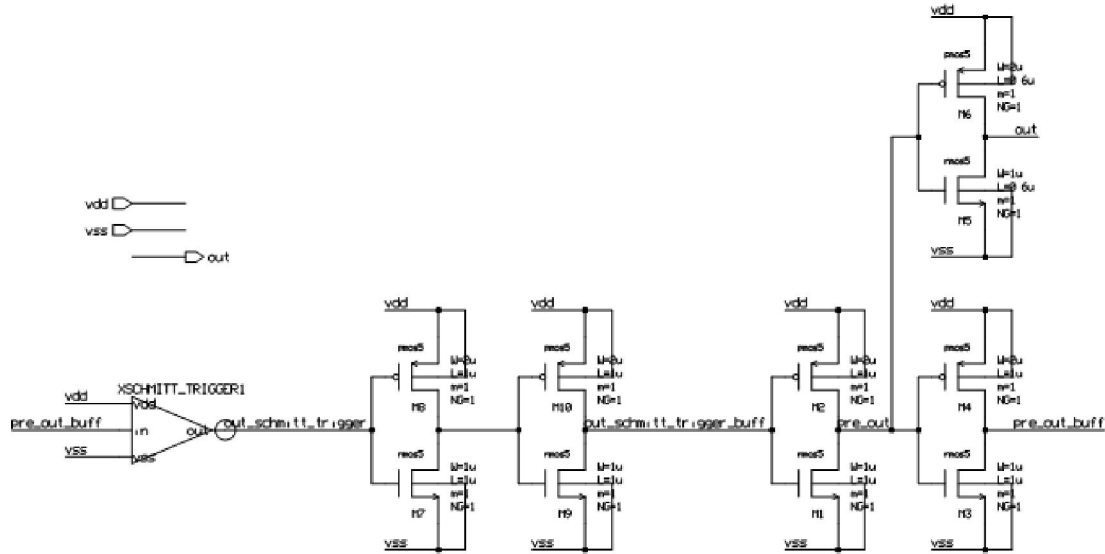


Figura 3.11 – Oscilador desenhado no *Design Architect-IC*.

Para a realização da simulação do oscilador, fez-se variar a tensão de alimentação entre 0 V, 4,5 V e 6 V, sendo que o sinal de saída é uma onda quadrada de 5 V, mas não garante um fator de ciclo de 50% (Figura 3.13). De modo a completar a implementação do oscilador, é necessário o recurso a um divisor de frequência apresentado na Figura 3.12, garantindo um fator de ciclo de 50%. O desígnio do divisor de frequência é gerar um sinal de relógio com dois sinais complementares não sobrepostos, com 50% de fator de ciclo.

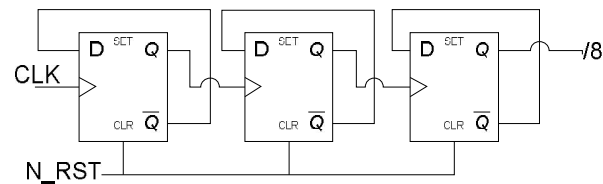


Figura 3.12 – Divisor de frequência por 8.

Na implementação do divisor de frequência utilizou-se *flip-flop D*, para que, na saída deste, se obtenha uma frequência 8 vezes inferior, isto é, se o sinal de entrada for aproximadamente 200 MHz, é possível ter um sinal de 25 MHz à saída, tal como é pretendido para o regulador de condensadores comutados. Na Figura 3.14 verifica-se as diferentes ondas que se obtêm no decorrer do divisor de frequência.

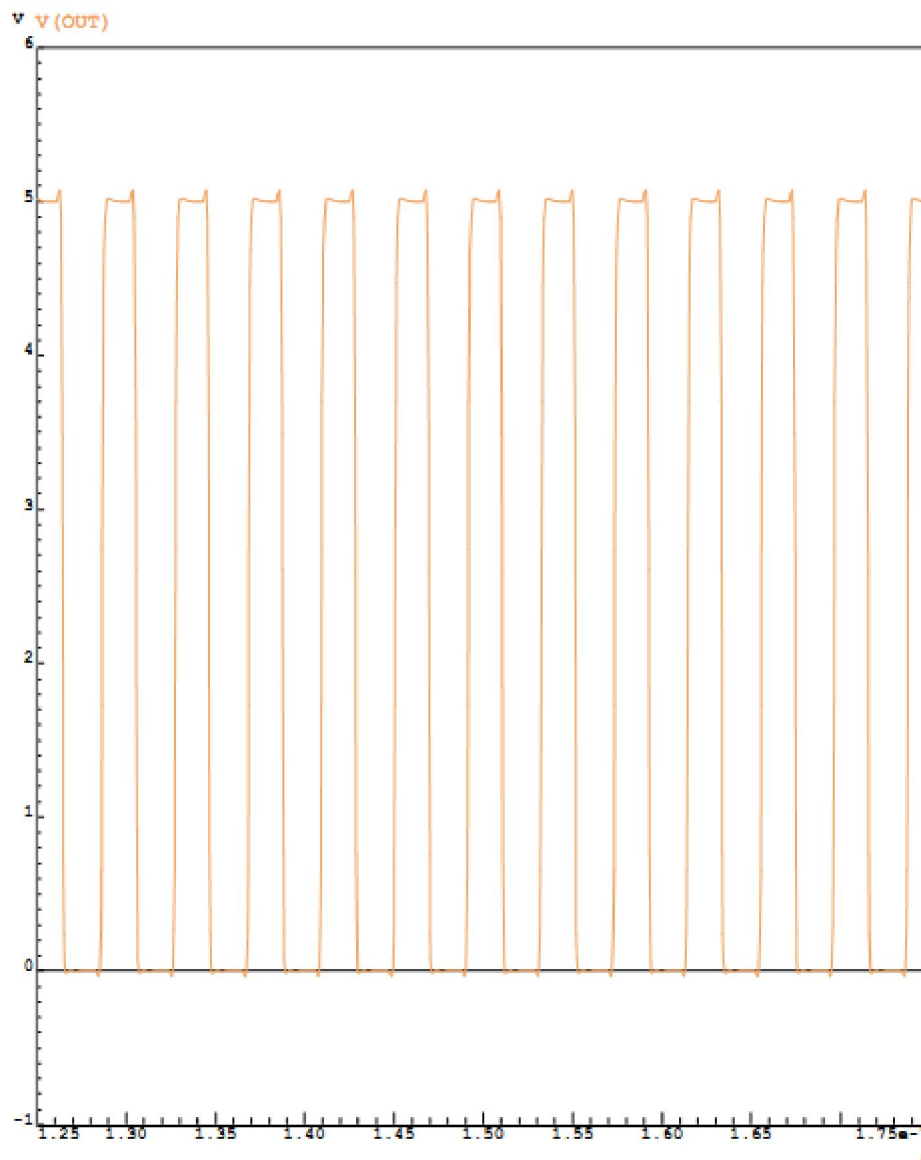


Figura 3.13 – Forma de onda na saída do oscilador.

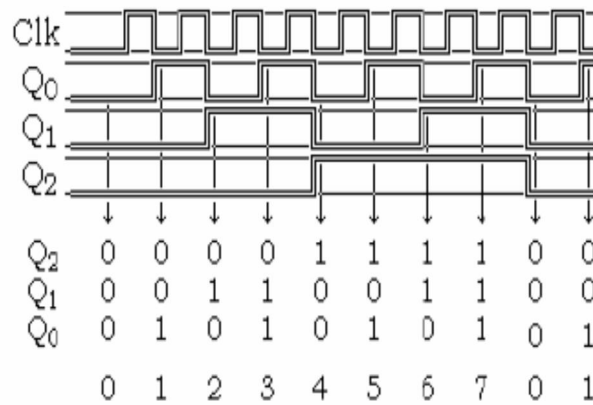


Figura 3.14 – Saída teórica do divisor de frequência.

Assim, desenhou-se no *Design Architect* o divisor de frequência, obtendo o circuito da Figura 3.15.

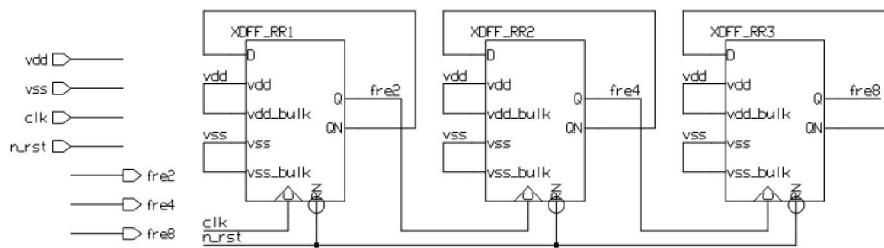


Figura 3.15 – Divisor de frequência desenhado no *Design Architect-IC*.

Da mesma forma que foi realizada a simulação do oscilador, fez-se a simulação do divisor de frequência. Na Figura 3.16 encontra-se representado o sinal de saída do divisor de frequência. Nota-se que as ondas apresentadas estão de acordo com as apresentadas na Figura 3.14, e em que, na saída do divisor de frequência, fre8 (quarta linha do gráfico, em azul), verificou-se o fator de ciclo de 50%.

Seguindo a malha de controlo, Figura 3.6, o bloco seguinte é o da não sobreposição. O objetivo deste bloco é garantir que os interruptores de entrada e de saída não se encontrem no mesmo estado simultaneamente.

É possível gerar um circuito de não sobreposição com circuitos simples de lógica, tal como mostra a Figura 3.17. Este circuito recebe o sinal de relógio e gera um relógio de duas fases não sobrepostas. A separação do relógio é realizada por um atraso provocado pela porta NAND e por dois inversores à saída desta. Considerando que o sinal está alto, faz com que o primeiro sinal seja alto e o segundo baixo, e se o sinal estiver baixo, acontece ao contrário.

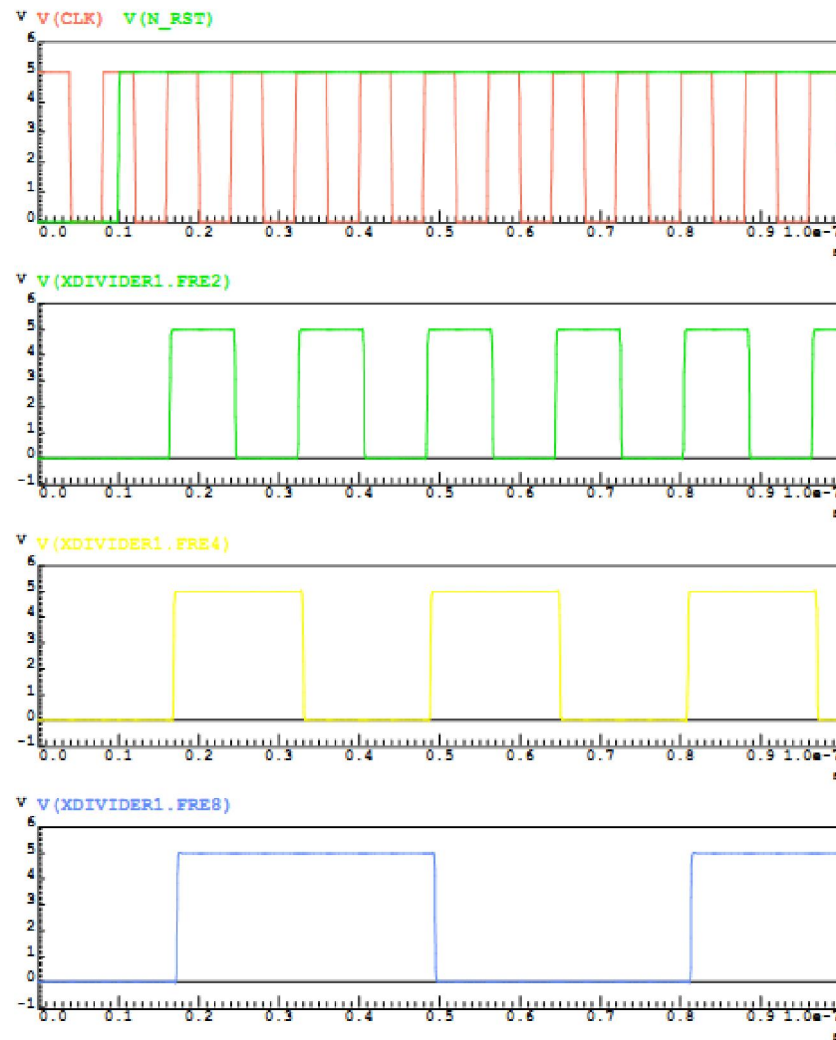


Figura 3.16 – Ondas do divisor de frequência.

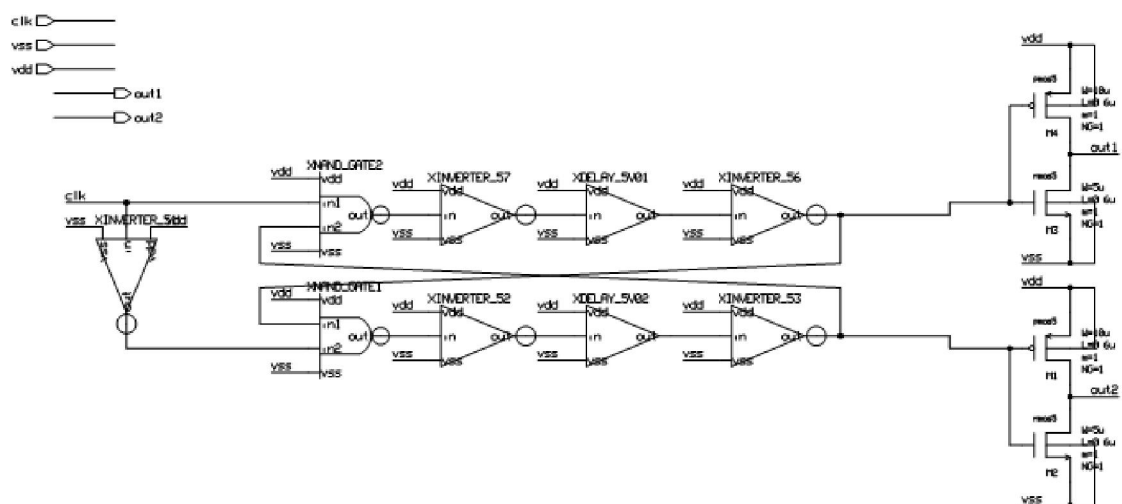


Figura 3.17 – Circuito de não sobreposição.

Ao realizar a simulação do circuito apresentado na Figura 3.17, verifica-se que os sinais não se sobrepõem, Figura 3.18, onde a verde e a vermelho (primeira linha) tem-se os sinais na saída do circuito de não sobreposição e a verde (segunda linha) tem-se o sinal de entrada, que permite a geração dos sinais pretendidos.

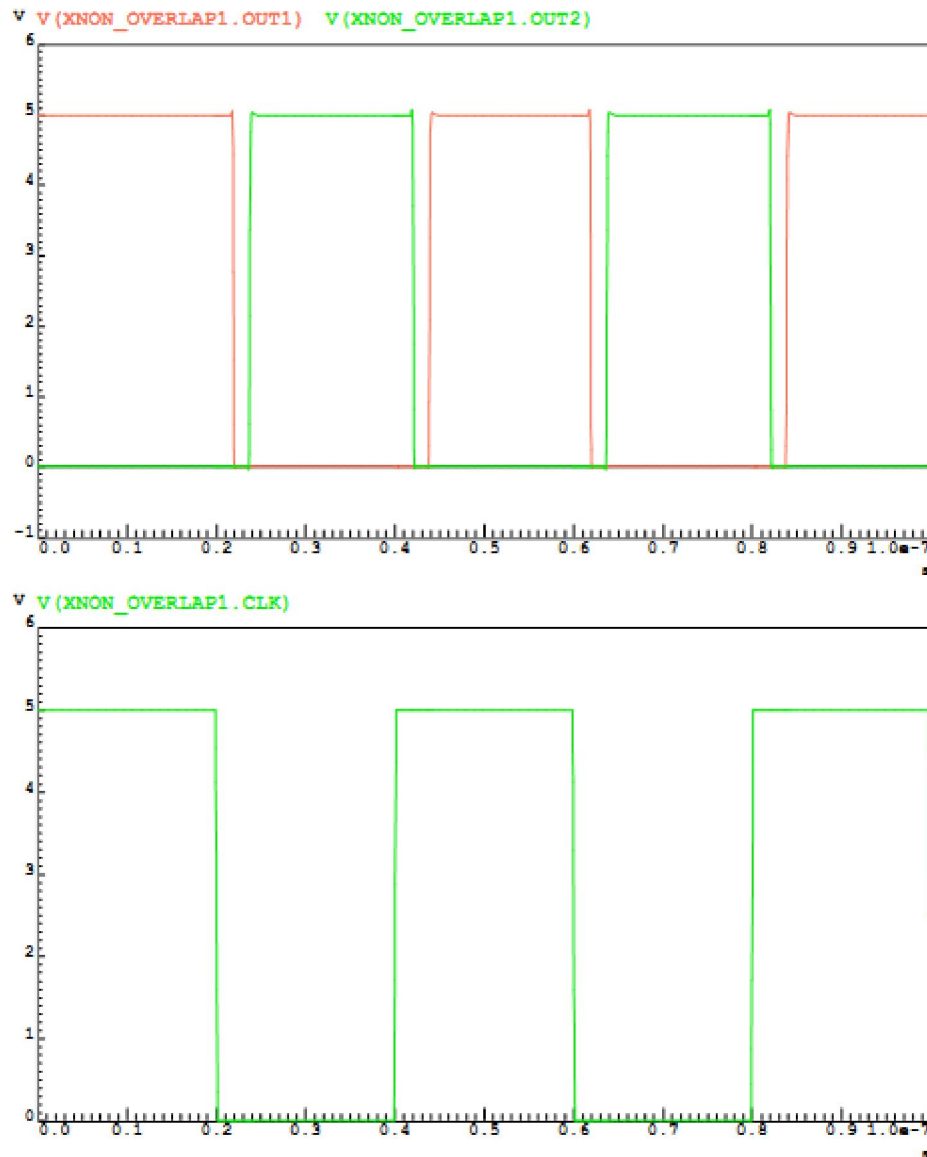


Figura 3.18 – Sinais à saída e entrada do circuito de não sobreposição.

O registo e o conversor ADC da malha de controlo da Figura 3.6, estudou-se como um único bloco. Na implementação do regulador de condensadores comutados, garantiu-se a não sobreposição dos sinais dos interruptores de entrada e de saída (SWin e SWout); no entanto nada se considerou para o controlo dos restantes interruptores (desde SW0 até SW7). Este conversor ADC está preparado para 3 bits (E2, E1 e E0), ou

seja oito níveis, pois $2^3=8$. Para ativar os interruptores individualmente, seguiu-se a Tabela 3.II, onde é realizada uma descodificação de n:1.

Tabela 3.II – Tabela de verdade do conversor ADC.

E2	E1	E0	S7	S6	S5	S4	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0

Para corrigir a tensão na saída, os interruptores são acionados de acordo com a Tabela 3.III, pois apenas o acionamento do conjunto de interruptores é que permite a ação da tensão à saída.

Tabela 3.III – Tabela de verdade de acionamento dos interruptores.

E2	E1	E0	S7	S6	S5	S4	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	1	1
0	1	1	0	0	0	0	0	1	1	1
1	0	0	0	0	0	0	1	1	1	1
1	0	1	0	0	0	1	1	1	1	1
1	1	0	0	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

Através da Tabela 3.III é possível a construção do conversor ADC, sendo que tal consegue-se pela utilização de portas lógicas OR, onde uma das entradas da porta OR depende do sinal de SW_{in} , e outra é conectada a um comparador (Figura 3.19). Por sua vez, o comparador encontra-se conectado a uma cadeia de resistências e ao nó

precedente à saída do sistema. É através da comparação realizada pelo comparador que se dá a ativação ou a desativação dos interruptores.

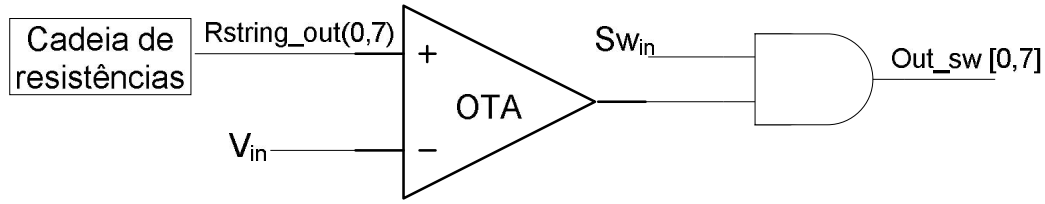


Figura 3.19 – Conversor ADC.

Para calcular as resistências da cadeia, recorreu-se a um divisor de tensão, em que a cada nó entre resistências corresponde uma tensão para ser comparada; cada um desses nós apresenta uma tensão que se encontra entre 3,2 V e 3,3 V. É de salientar que se utilizou 8 resistências de acordo com o número de condensadores/interruptores a utilizar, Figura 3.20.

$$\begin{cases} 3,3 \text{ V} = \left(\frac{R_2 + 8R}{R_2 + 8R + R_1} \right) 5 \text{ V} \\ 3,2 \text{ V} = \left(\frac{R_2}{R_2 + 8R + R_1} \right) 5 \text{ V} \end{cases} \quad (3.16)$$

Como a corrente é 100 μA e a diferença de tensão é de 100 mV, é possível calcular o valor de R pela lei de Ohm

$$V = 8RI \Leftrightarrow R = \frac{0,1}{8I} \Leftrightarrow R = 125 \Omega \Rightarrow 8R = 1 \text{ k}\Omega$$

sendo que o valor das resistências R_1 e R_2 é obtida pelo sistema de equações da expressão (3.16)

$$\begin{cases} R_1 = 17166,5 \Omega \\ R_2 = 32353,3 \Omega \end{cases}$$

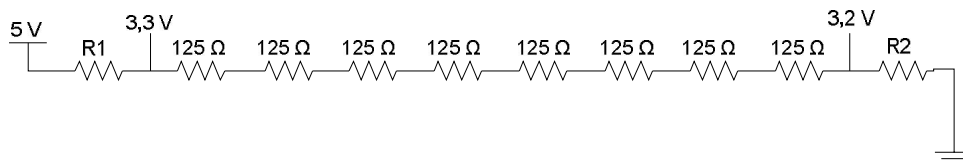


Figura 3.20 – Cadeia de resistências.

É necessário a utilização de condensadores nos nós de 3,2 V e 3,3 V para que se mantenha as tensões nas saídas destes blocos, para não haver alterações indesejadas. O

valor dos condensadores a serem colocados depende das características dos MOSFETs de entrada dos *OTA*² (*Operational Transconductance Amplifiers*), ou seja, a capacidade do condensador tem de ser superior à capacidade parasita. Foi considerada uma capacidade 10 vezes superior à soma das capacidades de todos os comparadores do conversor ADC.

O propósito do conversor ADC, Figura 3.19, é realizar o controlo dos sinais de entrada do regulador de condensadores comutados, isto é, dos sinais que controlam os interruptores do regulador. O conversor ADC é composto por uma cadeia de resistências que tem por objetivo gerar diferentes tensões, tal como explicado anteriormente. Cada um dos nós da cadeia de resistências dá uma tensão de referência para os comparadores, por forma a gerar os controlos de forma correta.

Para realizar a simulação do conversor ADC, utilizou-se o circuito apresentado na Figura B.1 do anexo B. Considerou-se que a tensão de entrada tomava valores entre 3 V e 3,5 V, por forma a analisar o comportamento do sinal de saída, e também para permitir que as tensões na cadeia de resistências fossem constantes em cada nó e tivessem valores entre 3,2 V e 3,3 V. No decorrer da simulação verificou-se que os interruptores são controlados pelo conversor ADC, Figura 3.21.

Por observação da Figura 3.21, na primeira linha, tem-se a vermelho o sinal de entrada, que toma valores entre 3,3 V e 3,5 V, e as restantes retas (na mesma linha) são as tensões em cada um dos nós da cadeia de resistências. Na mesma figura, na segunda linha, tem-se os sinais à saída dos comparadores que constituem o conversor ADC e, finalmente, na terceira linha, tem-se os sinais que acionam os diferentes interruptores a que o conversor ADC se encontra conectado. Analisando as duas últimas linhas da Figura 3.21, verifica-se que a porta OR é capaz de aperfeiçoar a onda na saída do comparador. Numa abordagem de todas as formas de onda da Figura 3.21, verifica-se que se obtém uma transição do sinal na saída do conversor ADC quando a tensão intersesta cada uma das tensões da cadeia de resistências.

² Desenvolvimento do OTA no anexo C.

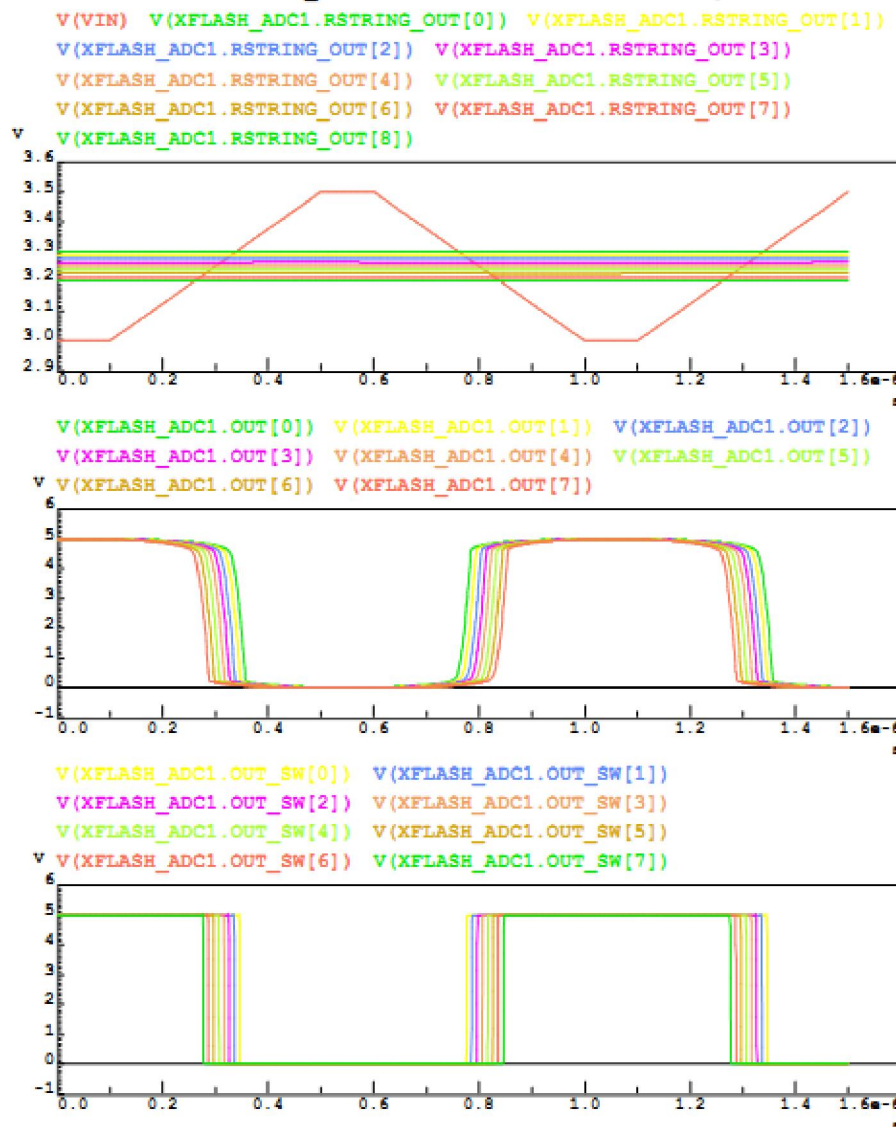


Figura 3.21 – Resultados da simulação do conversor ADC.

Com o estudo e simulação individual dos blocos estudados anteriormente, fez-se a ligação destes de acordo com o diagrama de blocos apresentado na Figura 3.6 e que está representado na Figura 3.22. Depois de interligar os blocos, obteve-se, por simulação, o rendimento do sistema, sendo este de aproximadamente 54%, o que vai contra as expectativas para um sistema deste género, ou seja, deve ter rendimentos mínimos de 80% [24]. Numa primeira análise, este valor pode ser justificado pelo constante funcionamento dos interruptores, isto é, comutam em todos os períodos de relógio. Uma forma de fazer com que os interruptores não comutem em todos os ciclos de relógio, é recorrendo à utilização de um registo (constituído por *flip flop D*), tal como exemplificado na Figura 3.22, com um ciclo *for* de *DFF_RR1*. Com a utilização do registo e ligando os *flip-flops* aos interruptores, estes apenas comutam quando

necessário, aumentando o rendimento do sistema, pois não há um consumo inapropriado de potência na comutação de todos interruptores.

A utilização de um registo implica o aumento da dimensão dos MOSFETs do regulador de condensadores comutados, por forma a reduzir a resistência e aumentar o rendimento. É importante que os interruptores se ativem o mais depressa possível, de modo a reduzir as perdas de comutação. Assim, com estas alterações, já se conseguiu um rendimento de aproximadamente 62%, o que mais uma vez não é um valor aceitável. É de salientar que se conseguiu este rendimento quando o sistema se encontrava em pleno funcionamento, isto é, quando foi necessário atuar nos oito interruptores por forma a armazenar no condensador do nó de saída, C_{hold} , a tensão de 3,3 V.

Para realizar a simulação deste sistema, impôs-se que a corrente de entrada tivesse o comportamento da Figura 3.23, a tensão crescesse desde 0 V até 5 V, sendo que a I_{bias} é de 10 μ A. Com isto, conseguiu-se visualizar a ativação dos interruptores, Figura 3.24. A ativação dos interruptores está representada por um aumento da tensão, de 0 V para 5 V, na Figura 3.24. Verifica-se que os interruptores se vão ligando de forma gradual, de acordo com a necessidade, de modo a manter a tensão no nó de saída.

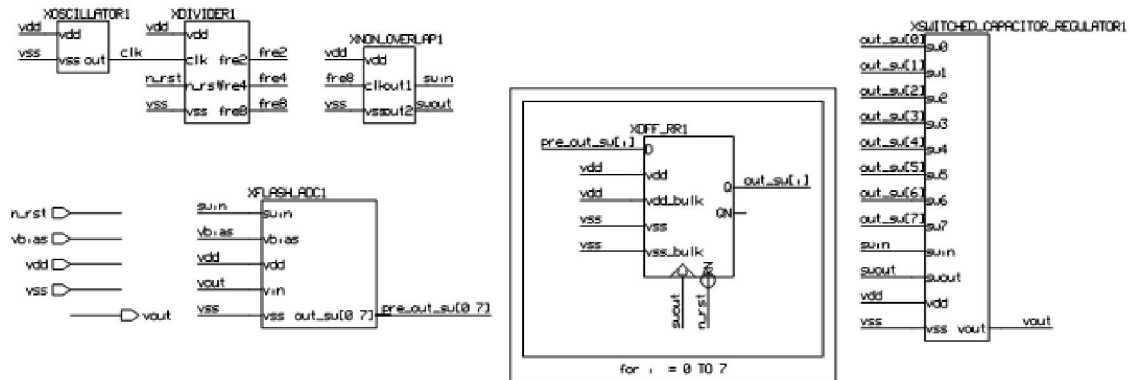


Figura 3.22 – Regulador de condensadores comutados.

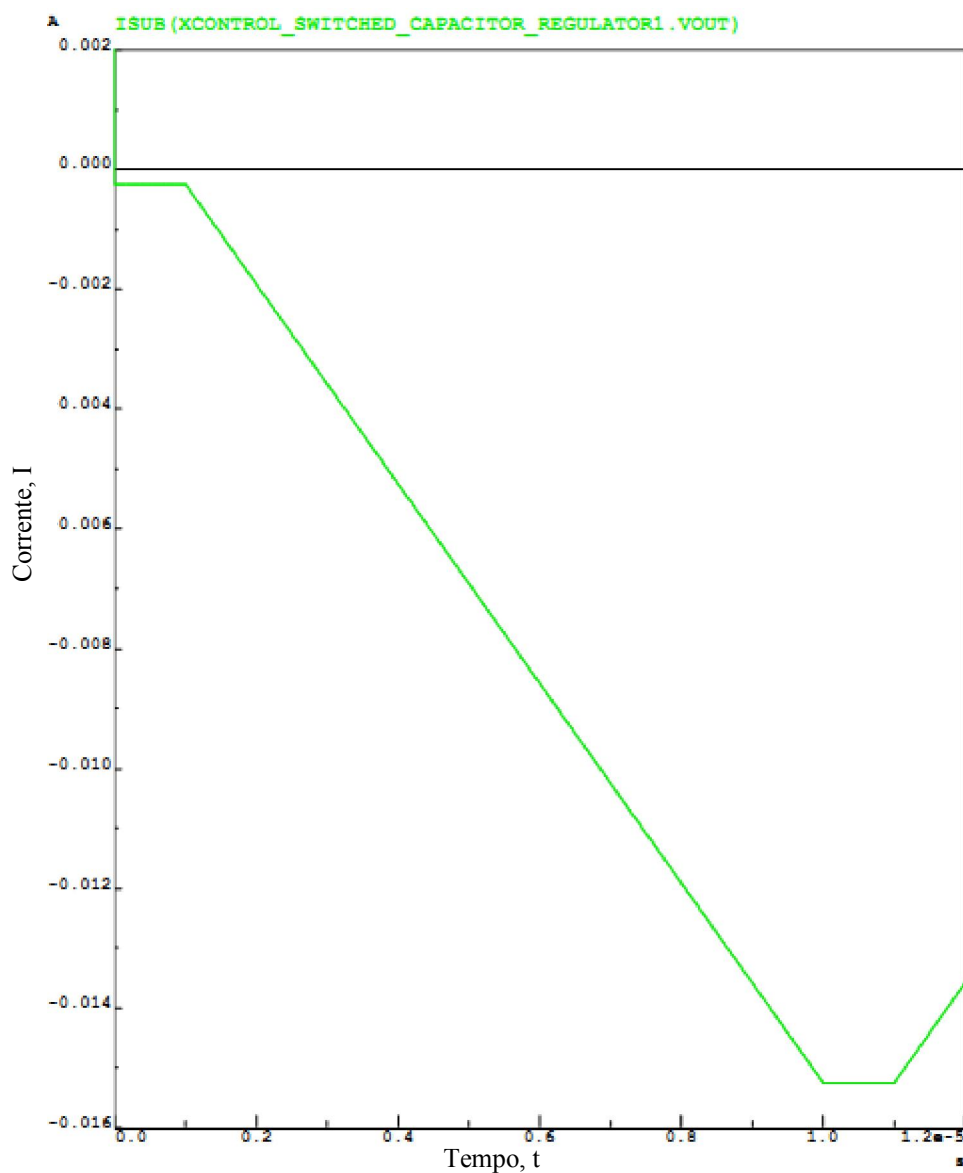


Figura 3.23 – Comportamento da corrente de entrada.

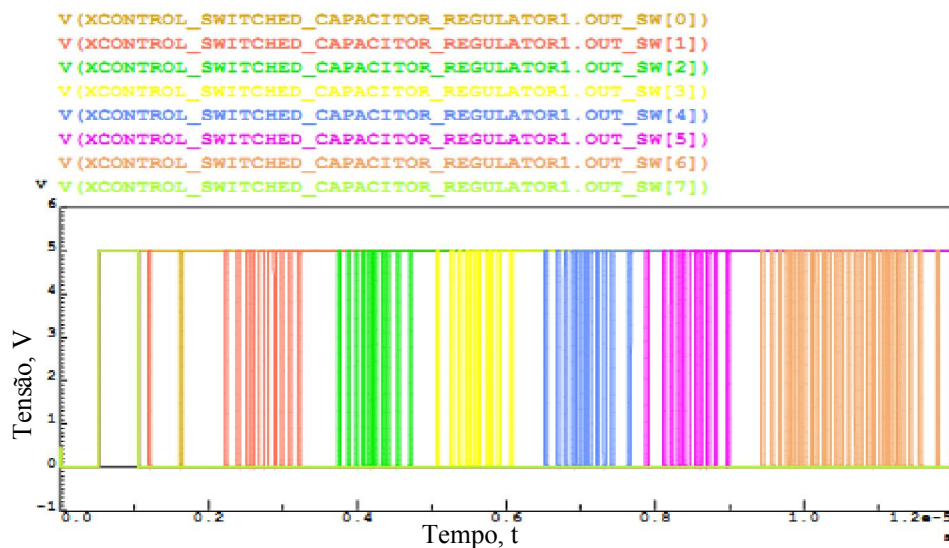


Figura 3.24 – Ativação dos interruptores.

Para os interruptores de entrada e de saída, verifica-se que estes nunca estão ativos simultaneamente, ou seja não há sobreposição, tal como se verifica na Figura 3.25. De notar que esta condição é muito importante pois garante que o nó de entrada não se ligue diretamente ao nó de saída.

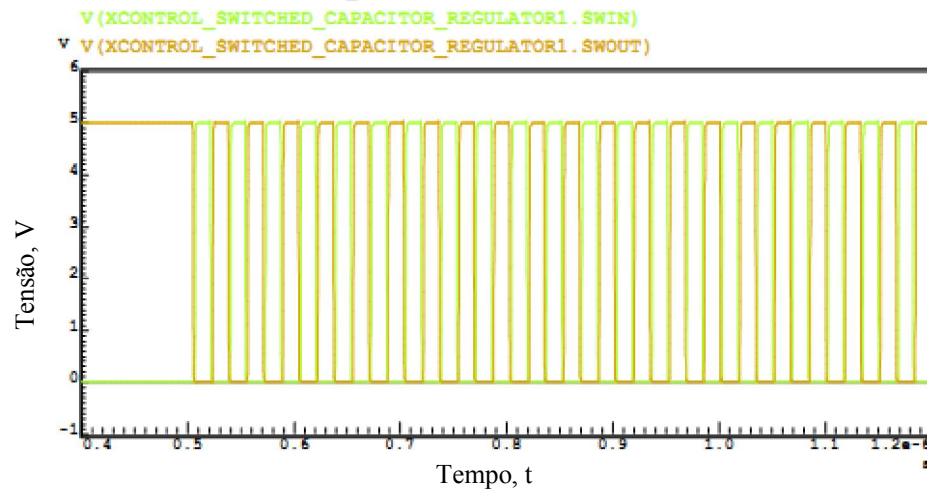


Figura 3.25 – Comportamento dos interruptores de entrada e de saída.

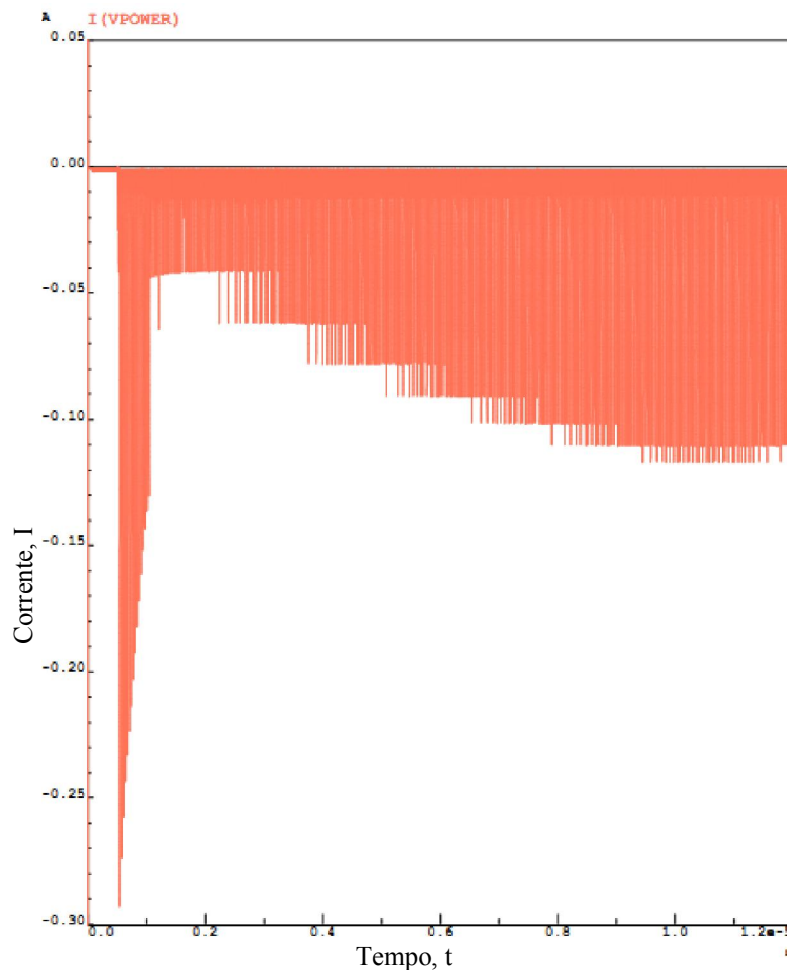


Figura 3.26 – Consumo de corrente.

Tal como mencionado anteriormente, as transições dos interruptores consomem corrente. Na Figura 3.26 verifica-se o aumento do consumo de corrente com a sucessiva ativação dos interruptores. Por comparação entre a Figura 3.24 e a Figura 3.26, verifica-se que, conforme a frequência de comutação dos interruptores vai se incrementando, o consumo de corrente aumenta.

Na Figura 3.27 mostra-se a tensão de saída do regulador de condensadores comutados. A forma de onda apresentada é a tensão armazenada no condensador C_{hold} , onde se verifica que a tensão de saída é de aproximadamente 3,3 V com uma variação máxima de 80 mV.

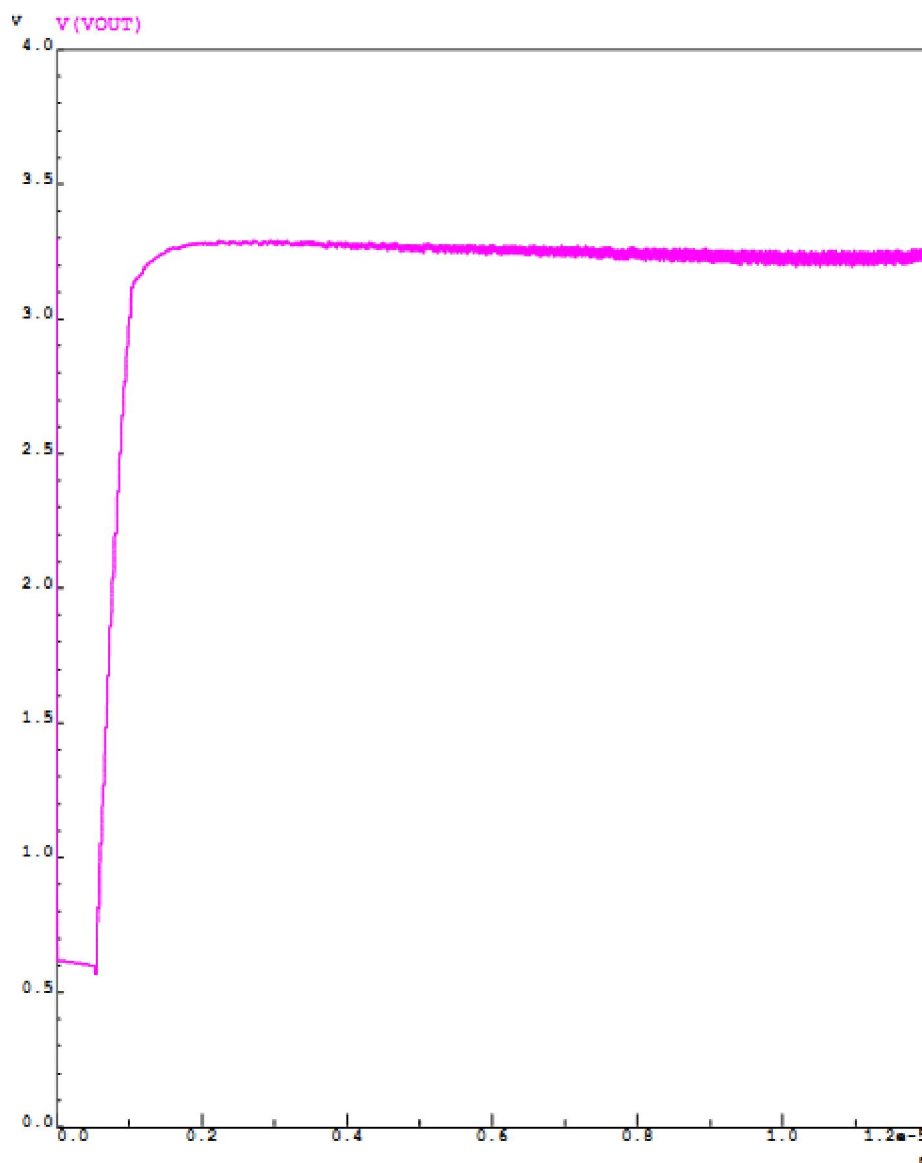


Figura 3.27 – Tensão de saída do regulador de condensadores comutados.

3.3. Discussão de resultados

Os resultados de simulação permitiram verificar que o regulador de condensadores comutados faz as ações pretendidas, ou seja, mantém a tensão no nó de saída; no entanto, apresenta um baixo rendimento, 62%, pois é do conhecimento, na área da eletrónica, que a transferência de carga entre condensadores é eficiente, cerca de 80%. No entanto, devido à utilização de interruptores introduziu-se resistência no sistema [25], tal verificou-se pela realização de uma simulação sobre o interruptor, Figura 3.28. Seguindo o circuito representado na Figura 3.28, onde pode-se verificar que o interruptor é constituído por dois MOSFETs, um NMOS e um PMOS, ligados entre si, por forma a funcionarem como um único elemento e como interruptor.

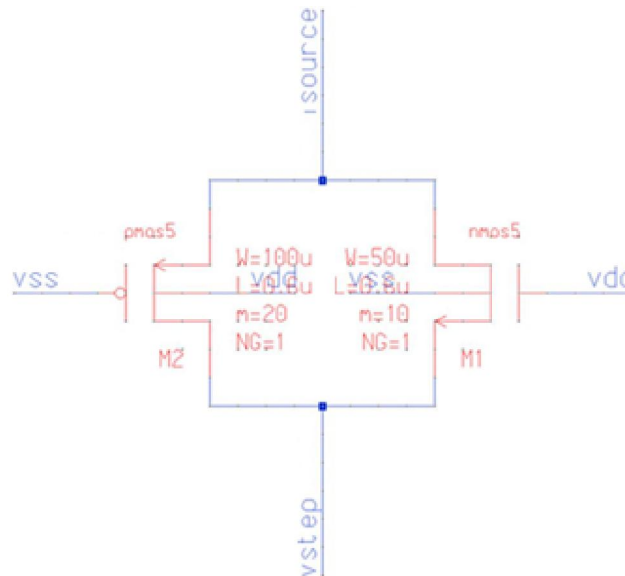


Figura 3.28 – Esquema do interruptor.

Na simulação fez-se variar a tensão de alimentação do interruptor entre 0 V e 4,8 V, impondo uma corrente 1 mA. Mediu-se a tensão aos terminais do interruptor e dividiu-se pela corrente, obtendo assim o valor da resistência, esta varia entre 4,2 Ω e 8,2 Ω , tal como se pode verificar na Figura 3.29. Nesta mesma figura, pode-se verificar a variação da resistência com a variação da tensão, V_{step} . Sendo assim, é possível construir um interruptor de grandes dimensões, o que permite uma diminuição de capacidades parasita.

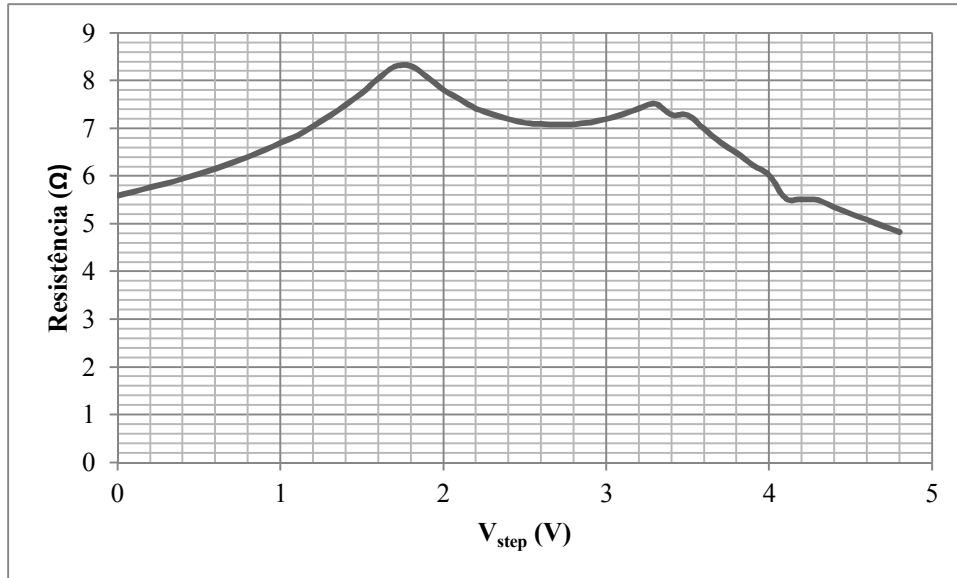


Figura 3.29 – Variação da resistência no interruptor.

O valor desta resistência tinha de ser mínima, o mais próximo de 0 Ω, para não alterar a eficiência do sistema, mas viu-se que possuía um valor considerável. Sendo assim, fez-se a equivalência dos dispositivos pelos seus correspondentes modelos de 1ª ordem, isto é, substituição adequada por componentes passivos (interruptores por resistências, por exemplo), Figura 3.30. Com este mesmo circuito é possível entender a transferência/dissipação de energia.

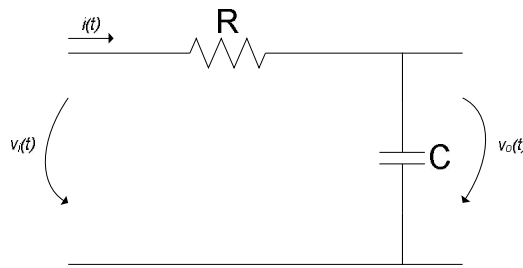


Figura 3.30 – Filtro passa baixo.

A tensão de saída $V_o(t)$ é dada por

$$V_o(t) = V_{DD} \left(1 - e^{-\frac{t}{RC}} \right) + V_i(t), \quad (3.17)$$

sendo que o comportamento da tensão de saída é representado na Figura 3.31.

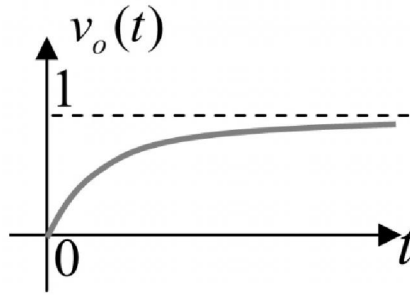


Figura 3.31 – Sinal à saída do filtro passa baixo.

O comportamento da corrente, tendo em conta a análise do sistema utilizando a Transformada de Laplace, é dada pela equação (3.18)

$$I(s) = \frac{V(s)}{R + \frac{1}{sC}}. \quad (3.18)$$

Assim, a energia armazenada num condensador é obtida pela equação (3.19)

$$E_C = \frac{1}{2} C \Delta V^2 = \frac{1}{2} C (V_o - V_i)^2. \quad (3.19)$$

A potência instantânea dissipada na resistência é conhecida pela equação (3.20)

$$P_{R_{inst}} = \frac{V_R^2}{R}, \quad (3.20)$$

onde

$$V_R = (V_{DD} - V_o),$$

ou seja

$$P_{R_{inst}} = \frac{\left(V_{DD} - V_{DD} \left(1 - e^{-\frac{t}{RC}} \right) + V_i \right)^2}{R} = \frac{\left(V_{DD} e^{-\frac{t}{RC}} - V_i \right)^2}{R}. \quad (3.21)$$

De forma a calcular a energia dissipada na resistência, recorreu-se ao seguinte integral

$$E_R = \int_0^\infty P_R(t) dt = \int_0^\infty \frac{\left(V_{DD} e^{-\frac{t}{RC}} - V_i \right)^2}{R} dt.$$

Ao resolver o integral anterior, chega-se a conclusão que

$$E_R = E_C.$$

Provando assim a baixa eficiência do sistema apresentado, porque a energia transferida para o condensador é a mesma que é gasta pela resistência.

Pode-se ainda calcular a energia fornecida pela fonte, dada por

$$E_{source} = \int V_{DD} * Idt = \int \left[\frac{V_{DD}^2}{R} - \frac{V_{DD}^2}{R} \left(1 - e^{-\frac{t}{RC}} \right) \right] dt = V_{DD}^2 C. \quad (3.22)$$

Analisando o resultado de (3.22) e o obtido para a energia armazenada no condensador (3.19), verifica-se que a energia fornecida pela fonte é superior à armazenada no condensador. Com este resultado, verifica-se que o regulador de condensadores comutados apresenta uma baixa eficiência, este facto deve-se à utilização de comutação forçada nos interruptores. A comutação forçada prende-se com o facto de existir uma rápida transferência de corrente; no entanto, pretende-se que esta seja realizada de forma mais lenta e, para tal, segue-se a ideia de comutação suave, que proporciona um trânsito de corrente mais lento (Figura 3.32), ou seja sem forçar a abertura ou o fecho dos interruptores em carga, permitindo assim um provável aumento de eficiência.

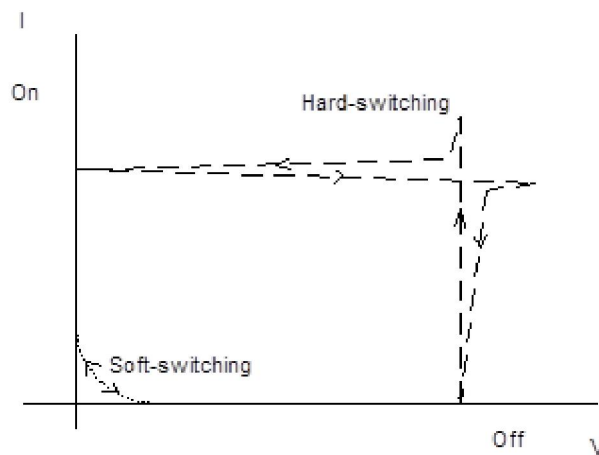


Figura 3.32 – Comparação entre a comutação suave e comutação forçada.

Para que a passagem de corrente pelo circuito seja mais lenta, há a necessidade de implementação de bobinas, pois assim é possível o acionamento dos interruptores evitando picos de corrente ou de tensão nos casos extremos, ou seja, no instante em que o interruptor fica no estado ligado ou no estado desligado.

3.4. Melhoria do regulador de condensadores comutados

A corrente num circuito comutado é controlada pela abertura e fecho dos interruptores. De modo a criar um estado de comutação suave, colocou-se bobinas entre os interruptores e os condensadores e obteve-se o circuito apresentado na Figura 3.33. A bobina permite armazenar a energia. Manteve-se a arquitetura do regulador de condensadores comutados, devido à sua simplicidade, e foram introduzidos os componentes necessários para criar uma frequência ressonante.

Neste circuito teve-se em atenção que a resistência dos interruptores tem que obedecer à relação

$$R < 2\sqrt{\frac{L}{C}}, \quad (3.23)$$

pois com esta relação têm-se um sistema subamortecido.

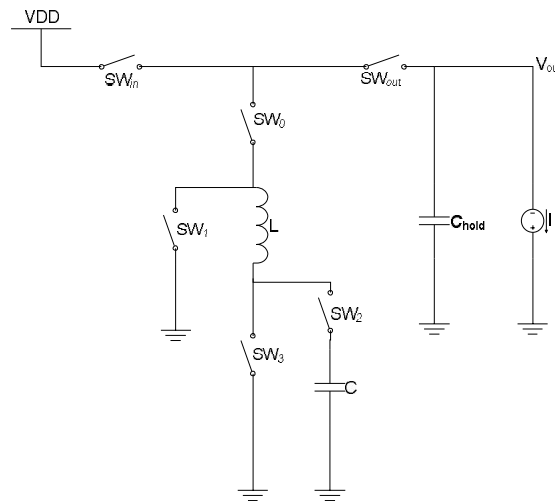


Figura 3.33– Adaptação do regulador de condensadores comutados.

O funcionamento deste circuito pode ser exemplificado em quatro estados que são caracterizados pela abertura e fecho dos interruptores, tal como exemplificado na Figura 3.34, o correto sincronismo entre os diferentes interruptores permite a transferência de carga entre condensadores e, conseqüentemente, a estabilização da tensão no nó de saída.

Na tecnologia a utilizar neste projeto, CMOS 0,35 μm , a indutância máxima possível em circuito integrado é 1 nH; no entanto, é de difícil implementação e apresenta grandes dimensões, por isso a bobina a utilizar tem de ser externa. Como este circuito tem uma arquitetura idêntica ao regulador de condensadores comutados, são necessárias oito bobinas, o que implica a utilização de 16 *pads*³, duas *pads* por cada bobina, o que torna a implementação física deste sistema de grandes dimensões e economicamente inviável, pois a utilização de *pads* extra trás custos desnecessários. Como o projeto descrito neste trabalho foi realizado na empresa de sensores de imagem, a Awaiba, a continuação do estudo deste sistema não oferecia interesse de mercado, logo não se continuou a sua análise.

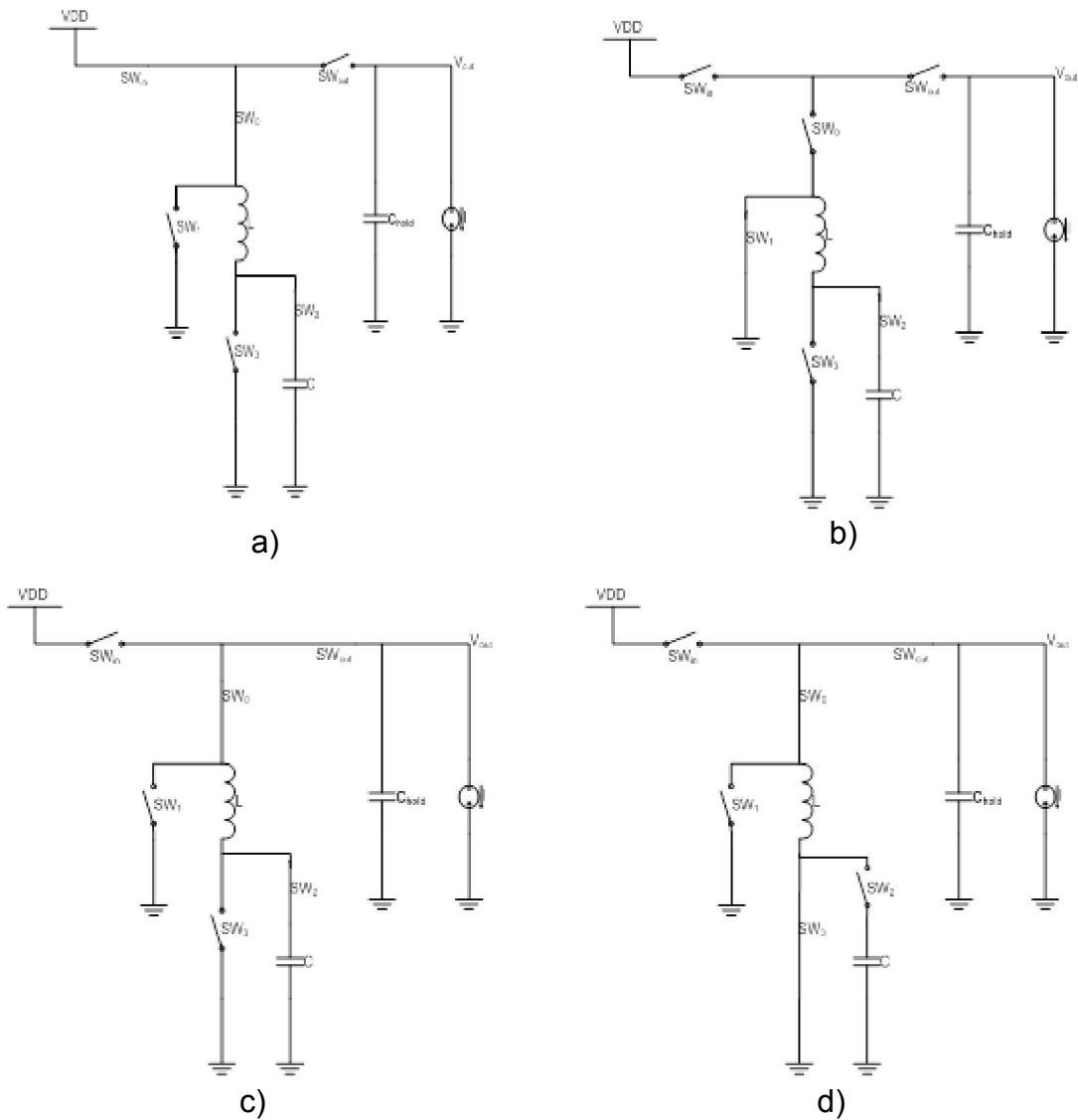


Figura 3.34– Estados de funcionamento.

³ As *pads* ou *pads* de contato é a designação dada às áreas de superfície de uma placa de circuito impressa, ou a terminação de um circuito integrado.

4.

Conversor redutor

Neste capítulo descreve-se o desenvolvimento de um conversor redutor. Com este circuito do conversor pretende-se melhorar o rendimento, a regulação e o *ripple* do sinal de saída do regulador de condensadores comutados descrito no capítulo 3, por forma a alimentar um sensor de imagem. O circuito de conversor redutor representado na Figura 4.1, é um dos conversores mais estudados em eletrónica de potência; no entanto, neste projeto fez-se uma adaptação deste circuito à microeletrónica, onde se desenvolve uma malha de controlo inteiramente em tecnologia CMOS de 0,35 μm , assim como os interruptores constituintes da meia ponte, sendo que os únicos componentes externos são os que constituem o filtro passa baixo na sua saída.

Neste capítulo descreve-se o estudo do conversor e está dividido em quatro secções: na primeira, realiza-se um estudo sobre o funcionamento da malha de controlo; na segunda, realiza-se a simulação, por forma a analisar o seu funcionamento e o comportamento; na terceira, faz-se a discussão dos resultados; e, por último, a implementação física do sistema.

4.1. Análise

O conversor DC-DC redutor encontra-se ligado a uma malha de controlo, tal como apresentado na Figura 4.1. Esta malha de controlo tem como principal objetivo realizar a retificação do sinal de saída, sendo esta em malha fechada.

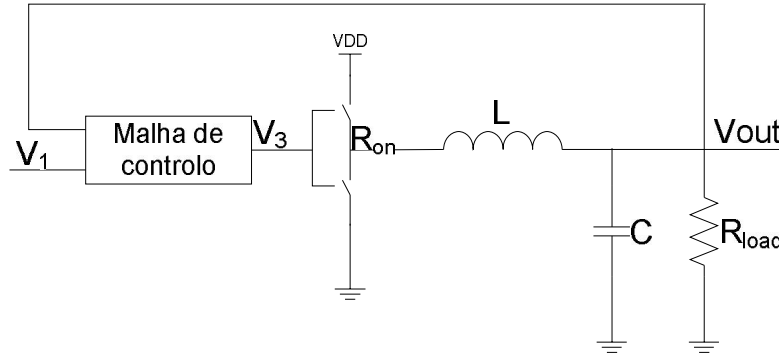


Figura 4.1– Conversor redutor de meia ponte com malha de controlo.

De modo a analisar o circuito da Figura 4.1, começou-se por especificar a função de transferência entre V_I e V_{out} , por forma a encontrar a malha de controlo adequada. Assim a função de transferência é a apresentada na expressão (4.1).

$$\frac{V_{out}}{V_1} = \frac{V_1}{V_3} \frac{1}{1 + \frac{R_{on}}{R_{load}} + s \left(\frac{L}{R_{load}} + C R_{on} \right) + s^2 LC} \quad (4.1)$$

Averiguando a expressão (4.1), verifica-se que esta é semelhante a uma equação de segunda ordem tal como é possível identificar na expressão (4.2), que se encontra escrita na forma canónica.

$$G(s) = \frac{p_1 p_2}{(s_1 + p_1)(s_2 + p_2)} = \frac{\omega_n^2}{(s + \xi + j\omega_d)(s + \xi - j\omega_d)} = \frac{\omega_n^2}{s^2 + 2s\xi\omega_n^2 + \omega_n^2} \quad (4.2)$$

onde $-p_1$ e $-p_2$ são os dois pólos, $\omega_d = \omega_n \sqrt{1 - \xi^2}$, $\omega_n = \frac{1}{\sqrt{LC}}$ é a frequência natural e ξ o factor de amortecimento.

Por comparação entre as expressões (4.1) e (4.2), é possível verificar que existem dois pólos e que numa função de transferência deste género a fase tende para 180° , o que coloca o sistema numa situação de quase instabilidade. Sendo assim, o circuito de controlo a adaptar a este sistema tem como principal objetivo cancelar um dos pólos para diminuir a margem de fase e melhorar a estabilidade. Para tal, é necessário eliminar um dos pólos pela introdução de um *zero*, ou seja, pela introdução

de $I+s$. Portanto, construiu-se um circuito de controlo que permitisse a introdução do *zero*, em que optou-se pela associação de um conversor tensão-corrente com um circuito derivativo, Figura 4.2. Com a conjugação correta destas duas estruturas e com a geração de vários sinais de controlo, conseguiu-se obter a resposta adequada que é descrita em seguida.

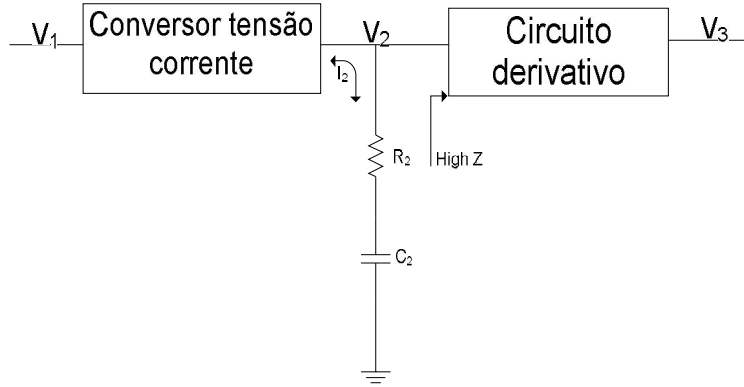


Figura 4.2– Circuito de compensação na malha de controlo.

Analisando o circuito da Figura 4.2, pode-se retirar as funções de transferência parciais, sendo elas a do conversor tensão corrente, a do circuito intermediário e a do circuito derivativo. A partir das funções de transferência parciais, obtém-se a função de transferência entre a entrada e a saída do circuito de compensação, ou seja, malha de controlo. Sendo assim, inicializou-se o estudo do circuito que introduz o *zero* de compensação (Figura 4.3), onde a função de transferência parcial para este circuito é dada pela relação entre a tensão V_2 e a corrente I_2 e apresentada na expressão (4.3).

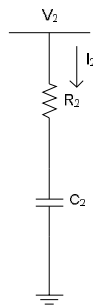


Figura 4.3– Circuito para introduzir um *zero*.

$$\frac{V_2}{I_2} = \frac{1+sR_2C_2}{sC_2} \quad (4.3)$$

O circuito da Figura 4.3 introduz um *zero* de compensação e, no entanto, também coloca um pólo. O pólo pode ser eliminado com recurso ao circuito derivativo apresentado na Figura 4.4. Pela análise da Figura 4.4, verifica-se que o circuito

derivativo é constituído por: um comparador, uma resistência, um condensador e um interruptor. A utilidade do interruptor neste circuito é porque o circuito derivativo ao realizar a derivada, a tensão de entrada não pode efetuar a análise de uma rampa infinita, logo realiza-se um *reset* ao sinal de entrada por acionamento deste interruptor, sendo que instantaneamente o derivador funciona como *buffer* e o sinal na entrada do derivador sofre uma alteração ao seu comportamento, sendo este idêntico a um dente de serra. A saída, V_3 , é constituída pela derivada da tensão de entrada, V_2 , multiplicada pela tensão, expressão (4.4).

$$V_3 = -RC \frac{dV_2}{dt} \quad (4.4)$$

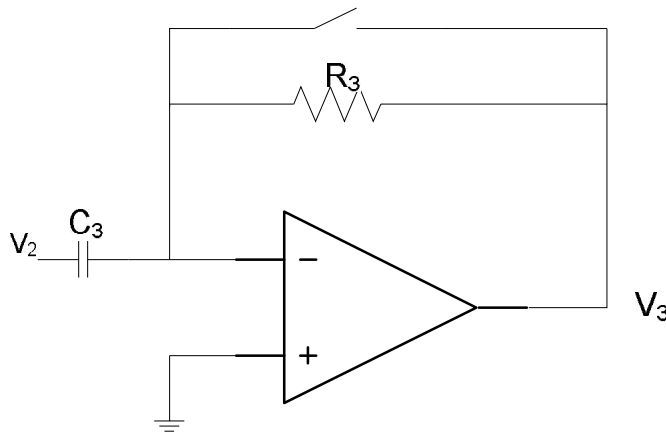


Figura 4.4– Circuito derivativo [26].

A função de transferência do circuito derivativo é dada pela expressão (4.5).

$$\frac{V_3}{V_2} = -sR_3C_3 \quad (4.5)$$

Com a multiplicação da expressão (4.3) pela expressão (4.5), elimina-se o pólo. É de salientar que, na expressão (4.3), considerou-se que no circuito de compensação tem-se a corrente gerada com um conversor tensão-corrente e desprezou-se a corrente de entrada em V_2 , Figura 4.5. A função de transferência deste conversor é dada por um fator de conversão, K , expressão (4.6) [27] [28] [29].

Na Figura 4.5 verifica-se que o conversor tensão corrente é constituído por um comparador, por um amplificador classe AB, cujas arquiteturas se encontram descritas no anexo C, e por fontes de corrente formadas por MOSFETs.

O conversor tensão-corrente tem as tensões de alimentação V_{DD} e V_{SS} e a tensão de referência (V_{ref}) que é a tensão que se pretende regular, tal como se pode verificar pela análise do diagrama de blocos da Figura 4.6. O sinal de saída é a corrente i_{out} .

$$\frac{I_2}{V_1} = K \quad (4.6)$$

Para determinar o fator de conversão é necessário a análise do resto do circuito, sendo que, para a implementação do circuito da Figura 4.1, considerou-se que $L=50 \mu H$ e $C=1 \mu F$, por forma a manter-se num sistema subamortecido, e que a frequência natural, ω_n , é dada pela expressão (4.7). A escolha destes valores para os componentes do filtro passa baixo deveu-se aos mesmos estarem disponíveis no mercado nas dimensões físicas pretendidas e adequados a implantar no circuito. Uma outra razão desta escolha, deveu-se a que a frequência de funcionamento do conversor é de 2 MHz e o filtro tem de apresentar uma frequência de corte inferior, por forma evitar harmónicas.

$$\omega_n = \frac{1}{\sqrt{LC}} = 14,14 \text{ kHz} \quad (4.7)$$

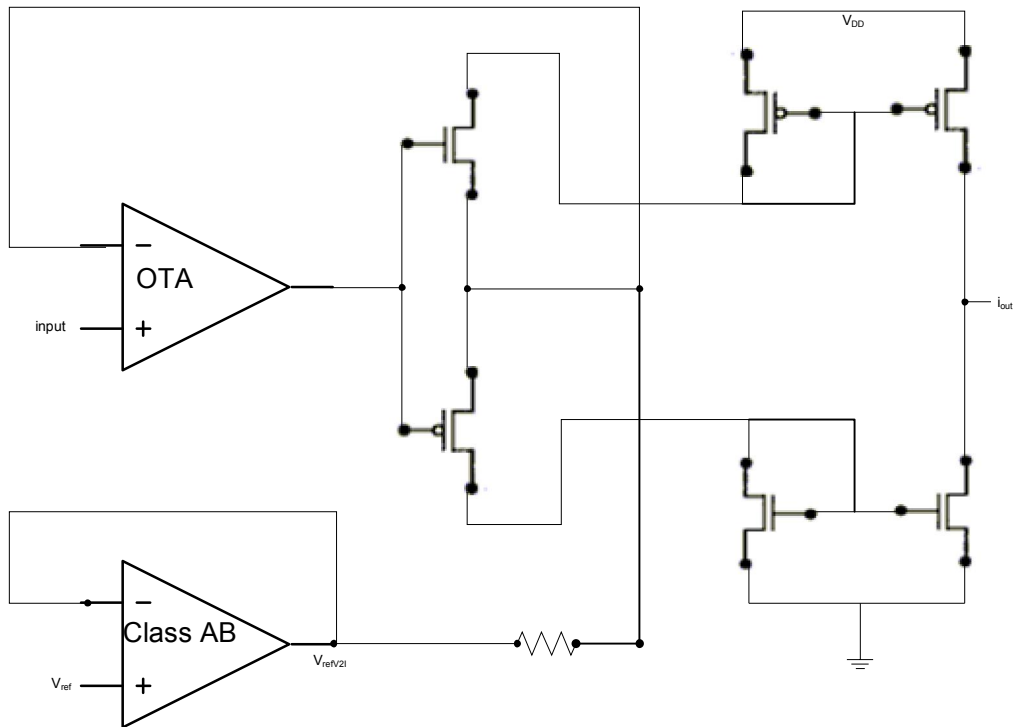


Figura 4.5– Conversor tensão-corrente.

Como na saída do conversor tensão-corrente tem-se uma resistência seguida de um condensador, pode-se igualar a frequência natural, ω_n , ao inverso da constante de tempo, expressão (4.8).

$$\tau = R_2 C_2 \Rightarrow \frac{1}{\tau} = \omega_n = \frac{1}{R_2 C_2} \quad (4.8)$$

Igualando as expressões (4.7) e (4.8), tem-se a expressão (4.9), onde uma qualquer alteração nos parâmetros implica um ajuste adequado para que se mantenha a relação.

$$\frac{1}{R_2 C_2} = \frac{1}{\sqrt{LC}} \quad (4.9)$$

De modo a verificar a igualdade da expressão (4.9), pode-se utilizar $C_2 = 1 \text{ nF}$ e $R_2 = 7 \text{ k}\Omega$, para que, pelo menos um destes componentes tenha a possibilidade de ser implementado no circuito integrado, que neste caso foi a resistência, sendo o condensador implementado *offchip*, devido à sua capacidade. É de salientar que o dimensionamento destes componentes foi realizado por simulação, em que se analisou a estabilidade do conversor tensão-corrente. Com os componentes dimensionados, pode-se agora determinar o fator de conversão do conversor tensão-corrente, sendo que este é obtido pela expressão (4.10).

$$K = \frac{C_2}{R_3 C_3} \quad (4.10)$$

Para o dimensionamento de R_3 e C_3 fez-se alguns testes com o circuito derivativo de modo a analisar a sua estabilidade, e concluiu-se que este permitia uma melhor resposta quando $R_3 = 100 \text{ k}\Omega$ e $C_3 = 1 \text{ pF}$, o que são valores de componentes que permitem a sua implementação na forma integrada. Assim, realizando o cálculo da expressão (4.10), tem-se que o fator de conversão é de $1 \cdot 10^{-4}$.

Com a associação das funções de transferência obtidas anteriormente, consegue-se obter a função de transferência da malha de controlo, sendo esta dada pela expressão (4.11).

$$\frac{V_3}{V_1} = -\frac{1+sR_2C_2}{C_2} R_3 C_3 \times 10^{-4} \quad (4.11)$$

Assim, o diagrama de blocos da malha de controlo para o conversor DC-DC encontra-se representado na Figura 4.6. onde se pode verificar que é um sistema em malha fechada, em que o controlo da tensão é realizado pela análise do sinal à saída do conversor DC-DC.

Os três primeiros blocos são os que foram analisados anteriormente que têm como principal finalidade eliminar um pólo do filtro, sendo que o bloco de conversor DC-DC é constituído por:

- Um gerador PWM
- Um conversor DC-DC
- E um filtro RLC de saída

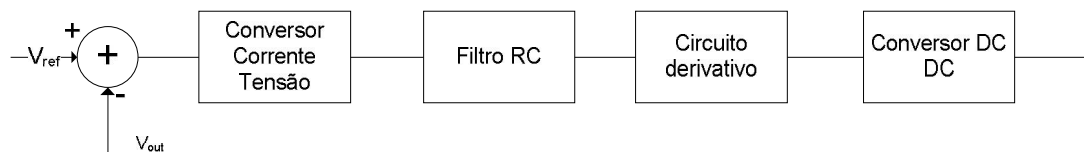


Figura 4.6– Malha de controlo com o conversor DC-DC.

Depois de analisado o circuito fez-se a simulação de todo o sistema, onde se explica detalhadamente a constituição de cada um dos blocos de diagrama da Figura 4.6.

Como foi mencionado anteriormente, a malha de controlo também é constituída por um bloco PWM, que é o gerador de onda triangular responsável pela criação de um fator de ciclo. O modulador PWM tem uma portadora a variar entre 0 V e 3,3 V, este sinal é composto pela soma de duas rampas, uma ascendente e outra descendente.

4.2. Simulação

4.2.1. Conversor tensão-corrente

Depois de estudado o comportamento do conversor de tensão-corrente, desenvolveu-se o circuito eletrónico, sendo que este é apresentado na Figura 4.7. De salientar que, no circuito apresentado nesta figura, apresentam-se mais duas entradas (*inn* e *vrefV2I*), que são os pontos de ligação à resistência apresentada na Figura 4.5. Optou-se por esta configuração por tornar mais simples a sua implementação em ambiente de simulação, pois foi esta a forma escolhida para encontrar o melhor valor

para a resistência, pois por simulação possibilitava a variação do seu valor até encontrar o valor que permitia a melhor resposta do conversor tensão-corrente.

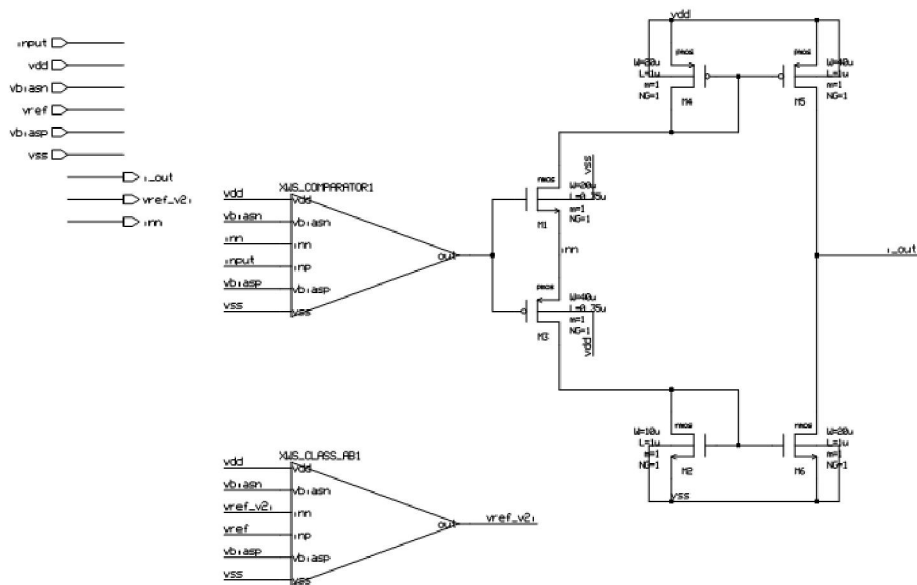


Figura 4.7– Conversor tensão-corrente.

O sinal de saída do conversor, i_{out} , liga-se ao circuito intermédio (que se encontra representado na Figura 4.3), sendo que, na Figura 4.8, apenas se observa a resistência, porque devido à capacidade do condensador este tem de ser implementado *off-chip*.

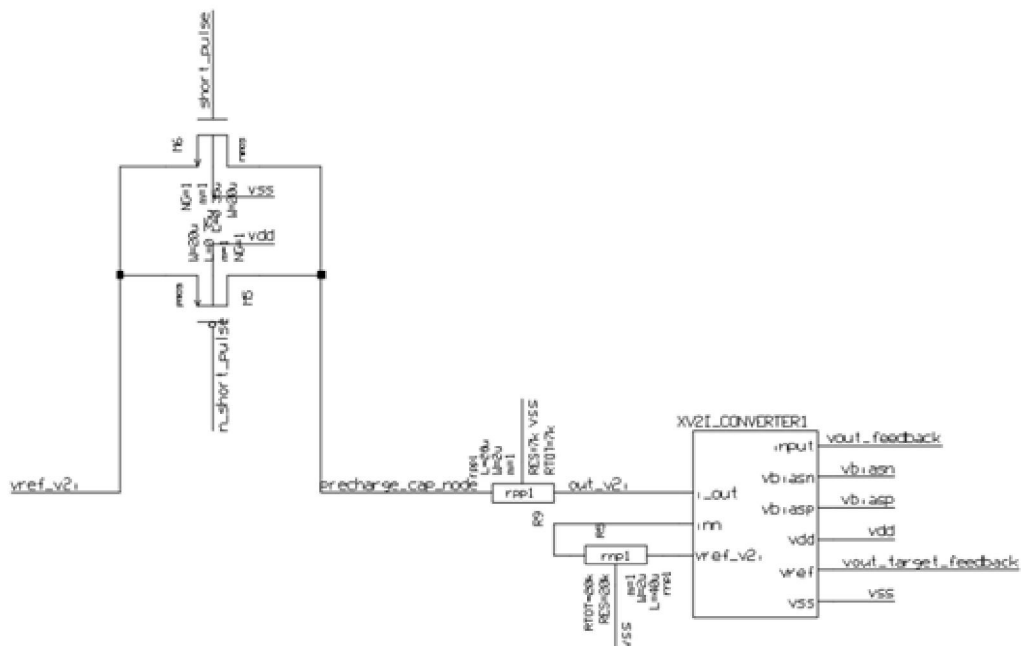


Figura 4.8 – Enquadramento do conversor tensão corrente.

Com a arquitetura descrita do conversor tensão-corrente, fez-se a simulação, sendo que na primeira simulação foi estudada a estabilidade do conversor tensão corrente através da análise do diagrama de bode, Figura 4.9.

Por análise da Figura 4.9, verifica-se que a vermelho tem-se o módulo e a verde a fase, sendo que o conversor de tensão-corrente não é tão estável quanto se esperava, pois a margem de fase apresenta um grande decaimento, ultrapassando rapidamente os 180° perto dos 10 MHz . No entanto, enquadra-se no sistema, pois no seguimento do conversor de tensão-corrente, utilizou-se um *buffer* de modo tornar o sinal do conversor de tensão-corrente estável. Este *buffer* também é útil para realizar a ligação com circuito derivativo, pois a entrada deste circuito deve ser estável.

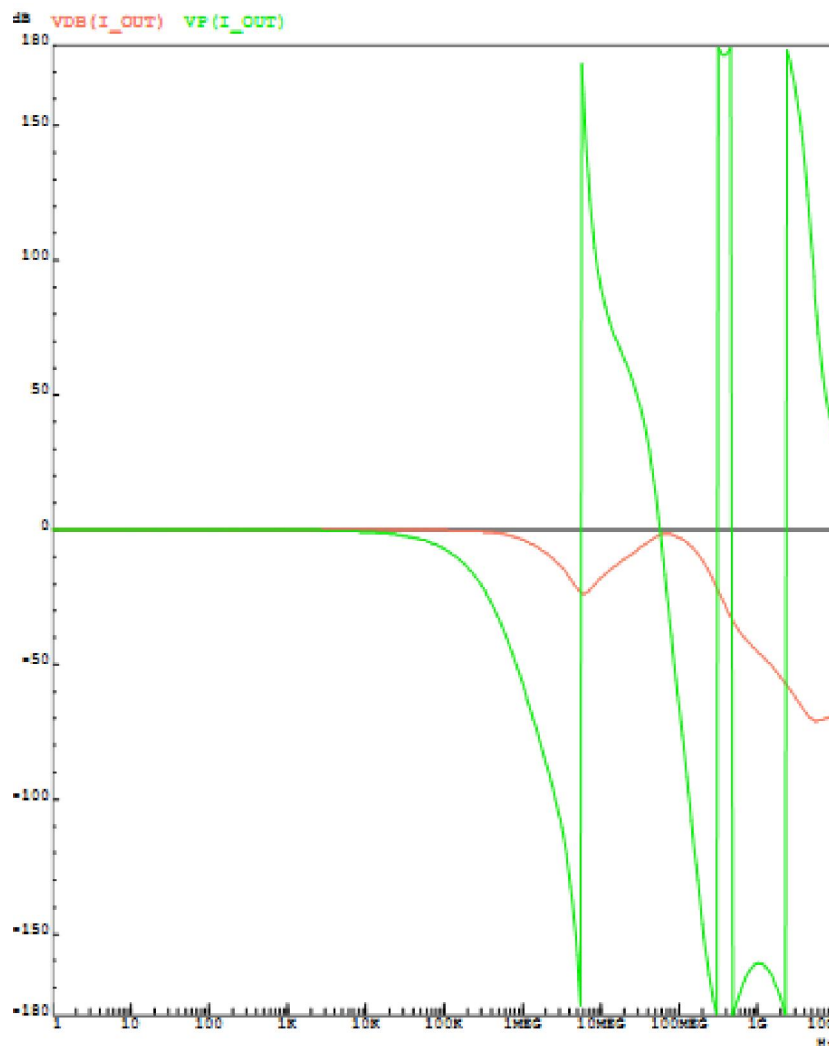


Figura 4.9 – Diagrama de bode do conversor tensão corrente.

Depois da análise de estabilidade apresentada na Figura 4.9, simulou-se o comportamento do conversor tensão corrente ao sinal de entrada, Figura 4.10, onde a vermelho tem-se o sinal de entrada, ou seja, o sinal de referência, e a verde tem-se o sinal de saída do conversor. Pode-se, assim, verificar que o sinal de saída acompanha o sinal de entrada do circuito em estudo, onde estes sinais apresentam uma relação unitária, não existindo assim amplificação do sinal.

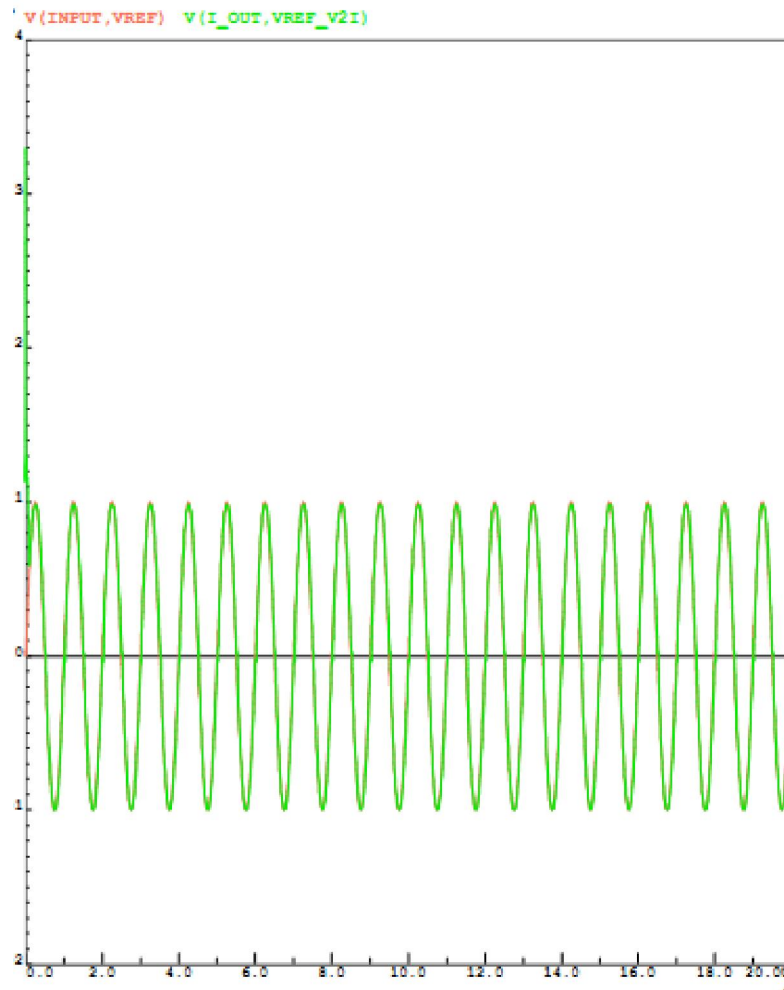


Figura 4.10 – Resposta do conversor tensão corrente ao sinal de entrada.

A implementação do circuito derivativo no *Design Architect-IC* foi realizada de acordo com o circuito apresentado na Figura 4.4, sendo que este é constituído por um comparador, por uma resistência e por um conjunto de condensadores, associados em paralelo (na Figura 4.11 representados por um ciclo *for* entre 0 e 19), para que a soma perfizesse o valor necessário e também para que fosse possível a implementação dos condensadores na forma integrada, Figura 4.11.

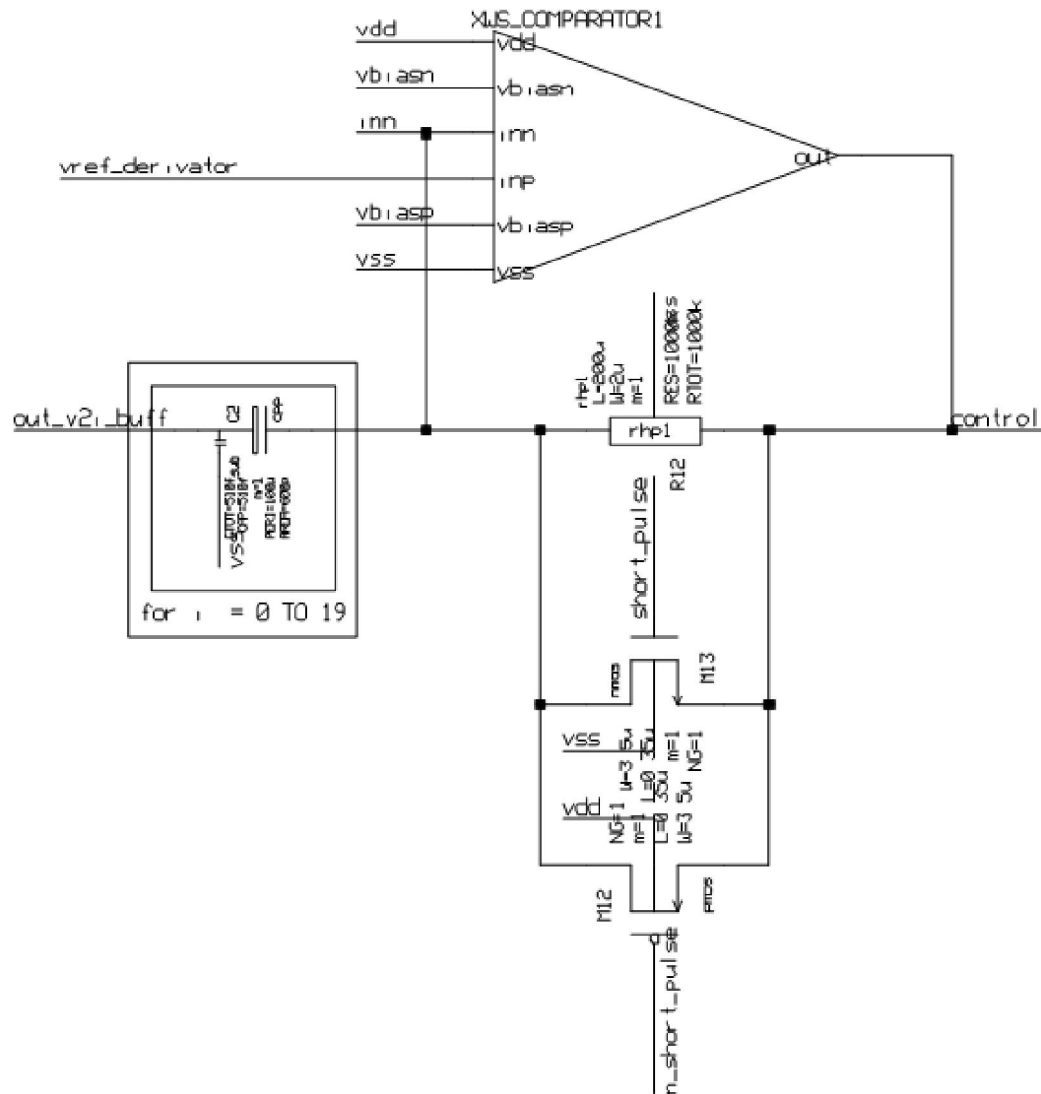


Figura 4.11 – Circuito derivativo.

São utilizados sinais para ativar o interruptor, sendo que a utilidade deste interruptor no circuito derivativo é para este circuito funcionar alternativamente como derivador e como *buffer*, como explicado na seção anterior. Para a visualização das formas de onda de entrada e de saída do circuito derivativo, assim como de outros pontos da malha de controlo, consultar a Figura G.6 do anexo G.

Na próxima seção explicam-se os diferentes sinais de controlo que fazem parte da malha de controlo, assim como é que estes são gerados.

4.2.2. Sinais de controlo

O principal objetivo dos sinais de controlo é gerar um fator de ciclo, estes sinais permitem que a tensão de saída do conversor DC-DC redutor se mantenha constante.

Estes sinais atuam nos diferentes interruptores que se encontram na malha de controlo para que se gere um fator de ciclo adequado à entrada do conversor DC-DC. Os sinais de controlo são uma onda quadrada com a largura dos pulsos variável, sendo este o fator de ciclo.

Os sinais de controlo são gerados a partir de um contador, sendo que este recebe um sinal de relógio que provém do gerador PWM no conversor DC-DC e o sinal n_rst que é dado pelo utilizador, ou seja, é um sinal externo. A arquitetura do contador é mostrada na Figura 4.12, sendo que o contador implementado no *Design Architect-IC* encontra-se no anexo D. Onde se verifica que o contador é constituído por uma sequência de flip-flops interligados por portas lógicas, para que na saída do contador se obtenha o sinal de relógio (*clock*) e o *overflow*, que é o sinal de contagem do contador.

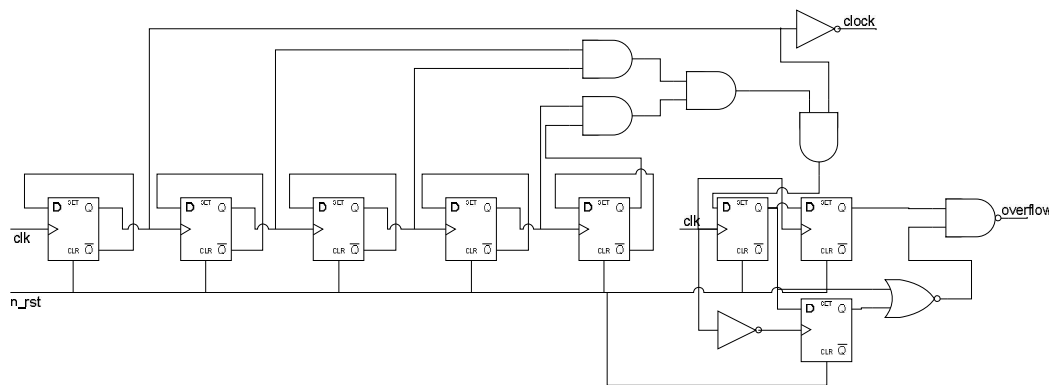


Figura 4.12 – Arquitetura do contador.

O contador é o bloco que faz a ligação entre os sinais de controlo e a geração do fator de ciclo. Assim, este bloco serve para contar as transições de modo que o sinal *overflow* só seja ativo após a contagem de 32 ciclos de relógio.

A lógica visível na Figura 4.12 é para que o sinal à saída do contador se mantenha ativo durante dois ciclos de relógio, por forma a satisfazer as necessidades do sistema, devido à frequência de funcionamento. É de salientar que o contador foi implementado em cadeia aberta. Utilizou-se dois *flip-flops* e duas portas lógicas, sendo que estas foram associadas de forma a se igualar a uma porta OR de três entradas. De notar que também se extraiu um sinal de relógio a utilizar no *reset control*. De referir que se utilizou um outro *flip-flop*, por forma a eliminar qualquer variação brusca

(“*glitch*”) que apareça na saída. Assim, apenas se observa o sinal de *overflow* necessário para o correto funcionamento da malha de controlo.

De seguida, fez-se a simulação para verificar a ativação do sinal de *overflow* e obteve-se as curvas apresentadas na Figura 4.13, onde se pode verificar que o sinal de *overflow* apenas é ativo a cada 32 contagens de relógio (sinal a azul) e se mantém ativo durante dois ciclos de relógio, na Figura 4.13, a violeta. Ao observar a mesma figura, verifica-se que o relógio é ativado após a ativação do sinal *n_rst*, representado a amarelo.

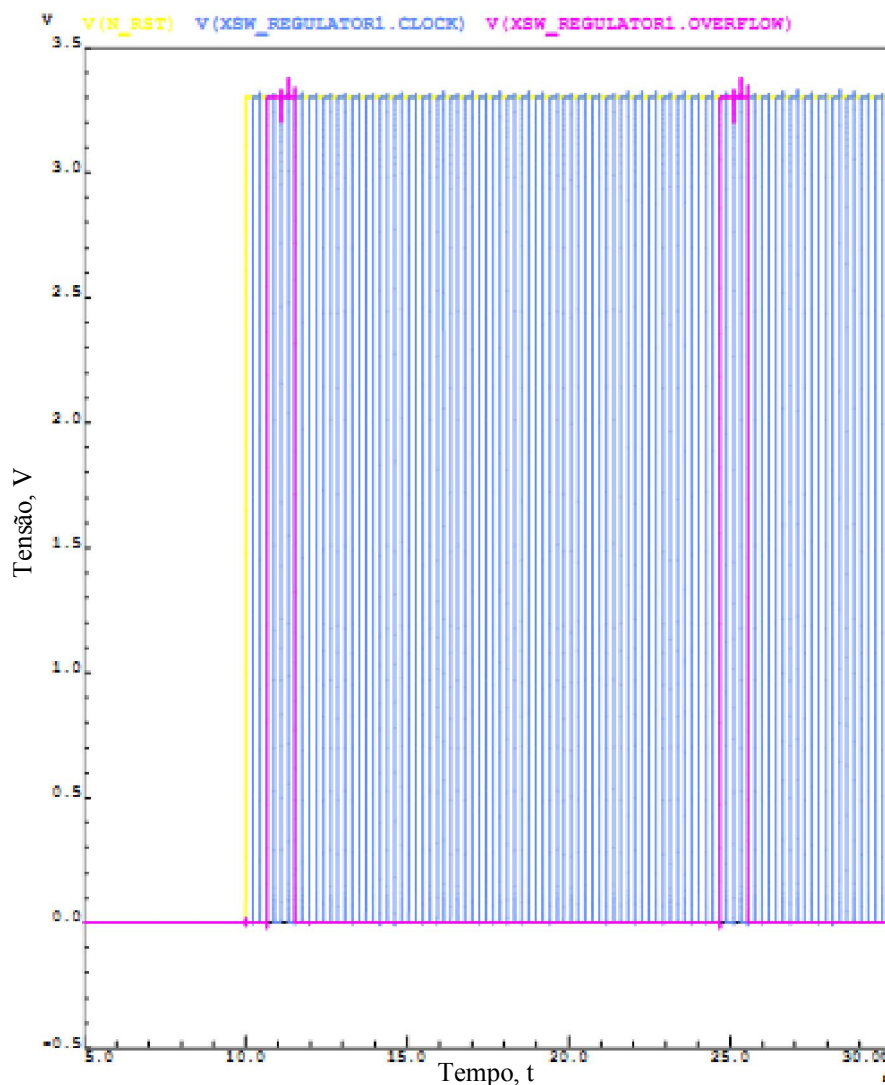


Figura 4.13 – Sinais do contador com indicação do *overflow*.

Na sequência do contador tem-se o *reset control*, que tem como principal objetivo receber os sinais gerados no contador e realizar o *reset* dos sinais de controlo

da malha de controlo. Assim, este bloco realiza o *reset* a todo o circuito no início da simulação e do funcionamento, assim como quando o sinal *overflow* é ativo.

Este bloco é comandado por sinais de relógio provenientes do contador, como mencionado anteriormente, e pelo sinal *n_rst*. A partir do sinal de relógio, é possível obter outros, nomeadamente o *long_pulse*, o *pre_set* e o *short_pulse*, estes sinais, por sua vez, têm a função de ativar/desativar interruptores da malha de controlo para que haja o carregamento/descarregamento de condensadores e para controlar a passagem do sinal de tensão. De seguida é realizada uma descrição de cada um dos sinais gerados pelo *reset control*.

pre_set – este sinal é responsável por colocar o sistema em espera, enquanto o sinal de *reset* não é ativo. Este sinal acaba por ser o sinal de *reset*, pois têm a mesma polaridade, por análise do esquema apresentado para o *reset control* na Figura 4.14.

long_pulse – este sinal liga a um condensador que tem como função suportar alguma tensão durante o funcionamento do sistema, C_{hold} , quando este necessita de realizar *reset*.

short_pulse – este sinal liga-se ao interruptor que permite o carregamento e descarregamento do condensador associado ao conversor tensão corrente, ou seja ao sinal que permite a compensação do sinal de realimentação. Também se liga ao circuito derivativo para que este funcione como derivador ou como *buffer*, pois o *short_pulse* conecta e desconecta a resistência que pertence a este circuito.

Este bloco de controlo é constituído por portas lógicas simples, tais como NOT, OR e AND. Pela associação correta destas portas é possível, assim, obter o bloco de *reset control* representado na Figura 4.14, onde se verifica os sinais de entrada assim como os de saída. A representação destes sinais encontra-se no anexo G, na Figura G.6.

Na sequência da malha de controlo apresentada na Figura 4.6, tem-se o conversor DC-DC que, por sua vez, é constituído por três partes distintas, o gerador de onda triangular (gerador PWM), o conversor e o filtro passa baixo de saída.

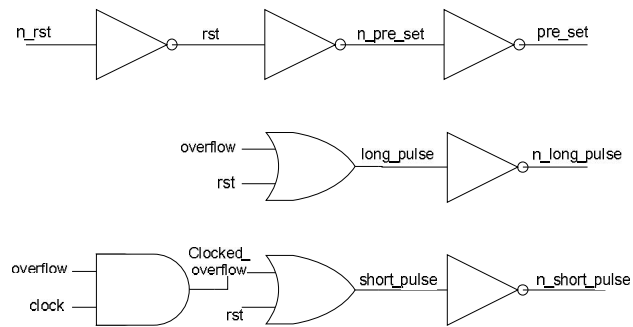


Figura 4.14 – *Reset control.*

4.2.3. Gerador de onda triangular

O gerador de onda triangular, Figura 4.15, tem a função de gerar uma onda perfeitamente triangular. No entanto, isto só é possível porque o circuito está dividido em duas partes: uma para criar a rampa de subida e outra para criar a rampa de descida, sendo que no final se efetua a união destas duas, ondas por forma a criar uma onda triangular.

Assim, a rampa de subida para a formação da onda triangular é constituída por um OTA, por um condensador e por um interruptor que, quando acionados, permitem a criação da rampa pelos respetivos sinais de controlo. A implementação para simulação desta parte do gerador de rampa triangular encontra-se ilustrado na Figura E.1 no anexo E.

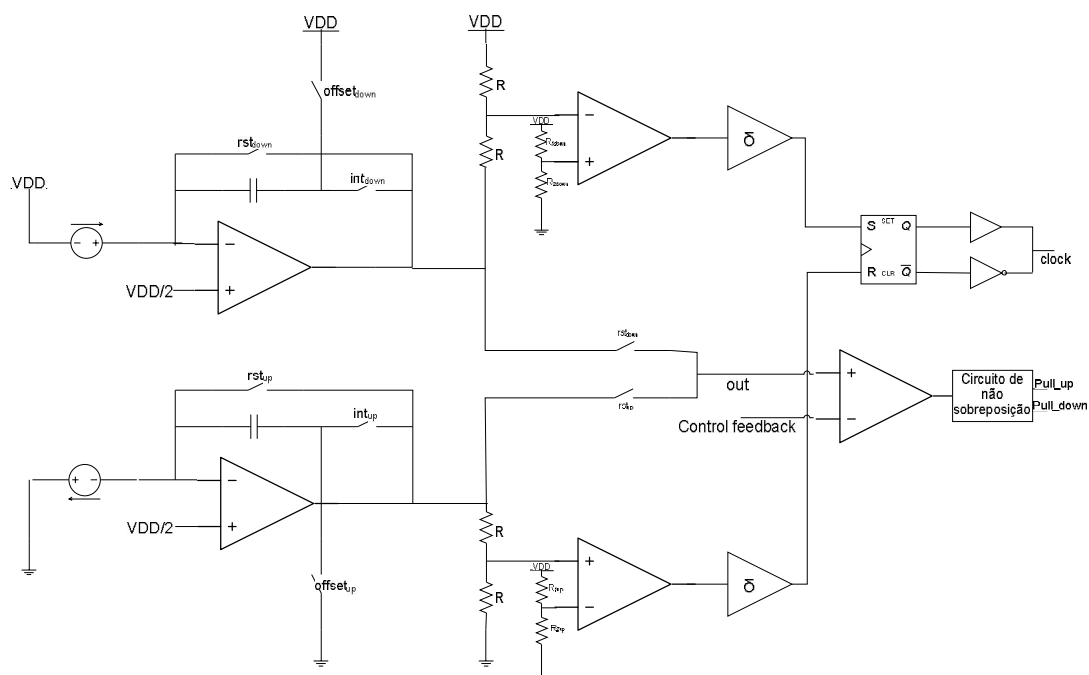


Figura 4.15 – Esquema simplificado do gerador de onda triangular.

Da mesma forma é realizada a rampa de descida, Figura E.2 no anexo E. O que difere, nos circuitos, de como se formam ambas as rampas é a direção da corrente de entrada e a tensão de *offset* que é determinada pelo valor de tensão a que estão ligados os interruptores *offset*. Este valor de tensão também define o valor máximo e mínimo da rampa, permitindo assim a formação de uma onda triangular entre 0 V e 3,3 V.

Com a geração das rampas de subida e descida é necessário existir um controlo, de modo a conferir a inclinação da rampa e este é determinado pelas resistências R representadas no circuito da Figura 4.15, assim como as resistências R_{1up} , R_{1down} , R_{2up} e R_{2down} , que permitem também a geração de um relógio, obtendo assim o gerador PWM completo (gerador de onda triangular).

Quanto ao valor das resistências no *offset* dos comparadores, ou seja as resistências R_{1up} , R_{1down} , R_{2up} e R_{2down} , que vão dar o sinal à geração de sinal, teve-se em conta que a resistência série de cada um dos divisores resistivos era de 50 k Ω , que a tensão nessa entrada do comparador (*offset*) deve apresentar uma variação de $\pm 10\%$ de $V_{DD}/2$, ou seja, [1,5 e 1,8 V], respetivamente, para cada um dos comparadores e que este divisor resistivo se encontra ligado entre a V_{SS} e V_{DD} . Então, o cálculo para as resistências ligadas ao comparador do *offset* de subida é obtido por:

$$V_{offset_{up}} = \frac{R_{2up}}{R_{1up} + R_{2up}} V_{DD} \Leftrightarrow R_{2up} = \frac{1,5}{3,3} 50 * 10^3 = 22727,27 \Omega. \quad (4.12)$$

E como

$$R_{1up} + R_{2up} = 50k\Omega \Leftrightarrow R_{1up} = 27272,72 \Omega. \quad (4.13)$$

Sendo que, da mesma forma, se obteve os valores das resistências para o comparador do *offset* de descida.

$$V_{offset_{down}} = \frac{R_{2down}}{R_{1down} + R_{2down}} V_{DD} \Leftrightarrow R_{2down} = 27272,72 \Omega \quad (4.14)$$

Como

$$R_{1down} + R_{2down} = 50k\Omega \Leftrightarrow R_{1down} = 22727,27 \Omega \quad (4.15)$$

Na continuação, é necessário agora um limitador, e isso é realizado através de comparadores com um divisor resistivo constituído pelas resistências R representadas na Figura 4.15. Estas resistências, que se ligam a inp_{up} e inp_{down} , são iguais por forma a dar o valor de tensão médio entre as extremidades do divisor resistivo, sendo a resistência destas é de $250\text{ k}\Omega$ cada uma. Assim, quando o sinal entra no comparador, compara entre a entrada positiva e a negativa. A saída deste comparador, por sua vez, é ligada a um *flip-flop*, em que as suas saídas são associadas por forma a criar um sinal de relógio. Os mesmos sinais que estão ligados à criação do sinal de relógio são utilizados para obter os sinais de controlo para a criação da rampa, formando assim um *loop* dentro do gerador de onda triangular.

O sinais que são utilizados para a criação da rampa são os que saem dos blocos geradores de rampa, ou seja, a rampa ascendente e a rampa descendente, respetivamente, que são ligados a um interruptor que é acionado por um sinal de controlo, o rst_{up} e o rst_{down} , sinais estes que criam o sinal de relógio. Com o acionamento alternado e correto, em simulação, é possível obter a forma de onda triangular, a amarelo na Figura 4.16, pois estes interruptores têm a função de juntar as duas rampas. De notar que, a onda triangular representada na Figura 4.16, apresenta uma perturbação quando se dá a mudança de direção das retas, ou seja, nos extremos da onda triangular, que não interfere no resultado final. Para a obtenção da onda triangular utilizou-se o circuito desenhado no *Design Architect-IC* e que se encontra na Figura E.3, no anexo E, para a simulação, sendo que posteriormente foi implementado sob a forma integrada, tal como é objetivo deste trabalho.

De seguida, o sinal triangular vai para um comparador em simultâneo com o sinal *control_feedback*, por forma a criar o ciclo de trabalho correto, pois o sinal *control_feedback* é o sinal que provém da malha de controlo, representado a vermelho na Figura 4.16. É este sinal que faz com que haja um ajuste do fator de ciclo por forma a estabilizar a tensão de saída. O sinais *pull up* e *pull down* na saída do gerador de rampa triangular, Figura 4.15, são os sinais que vão atuar nos interruptores do conversor redutor e, assim, fornecer o sinal de tensão correto ao filtro de saída, para se ter o valor DC desejado na saída de todo o sistema. De notar que o gerador de onda triangular carece de duas correntes para funcionar; estas correntes são geradas dentro do bloco, por fontes de corrente.

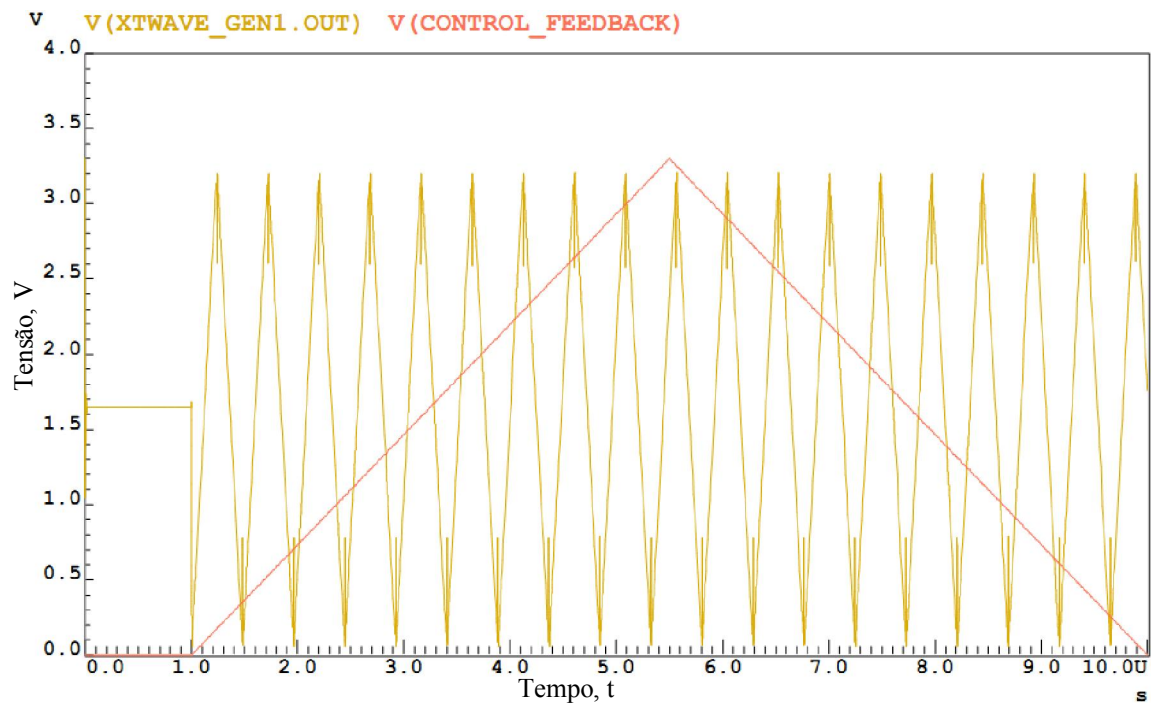


Figura 4.16 – Saída do gerador de onda triangular.

Por análise da Figura E.3, verifica-se que existem alguns blocos que não foram explicados anteriormente, como o bloco de atraso e de não sobreposição. Sendo caracterizados de seguida.

O bloco de atraso (*delay control*) tem como função oferecer um pequeno atraso à geração de rampa proporcionando a criação do fator de ciclo, de modo que todas as operações lógicas sejam realizadas a seu devido tempo. Este bloco é capaz de formar duas ondas quadradas que estão relacionadas entre si e o sinal de *reset*, Figura 4.17. Este bloco que tem como entrada o sinal de *reset* (*rst*) e de saída o *int* e o *n_int*, este último é o *offset* que permite a ativação do interruptor *offset* que se encontram nos geradores de rampa de subida e de descida.

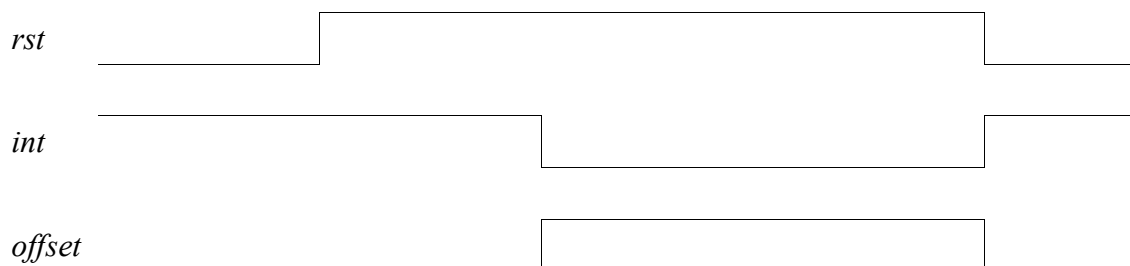


Figura 4.17 - Relação entre os sinais do bloco de atraso.

O atraso é obtido pela aplicação sucessiva de quatro blocos de atraso existentes na biblioteca do programa utilizado (*Design Architect-IC*), por uma porta AND, cuja saída é onde se obtém o *offset*, e uma porta NOR onde se obtém o sinal *int*, Figura 4.18.

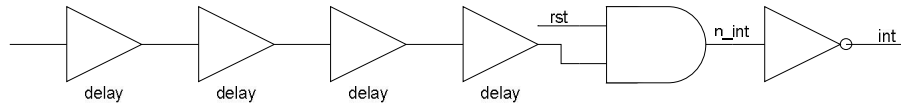


Figura 4.18 – Circuito de atraso.

Quanto ao circuito de não sobreposição, este tem a função de evitar a sobreposição de dois sinais distintos, para uma determinada entrada, tal como explicado no capítulo referente ao regulador de condensadores comutados, capítulo 3 na seção 3.2.

O circuito de não sobreposição para o circuito conversor DC-DC redutor recebe o sinal do comparador, que por sua vez, toma a rampa e compara com o sinal de realimentação da malha de controlo. Assim, este bloco recebe esse sinal e divide-o em dois em que ambos os sinais não se sobrepõem. De salientar que o circuito apresentado na Figura 4.19 difere do apresentado no capítulo anterior devido à tensão de alimentação dos sistemas ser distinta (no regulador de condensadores comutados era 5 V e no conversor DC-DC redutor era 3,3 V). Assim o circuito de não sobreposição utilizado para o sistema em estudo é mais compacto.

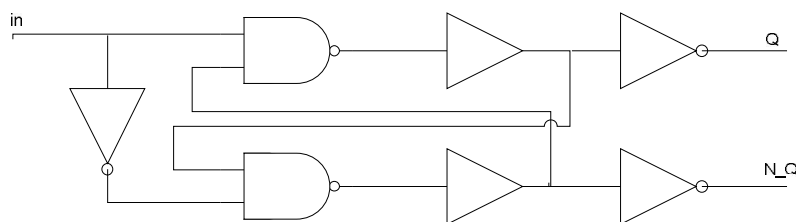


Figura 4.19 – Circuito de não sobreposição.

Com a descrição de todos os blocos do gerador de onda triangular, tem-se assim a principal parte do conversor DC-DC concluída, sendo que o bloco que corresponde a este gerador é mostrado na Figura 4.20. Nesta figura pode-se verificar quais são os sinais de entrada do gerador de onda triangular, assim como os sinais de saída, sendo que, na saída, tem-se o sinal de relógio responsável pela criação de outros sinais da malha de controlo e os sinais para a ativação dos interruptores característicos do conversor DC-DC redutor.

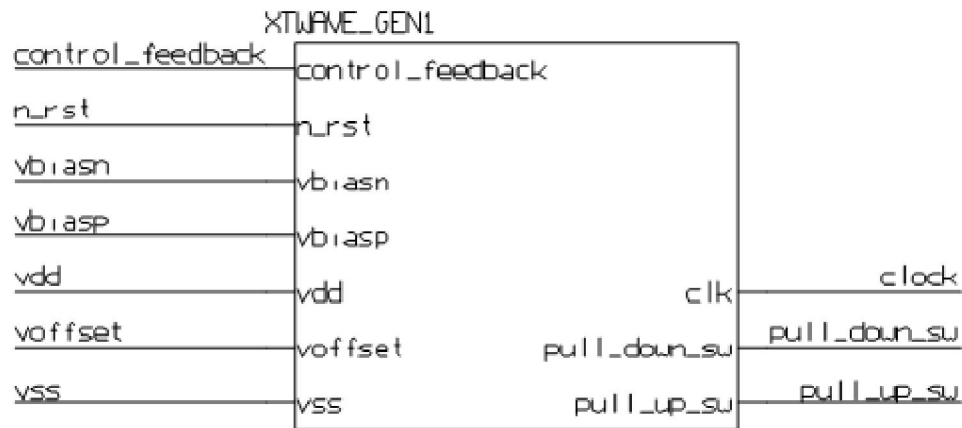


Figura 4.20 – Bloco do gerador de onda triangular.

4.2.4. Sistema de conversão e malha de controlo

Com o estudo dos vários elementos que constituem o conversor DC-DC redutor, realizou-se a correta interligação entre eles, construindo assim o circuito da Figura 4.21, em que no anexo F se encontra o circuito implementado no *Design Architect-IC*. Na Figura 4.21 verifica-se que, entre os blocos apresentados anteriormente, encontram-se andares de ganho e alguns *buffers*, por forma a possibilitar a estabilidade do sistema e amplificação de alguns sinais na malha de controlo.

De salientar que a maior parte dos elementos apresentados neste capítulo, tinham a necessidade de uma tensão de polarização, V_{biasp} e V_{biasn} , sendo que estas são geradas neste circuito, através da passagem de corrente por uma resistência. A tensão de *offset* também é gerada neste circuito por um divisor de tensão (ver na figura do anexo F).

Os interruptores que constituem o conversor também se encontram neste circuito, sendo que estes foram dimensionados para que tivessem a capacidade de controlar a tensão à saída, pois são dos elementos mais importantes num circuito de conversão. Estes interruptores são caracterizados por serem de grandes dimensões, tendo o PMOS $W=10000\ \mu\text{m}$ e $L=0,35\ \mu\text{m}$ e o NMOS $W=4000\ \mu\text{m}$ e $L=0,35\ \mu\text{m}$, pois assim são capazes de suportar altas correntes que podem surgir no momento de comutação. Estes por sua vez encontram-se alimentados pelo mesmo valor de tensão da restante malha de controlo. De salientar que para uma ligação física é utilizada uma ligação independente para estes interruptores, para que o seu acionamento não interfira no restante circuito. Os sinais de controlo destes interruptores são o *pull_up* e o *pull_down*.

Na saída do circuito DC-DC redutor colocou-se um filtro passa baixo, circuito representado na Figura 4.22. De salientar que as resistências R_1 , R_2 e R_3 e as bobinas L_2 e L_3 ilustradas no circuito da Figura 4.22 são apenas para simulação, pois estas simulam o efeito das *pads* do circuito integrado assim como dos *bondwires* e a resistência série de cada um dos elementos do filtro passa baixo.

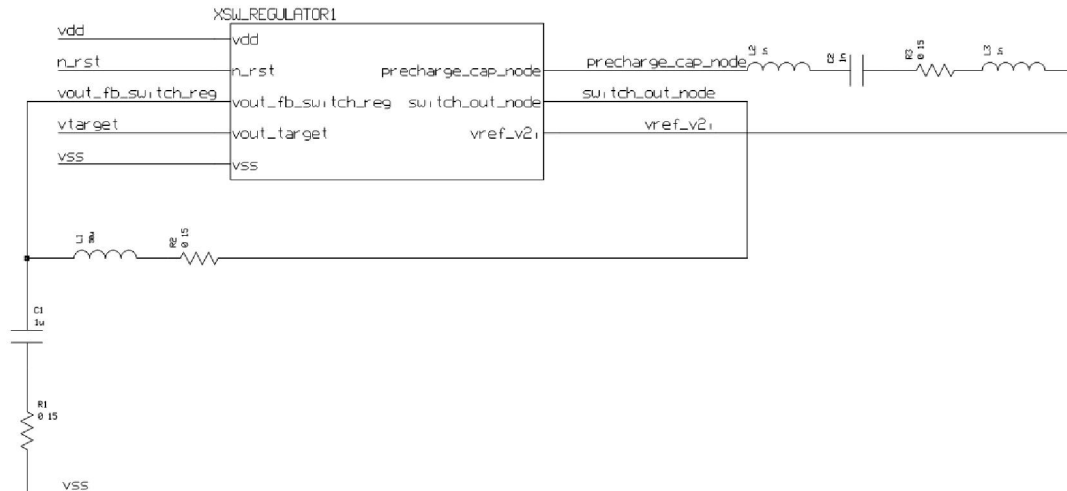


Figura 4.22– Conversor DC-DC redutor com filtro passa baixo.

Procedeu-se à simulação do conversor DC-DC redutor, onde se considerou os seguintes pontos:

- Tensão de alimentação em degrau até 3,3 V;
- Acionamento do n_rst ao 10 μ s;
- Corrente de carga com degrau até 100 mA;
- Escolha da tensão de referência.

Na Figura 4.23 encontra-se representado, no gráfico superior, a verde a tensão de referência a 1,8 V e a vermelho a tensão de saída regulada. No gráfico inferior, a verde, encontra-se a corrente de carga, que tem o comportamento em degrau tal como mencionado nos pontos de simulação.

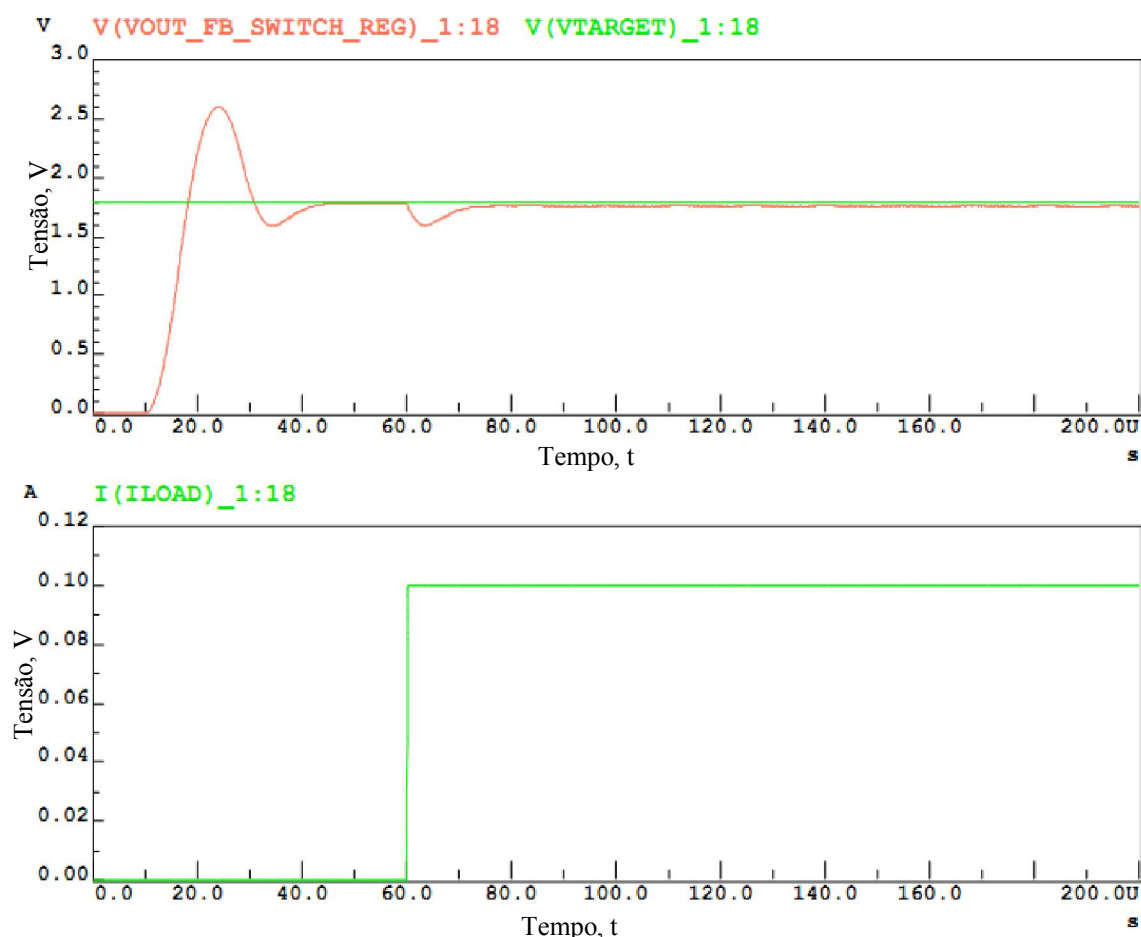


Figura 4.23 – Corrente na alimentação e corrente de carga.

Por análise dos gráficos representados na Figura 4.23, verifica-se que a tensão de saída estabiliza após 20 μ s aquando uma perturbação na corrente de carga e que estabiliza na tensão de referência com um *offset* inferior a 0,5 V. Também verifica-se que a perturbação na tensão não é inferior a 1,6 V. Ao comparar os resultados obtidos na realização deste trabalho, com outros disponíveis na literatura [8] [30], em que a tensão de alimentação é idêntica, ou seja 3,3 V, tem-se, uma comparação na Tabela 4.I.

Tabela 4.I – Comparação de resultados

Conversor	Tensão de saída (V)	η_{\max}	Tempo de recuperação (μ s)
Hiraki [30]	1,3 ~ 2,2	87%	400
Ma e Ki [8]	0,9 ~ 2,5	93,7%	22
Este trabalho	1,4 ~ 2,2	92%	20

Com o sinal de tensão apresentado na Figura 4.23 considera-se que o conversor funciona como pretendido, onde se verificou o seu rendimento para diferentes tensões de referência, Figura 4.24, em que a laranja tem-se a eficiência do sistema para a tensão

de 1,4 V, a verde para a tensão de 1,6 V, a amarelo para a tensão de 1,8 V, a azul para a tensão de 2,0V e a violeta para a tensão de 2,2 V, onde se verifica que quanto mais se aproxima da tensão de referência da tensão de alimentação, mais eficiente é o conversor, como é de esperar. Esta simulação foi realizada com a corrente a variar entre 0 A e 0,25 A, sendo este o eixo das abcissas enquanto o eixo das ordenadas é o eixo do rendimento. Também verifica-se que se obtém o melhor resultado de rendimento para uma corrente de carga de 100 mA.

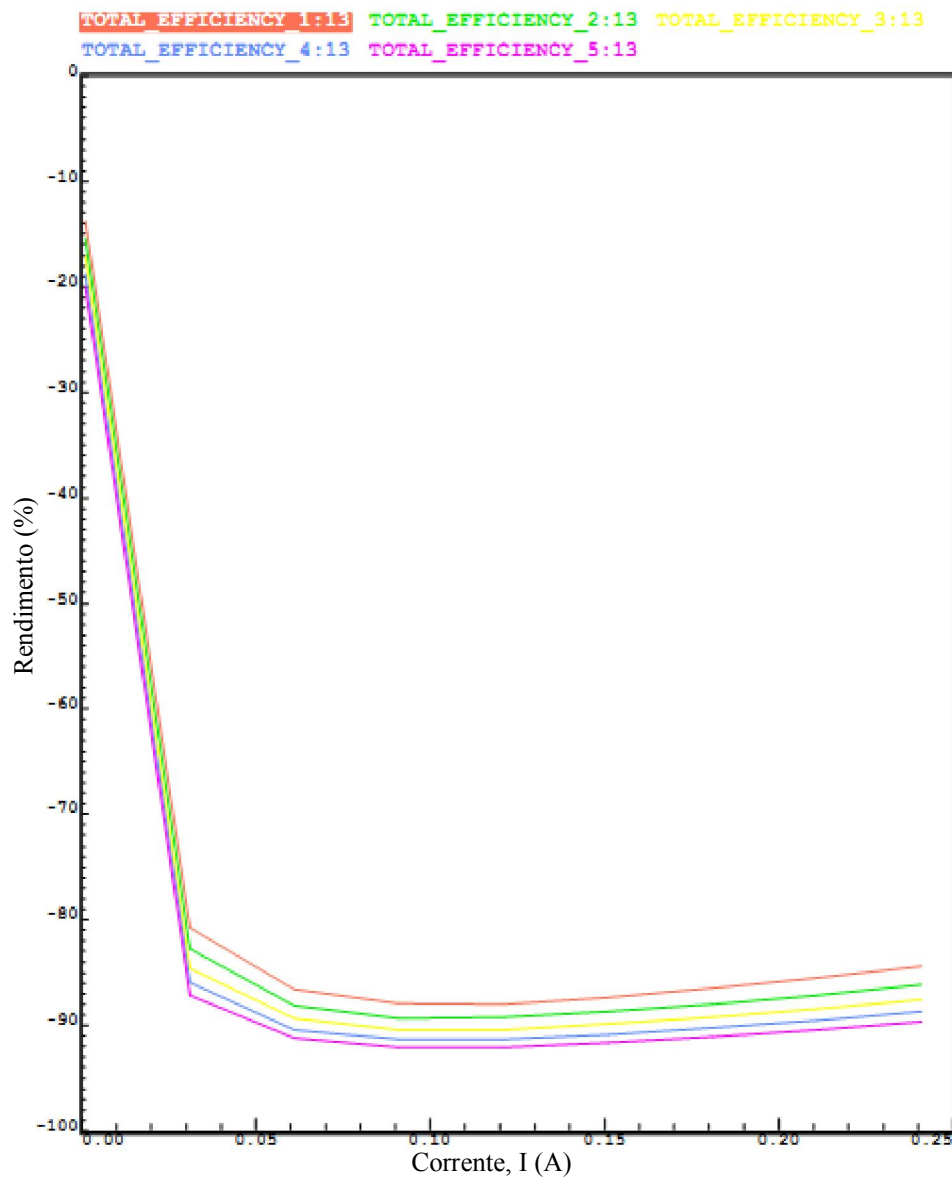


Figura 4.24- Rendimento do sistema.

Realizou-se outras simulações, sendo que os resultados obtidos encontram-se descritos no anexo G.

4.3. Implementação

Após a realização das simulações, desenhou-se o *layout* do conversor através do programa *IC – Design Architect*, onde seguiu-se o circuito do anexo E, e conseguiu-se que todos os componentes apresentados fossem implementados de forma integrada obtendo o *layout* apresentado na Figura 4.25, sendo esta configuração a final e a utilizar para implementação física. De salientar que para a implementação deste circuito foi necessário a utilização de três metais distintos (metal 1, metal 2 e metal 3) e de outros materiais característicos da tecnologia CMOS. A dimensão final deste circuito é de 1,6 mm por 1,6 mm, esta dimensão deve-se às *pads* necessárias para as entradas e saídas do circuito, caso contrário a implementação final apresentaria uma dimensão inferior na ordem dos 0,8 mm por 0,8 mm. Verifica-se também na figura que o conversor com a malha de controlo é de pequenas dimensões, sendo estas de 400 μm por 600 μm .

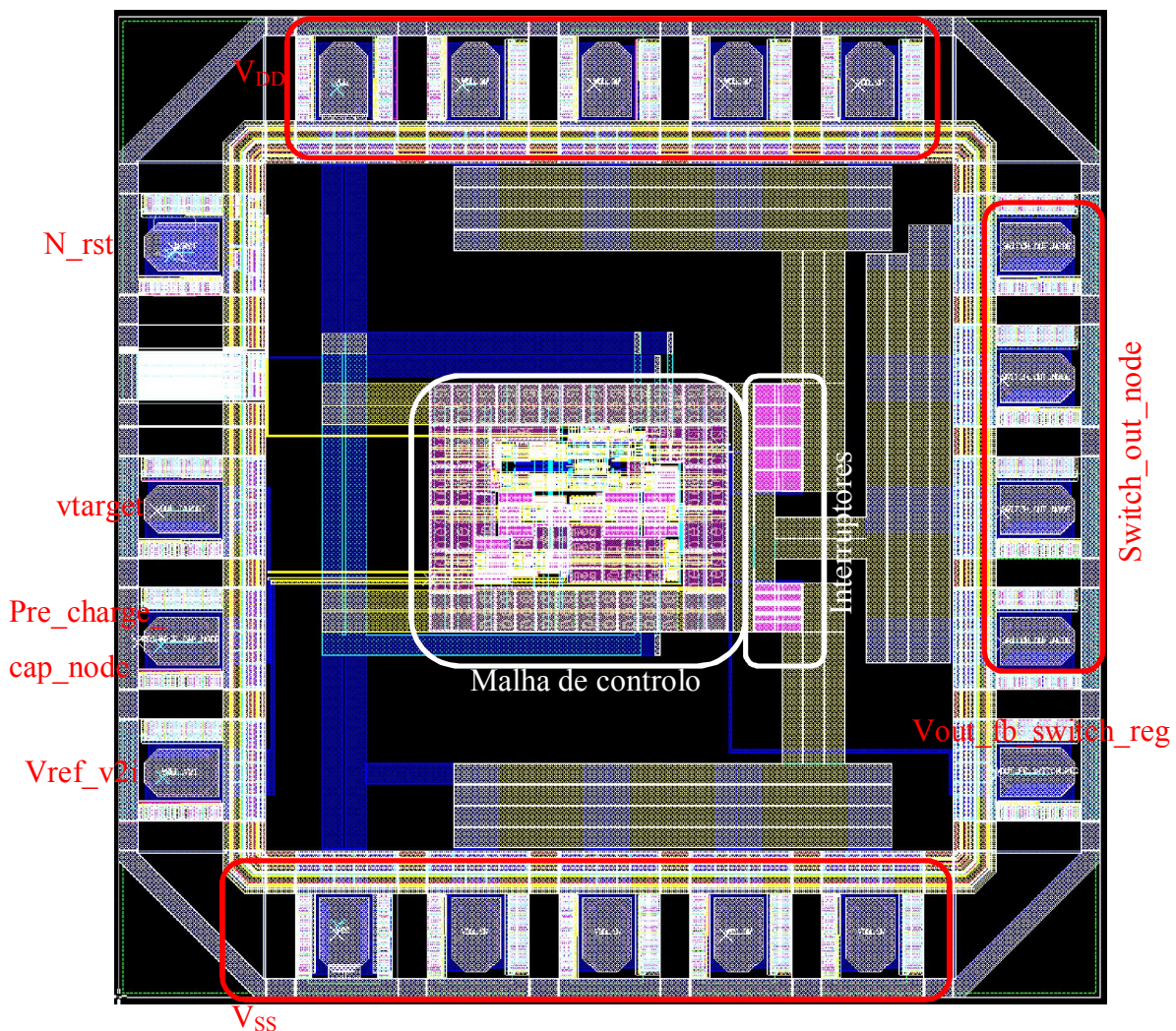


Figura 4.25– *Layout* do conversor meia ponte.

Como mencionado aquando a simulação, a alimentação dos interruptores apresenta o mesmo valor nominal; no entanto, tem ligações distintas e tal é visível no *layout*, em que o V_{DD} do PMOS que constitui a meia ponte do conversor ocupa quatro *pads*, tal como o V_{SS} do NMOS, enquanto a alimentação da malha de controlo ocupa apenas uma *pad* para V_{DD} e outra para V_{SS} . Salienta-se que o nó de saída deste conversor (ponto entre os interruptores) ocupa quatro *pads*. O facto de estes sinais ocuparem quatro *pads* é devido à corrente máxima que cada uma das *pads* suporta, assim com a associação de várias *pads* é possível que esta se divida. Na Figura 4.25 encontra-se assinalado cada um dos sinais que entram e saem do conversor, assim como os seus principais componentes.

5.

Conclusões e trabalhos futuros

Neste capítulo são apresentadas as conclusões relativas ao trabalho realizado e são recomendados trabalhos futuros para dar continuidade ao trabalho realizado.

5.1. Conclusões

No estudo realizado sobre as necessidades de alimentação dos sensores de imagem em tecnologia CMOS, viu-se que é adequado a utilização de reguladores ou conversores DC-DC comutados, pois permitem a implementação em conjunto com o sistema de imagem onde é executado, fornecendo a tensão de alimentação adequada ao sensor. Assim, realizou-se uma investigação sobre conversores e reguladores comutados, tal como em malhas de controlo, por forma a entender o meio adequado a alimentar os sensores de imagem, e também para averiguar, por comparação, qual o método mais adequado. Com o término do estado de arte, iniciou-se o desenvolvimento de circuitos eletrónicos com recurso a ferramentas de *software* de desenho, simulação e *layout* para o projetar um circuito de alimentação de um sensor de imagem, sendo que, no capítulo 3 desta dissertação, é exposto o desenvolvimento de um regulador de condensadores comutados, que apresenta uma arquitetura cujo funcionamento baseia-se na transferência de carga entre condensadores.

O regulador de condensadores comutados descrito no capítulo 3 contém oito interruptores intermediários e dois interruptores na entrada e saída, respetivamente. A tensão à saída do conversor é regulada e estabilizada pela abertura e fecho dos interruptores que permitem a transferência de carga entre condensadores. É utilizada uma malha de controlo para corrigir a tensão de saída. De acordo com um dos objetivos desta dissertação, que é a descrição das características do conversor, verificou-se que o regulador de condensadores comutados descrito, estudado e simulado permite a regulação de uma tensão de 3,3 V quando uma tensão de alimentação de 5 V. A sua arquitetura permite a total implementação *on-chip*, ou seja, o circuito é monolítico, o que significa a inexistência de componentes externos. Quanto ao rendimento do regulador de condensadores comutados este é de 62%, o que ficou aquém das expectativas, isto deveu-se ao facto de em cada comutação dar-se uma perturbação de corrente, verificando-se a existência de comutação forçada. A forma encontrada para eliminar os picos de corrente foi com a colocação de bobines no sistema, obtendo menos perturbações e aumentando o rendimento, comparativamente à arquitetura inicial. O desenvolvimento do projeto foi realizado numa empresa, onde uma das suas políticas é a melhor implementação pelo menor preço. O circuito a desenvolver sairia caro devido à utilização de bobines, pois a sua implementação de forma integrada não era possível e a sua implementação externamente implicaria a utilização de *pads* extras,

tendo em conta algumas das restrições iniciais (menor número de componentes externos, caso não fosse possível integrá-lo na totalidade, e menor número de *pads* utilizadas no caso dos componentes necessitarem de ser externos), o que tornaria a implementação do conversor economicamente e teoricamente desadequada.

Nos estudos realizados sobre a evolução do regulador de condensadores comutados, verificou-se que a resistência imposta pelos interruptores tinha que obedecer à relação que permitisse que o sistema tivesse uma função oscilatória com amortecimento, aquando da colocação das bobines na versão eficiente do regulador inicialmente apresentado.

Por forma a melhorar as características de regulador de condensadores comutados, desenvolveu-se um conversor DC-DC redutor descrito no capítulo 4 desta dissertação, em que a sua tensão de alimentação é de 3,3 V e a tensão de saída é variável entre 1,4 V e 2,2 V. Este conversor é caracterizado por possuir dois interruptores, que comutam entre si para regular a tensão de saída, e um filtro *LC* à saída. Os interruptores são controlados pela malha de controlo que mede a tensão à saída, realiza uma comparação entre a tensão pretendida e a medida, acertando o fator de ciclo para a ativação dos interruptores. O fator de ciclo é obtido através de uma onda triangular e todos os elementos da malha de controlo são dependentes deste. Este conversor é capaz de funcionar a 2,5 MHz e permite compensar variações bruscas na corrente de carga, mantendo a tensão de saída quase constante. Foi desenvolvida uma malha de controlo fechada capaz de compensar as variações de tensão de saída.

Os resultados de simulação do conversor redutor DC-DC mostram que a tensão de saída consegue ser regulada entre 1,4 V e 2,2 V. Para variações de carga no nó de saída, apenas há variação no rendimento, que no pior caso é sempre superior a 80%. O maior rendimento obtém-se para a tensão de saída mais elevada (2,2 V) quando a corrente de carga no nó de saída é de aproximadamente 100 mA, sendo este de 92%. As perdas existentes neste conversor devem-se à existência de interruptores na malha de controlo e do próprio consumo dos elementos constituintes do circuito.

Através dos resultados de simulação do conversor DC-DC redutor descrito no capítulo 4, conseguiu-se atingir o principal objetivo desta dissertação, que foi o projeto

de um conversor para alimentar sensores de imagem que respeite as características apresentadas na Tabela 5.I.

Tabela 5.I – Características do conversor DC-DC comutado de elevado rendimento.

V_{in}	3,3 V*
V_{out}	1,2 – 3,3 V
I_{load}	0 – 200 mA
$\Delta I/dt$	20 mA/ μ s
V_{out} noise rms @ 100 mA	509,3998 μ V
Max. V_{noise} @ harmonics	50,12 mV
Componentes externos	3*
Ligações externas	4*
Eficiência	92%

*Mudança de circuito e de componentes.

5.2. Trabalhos futuros

No desenvolvimento do trabalho surgiu novas ideias que o podem aperfeiçoar, entre as quais salientam-se:

- ✓ Numa implementação analógica seria útil realizar um estudo exaustivo sobre bobines integradas, por forma a minimizar o número de *pads* do sistema, tornando-o assim mais pequeno e de mais fácil utilização.
- ✓ Implementação de todo o sistema sob a forma digital, não recorrendo a componentes analógicos. A implementação digital permite uma regulação mais rápida e mais eficiente, sendo também que a sua implementação sob a forma monolítica seria de menores dimensões.

Bibliografia

- [1] Pantaleo, Martín., "Conceptos sobre Fuentes Conmutadas." *Cuadernillo - Electrónica de Potencia*. Marzo de 2007, pp. 218-02.
- [2] Oliveira, L. C. O., *Cálculo de harmônicos trifásicos gerados por conversores e compensadores estáticos*. Itajubá - MG : Escola Federal de Engenharia de Itajubá, 1983. Dissertação (Mestrado em Engenharia Elétrica - Sistemas de Energia Elétrica).
- [3] Turnali, H. M., Menzies, R. W. e Woodford, D. A., "Feasibility of DC Transmission with Forced Commutation to Remote Loads." *IEEE Transactions on Power Apparatus and Systems*. Vol. PAS-103, 1984, Vol. No. 6.
- [4] Persson, Alf, Carlsson, Lennart e Åberg, Mikael., "New Technologies in HVDC Converter Design." *IEEE - Transactions on Power Electronics*. 1996.
- [5] Kurson, V. e Friedman, E., *Multi-Voltage CMOS Circuit Design*. s.l. : John Wiley & Sons, Ltd, 2006. pp. 85 - 95. ISBN:0-470-01025-1.
- [6] S. Daubert, D. Vallancourt e Y. Tsividis., "Current Copier Cells." *Electronics Letters*. 1988, Vol. 24.
- [7] Caves, J., Coupland, M. e S.Rosebaum, C. Rahim., "Sampled Analog: Filtering using Switched Capacitors as Resistors Equivalents." *IEEE - J. Solid - State Circuit*. 1977, Vol. 12.
- [8] Dongsheng, Ma, Wing-Hung, Ki e Chi-Ying, Tsui., "An integrated one-cycle control buck converter with adaptive output and dual loops for output error." Baton Rouge, LA, USA : IEEE , 2004, Issue Journal of solid-state circuits, Vol. 39. DOI: 10.1109/JSSC.2003.820844.
- [9] Vorpérian, Vatché, Tymerski, Richard e Lee, Fred C. Y., "Equivalent Circuit Models for Resonant PWM Switches." s.l. : IEEE, 1989, Issue Transactions on Power Electronics, Vol. 4.
- [10] Wuidart, L., "Topologies for Switched mode power supplies." Italia : STMicroelectronics, 1999. AN513/0393.

- [11] Chung, Shu-Hung Henry., *Hard Switching and Soft Switching Techniques*. s.l. : Department of electronic Engineering CityU HK.
- [12] Karlsson, Per, Martin Bojrup, Mats Alaküla e Gertmar, Lars., *Zero Voltage Switching Converters*. Suécia : Lund University.
- [13] Bradshaw, A. B., "Filtros: Teoria e Prática." *Revista Elektor Eletrônica*. Novembro de 1987, Vol. 16, pp. 14-20.
- [14] Edminister, J. A., *Circuitos Elétricos*. [trad.] Sebastião Carlos Feital. São Paulo : Pearson Education, 1985. 9788536305516.
- [15] Grilo, F. V., et al., *Teoria do sinal e suas aplicações*. s.l. : Escolar Editora, 2010. ISBN: 978-972-592-262-0.
- [16] Studip, K. Mazundes., "Robust Controll of Parallel DC-DC Buck Convert by Combining Integral Variable Structure and Multiple." *IEEE, Transactions on Power Electronics*. Maio 2002, Vol. 3.
- [17] Boylestad, R. e Nashelsky, L., *Dispositivos Eletrônicos e Teoria de Circuitos*. Rio de Janeiro : Editora Prentice Hall do Brasil Ltda, 1984. ISBN: 8587918222.
- [18] José Carlos Miranda., Nova Eletrônica. [Online] [Citação: 3 de Março de 2012.] http://www.novaeletronica.net/curso_el_basica/44_servos.htm.
- [19] Hua, Guichao., *Soft-Switching Techniques for pulse-width-modulated converters*. Faculty of the Virginia Polytechnic Institute and State University. Blackburg, Virginia : s.n., 1994. Dissertação.
- [20] Viraj, A.K.P e Amarantuga, G.A.J., *A Monolithic CMOS 5V/1V Switched Capacitor DC-DC Step-dpwn Converter*. Cambridge, UK : Dept. of Engineering, University of Cambridge, 2007. 1-4244-0655-2.
- [21] Ma, Mengzhe., *Design of High Efficiency Step-Down Switched Capacitor DC-DC Converter*. s.l. : Oregon State University, 2003.

- [22] Zhu, Guangyong, et al., *A New Switched-Capacitor DC-DC Converter With Improved Line And Load Regulations*. Orlando : University of Central Florida, 1999. 0-7803-5471-01.
- [23] Baker, R. Jacob., *CMOS - Circuit Design, Layout, and Simulation*. New Jersey : Wiley-Intercience, 2008. ISBN 978-0-470-22941-5.
- [24] Costa, José Manuel Does., *Apontamentos de Electrónica de potência II - Capitulo 2*. s.l. : E.N.I.D.H. Departamento de Radiotecnica, 2000.
- [25] Anadigm., *Switched capacitor sampled data systems*.
- [26] Dias, Octávio Páscoa., *Amplificadores Operacionais*. s.l. : Escola Superior Tecnologia Setúbal.
- [27] Chen, Roger Yubtzuan, Lin, Seng-Fong e Wu, Ming-Shian., "A linear CMOS voltage-to-current converter." *Circuits systems signal processing*. 2006, Vol. 25, pp. 497-509.
- [28] Yubtzuan, Roger e Hung, Tsung-Shuen., *A linear CMOS voltage-to-current converter*. Taiwan : National Yunlin university of science and technology electronics engineering department, 2005. ISBN: 0-7803-9029-6/05/\$20.00.
- [29] Welhsing e Shen-Iuan., "Low-voltage and low power CMOS voltage-to-current converter." *Special section on analog circuit and device technologies*. June de 2004, Vols. E87-C, IEICE trans. electron, pp. 1029-1032.
- [30] Hiraki, M., "A 63 uW standby-power micro-controller with on-chip hybrid regulator scheme." *Symp*. Junho de 2001, pp. 225 - 228.
- [31] Custum IC Design., *Design Architect-IC*. s.l. : Mentor Graphics.
- [32] Gratz, Achim., "Operational transconductance amplifiers." *Synth stromeko*. [Online]
- [33] Gnaguli, Souvik., *Study of soft switching converter for brushless DC Motor Drive*. Patiala : Electrical and Instrumentation Engineering Department Thapar University, 2010.

[34] Pires, Igor Amariz., "Medidas de mitigação de harmônicos." *O setor elétrico*. 60, Janeiro de 2011.

[35] Liu, K. e Lee, F. C., "Resonant Switched a unified approach to improve performances of switching converters." s.l. : IEEE, 1984. International Telecommunications Energy, Conf. Proc. pp. 334-341.

[36] Kassakian, J., Schlecht, M. e Verghese, G., *Principles of Power Electronics*. s.l. : Addison- Wesley, 1991. ISBN-10: 0201096897.

[37] Mazumder, Sudip K., Nayfeh, Ali H. e Borojević, Dushan., "Robust Control of Parallel DC-DC Buck Converters by Combining Integral-Variable-Structure and Multiple-Sliding-Surface Control Schemes." *IEEE*. 3, 2002, Vol. 17, Transactions on power electronics.

[38] Morched, A. S. e Ottevangers, J. H., "Multiport Frequency Dependent network equivalents for the EMTP." *IEEE Trans. on Power Delivery*. Setembro 1993, Vol. 8.

[39] Singh, H. e Abur, A., "Multiport equivalencing of external systems for simulation of switching transients." *IEEE Trans. on Power Delivery*. Janeiro 1995, Vol. 10.

[40] Pamilio, J. A., *Conversores com outras técnicas de comutação Suaves - Fontes Chaveadas*. Campinas - Brasil : Universidade Estadual de Campinas.

[41] Todd, S., "Rational Functions as frequency dependent equivalent for transient studies." Seattle : Proceedings of the 3rd International Conference on Power Systems Transients, 1997.

[42] Watson, N. R., et al., "Z-Domain Frequency-dependent network equivalent for electromagnetic transient studies." Budapeste, Hungria : Proceedings of the 5th International Conference on Power Systems Transients, 1999.

[43] Brandwajn, V. e Morched, A. S., "Transmission network equivalents for electromagnetic transients studies." *IEEE Trans. on Power Apparatus and Systems*. Setembro 1983, Vols. PAS - 102.

[44] Grilo, Francisco Velez, et al., *Teoria do sinal e suas aplicações*. s.l. : Escolar Editora. 978-972-592-262-0.

Anexo A – Características do Design Architect IC

A.1. Uma solução de design

Os circuitos integrados têm-se tornado mais complexos, em especial para o *design* de circuitos analógicos e de *mixed-signal*. Pelo facto dos projetos se tornarem cada vez mais complexos e para responder às necessidades do mercado a *Mentor Graphics* desenvolveu o *IC Station® Tool Suite*, que possibilita o *design* completo de um *IC*, desde a criação do esquemático até ao *layout* e verificação do funcionamento. O pacote de *software IC Station Suite* suporta diversas plataformas de hardware para que seja possível fazer a escolha do ambiente de trabalho de acordo com as necessidades do utilizador [31]. Na Figura A.1 encontra-se representado o ambiente de trabalho característico do *Design Architect IC*.

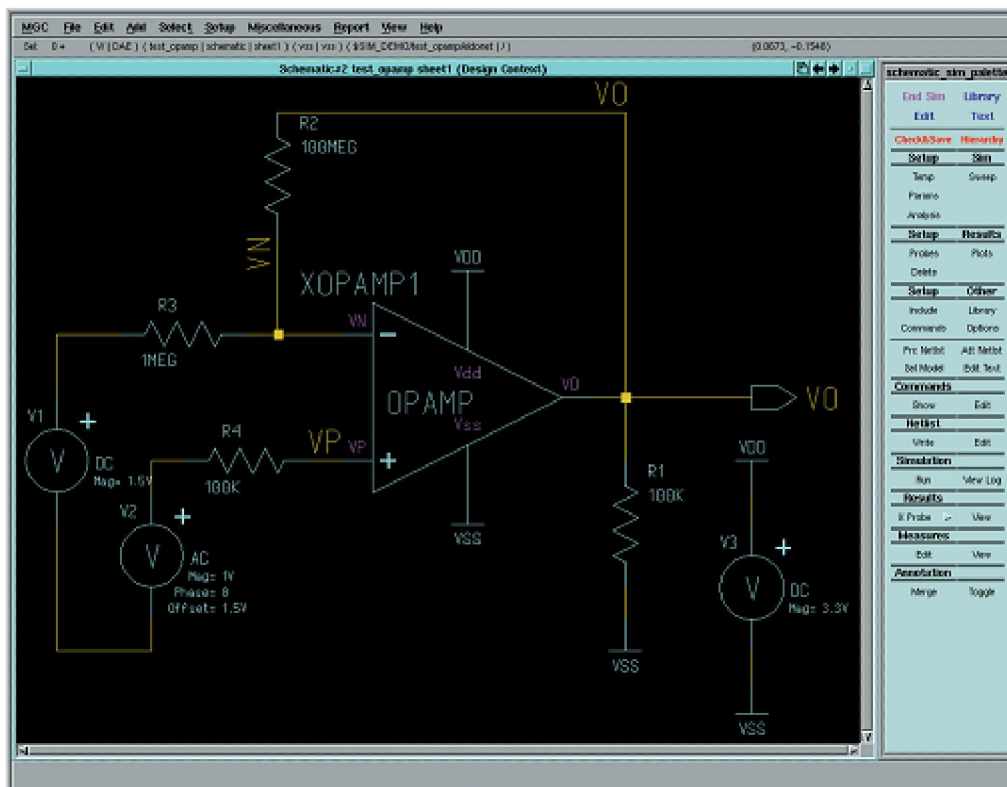


Figura A.1 – Ambiente de trabalho do *Design Architect IC*.

A.2. Personalização completa do design IC

O *Design Architect-IC* é uma ferramenta de desenvolvimento de sistemas integrados. O *Design Architect-IC* trabalha com o *software* do *Mentor Graphics IC* para a conceptualização, desenvolvimento, simulação, verificação e produção, mesmo em projetos complexos. O ambiente de trabalho permite a criação de esquemas, diagramas de blocos, símbolos ou representações de HDL [31].

A.3. Captura esquemática, simulação e análise

No ciclo de desenvolvimento, Figura A.2, o *Design Architect-IC* permite a realização de circuitos e a configuração de simulação para uma simulação e análise MS/RF. A simulação de componentes analógicos é alcançada através de uma interface com o *Mentor Graphics Eldo™* e *Eldo RF*, os produtos *ADVance™ MS* e *Mach TA™*, criando um pequeno ciclo para a captura, simulação e análise dos circuitos [31].

Mentor Graphics Analog/Mixed-Signal IC Design Flow

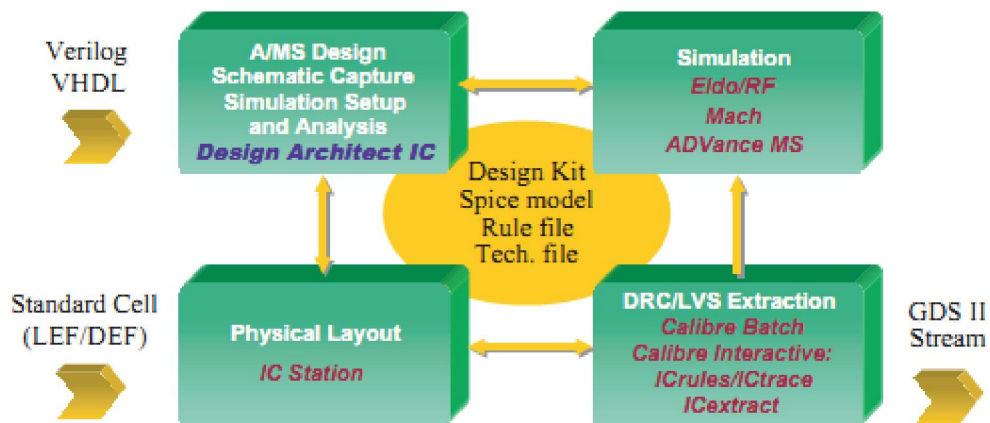


Figura A.2 – Ciclo de desenvolvimento do *Design Architect IC*.

A.4. Verificação e simulação

A interface do *Design Architect-IC* interage com as ferramentas de simulação do *Mentor Graphics*, possibilitando simulações de processadores, módulos de memória e projeto de *mixed-signal*. [31].

A.5. Capacidade de modulação

Os modelos desenvolvidos no *Design Architect-IC* utilizam blocos e têm representações esquemáticas em C, VHDL, Verilog, SPICE, VHDL-MAS ou Verilog-

AMS. Logo, permite a simulação de todo o *design* hierárquico, possibilitando uma rápida verificação dos chips implementados [31].

A.6. Compatibilidade com o Linux

O *Design Architect-IC* é compatível com o sistema operativo *Linux*. A compatibilidade com o *Linux* oferece aos projetistas a possibilidade de criar todos os projetos numa plataforma portátil. Utilizando o *Design Architect-IC*, os projetistas podem introduzir os seus projetos ou as suas simulações num PC ou correr as simulações num servidor UNIX [31].

Anexo B – Regulador de condensadores comutados

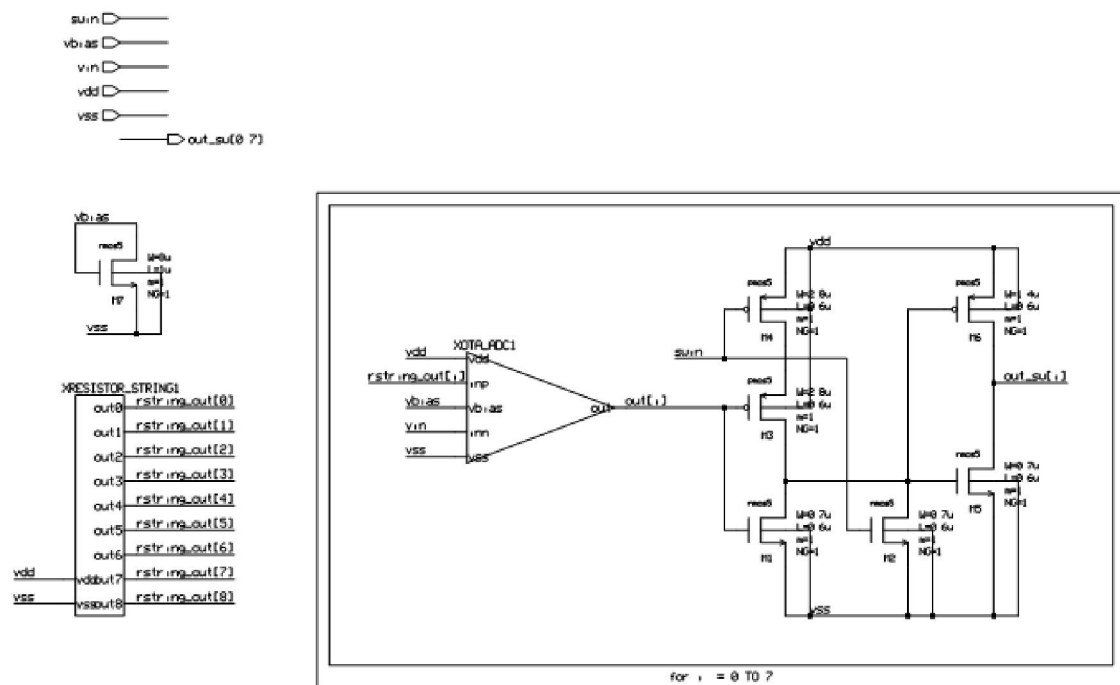


Figura B.1 – Conversor ADC.

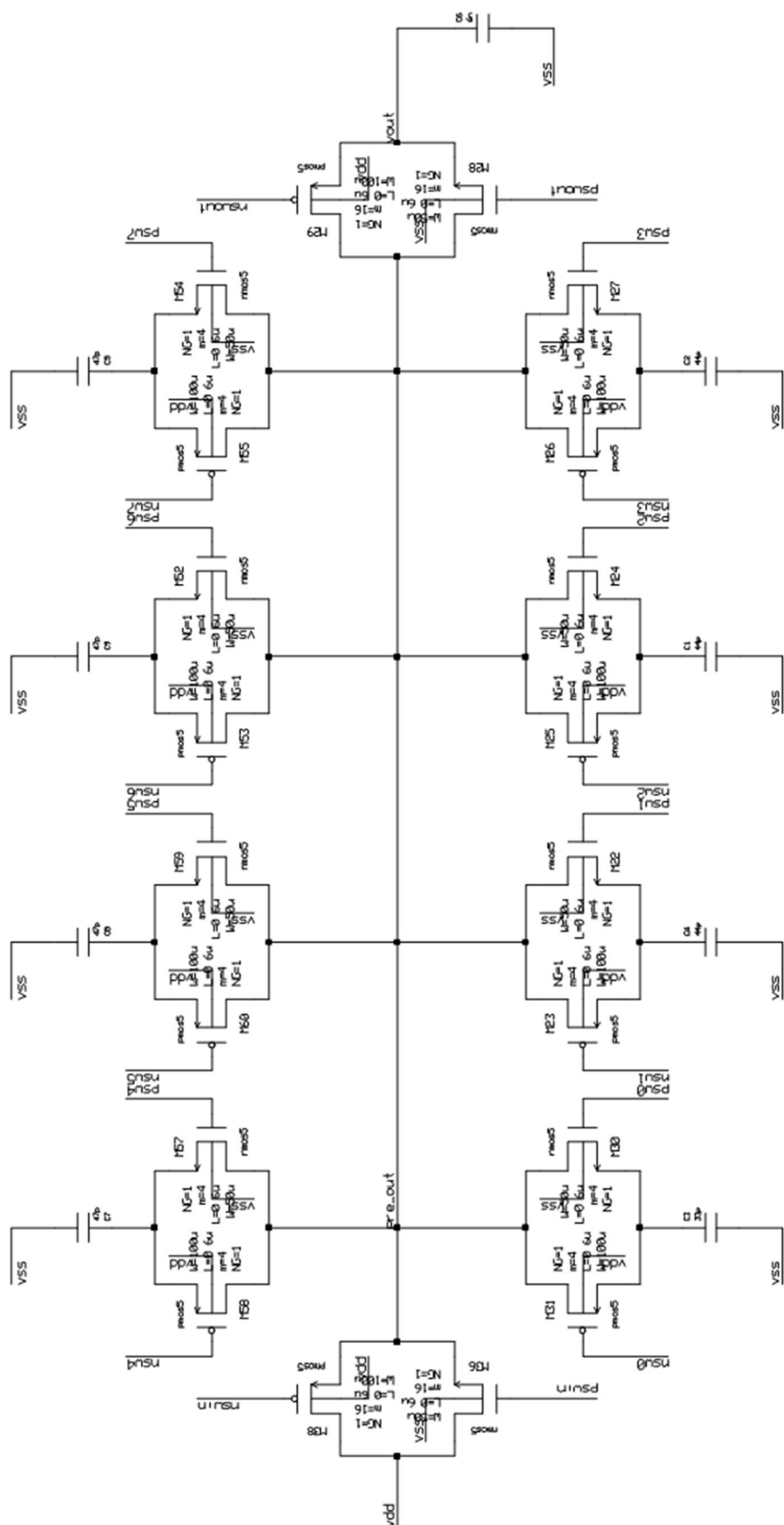


Figura B.2- Regulador condensadores comutados.

Anexo C – Desenvolvimento do OTA, amplificador classe AB e comparador

C.1. Wide swing OTA

O *operational transconductance amplifier* (OTA), Figura C.1, é um amplificador de corrente na saída comandado com entradas de tensão. Normalmente um OTA é utilizado para implementar osciladores controlados por tensão (VCO) e filtros para sintonizadores analógicos.

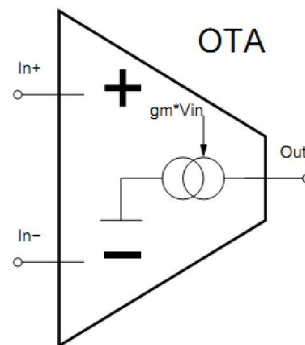


Figura C.1 - OTA ideal.

A transcondutância, g_m , faz com que o OTA tenha uma saída em corrente enquanto os amplificadores operacionais são controlados por tensão. A característica de um OTA ideal é

$$I_{out} = g_m V_{in} \quad (c.1)$$

Um OTA ideal tem duas tensões de entrada com impedância infinita (diferencial). Num OTA ideal o coeficiente de rejeição em modo comum é infinito, enquanto o sinal diferencial entre as duas entradas é utilizada para controlar a fonte de

corrente ideal de saída. O fator de proporcionalidade entre a corrente de saída e a tensão diferencial de entrada é denominado por transcondutância, g_m [32].

Neste trabalho utilizou-se OTAs para criar comparadores, diferenciadores e *buffers* na malha de controlo do conversor DC-DC para alimentar sensores de imagem.

O OTA, Figura C.2, foi implementado em tecnologia CMOS de modo satisfazer os requisitos necessários para que a malha de controlo do conversor DC-DC funcionasse com a produção do mínimo de ruído possível. De salientar que a arquitetura deste OTA foi fornecida pela empresa onde foi realizado este projeto, Awaiba. O principal requisito de construção do OTA é que tivesse um consumo máximo de corrente de 40 μA , e para que o OTA consumisse este valor de corrente é necessário ajustar as dimensões L e W dos MOSFETs, pois a corrente de consumo no MOSFET depende da equação da corrente I_D , expressão (b.2).

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (b.2)$$

No projeto do OTA é necessário utilizar dois MOSCAPs. Os MOSCAP são conseguidos pela ligação simultânea do dreno e da source ao mesmo potencial. No OTA ligou-se um MOSFET NMOS a VSS, assim como o seu body, e o MOSFET PMOS a VDD, assim como o seu body. Este MOSCAP é útil para oferecer estabilidade ao OTA, pois fornece uma capacidade extra no nó de saída.

Para testar o funcionamento do OTA fez-se dois tipos de simulação, a primeira consistia em verificar o ganho, a largura de banda e a estabilidade, e a segunda consistia em analisar a resposta do OTA a uma variação do sinal de entrada.

Na primeira simulação conectou-se, por linha de comando, o OTA a uma resistência e a um condensador, ambos de valor elevado de modo a haver saturação, Figura C.3 (para efeitos de simulação escolheu-se 10 T Ω e 1 F, respetivamente).

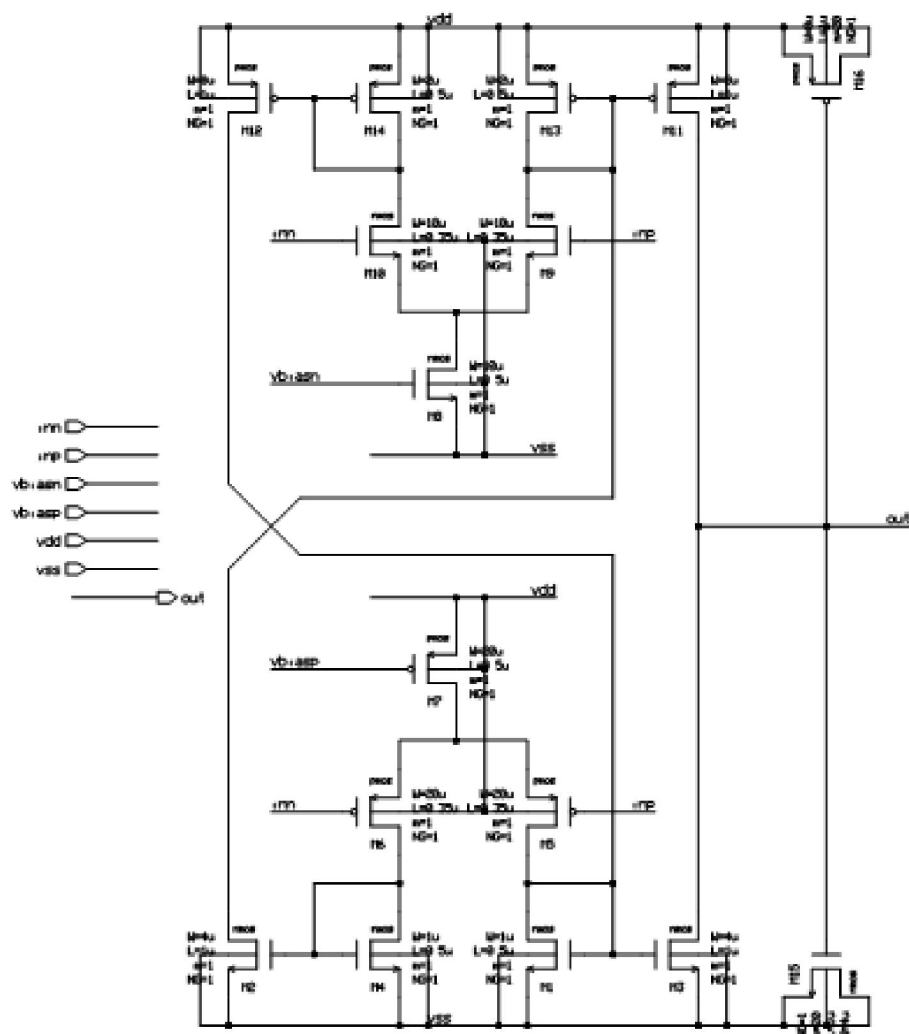


Figura C.2 – Implementação do OTA.

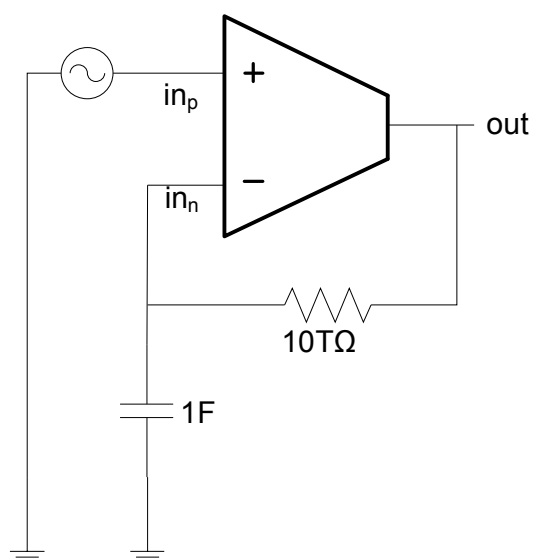


Figura C.3 – Circuito utilizado para estudar o ganho do amplificador

De modo a analisar o comportamento do OTA para diferentes valores de tensão em modo comum DC, ou seja para uma tensão entre a entrada positiva e a massa com uma componente DC que toma diferentes valores a cada simulação e uma componente AC fixa a 1 V, fez-se uma simulação com o código apresentado em seguida e com o coeficiente de rejeição em modo comum a variar entre 0,1 e 2,8 V com intervalos de 0,2 V, como indicado nos comandos de simulação que se encontra transcrito abaixo.

```
#ifndef AC_ANALISES

.ac dec 30 1 10G
cfb inn vss 1
rfb out inn 10e12
vac inp vss dc common_mode ac 1
.param common_mode = 1.65
.step param common_mode 0.4 2.8 0.2

.plot ac vdb(out) vp(out)
.extract ac label = dc_open_loop_gain yval( vdb(out), 1 )
.extract ac label = band_width_3db xthres( vdb(out),
extract(dc_open_loop_gain)-3, 1, 10G, 1 )
.extract ac label = gain_band_width_0db xdown( vdb(out), 0, 1, 10G, 1 )
.extract ac label = phase_0db xycond( vp(out), vdb(out)==0, 1, 10G)
.extract ac label = phase_margin {180 - abs( extract(phase_0db) )}
#endif
```

Ao efetuar a simulação com a configuração anterior, obteve-se os diagramas de bode da Figura C.4, em que as curvas coloridas representam cada um dos intervalos para o parâmetro coeficiente de rejeição em modo comum (*common_mode*).

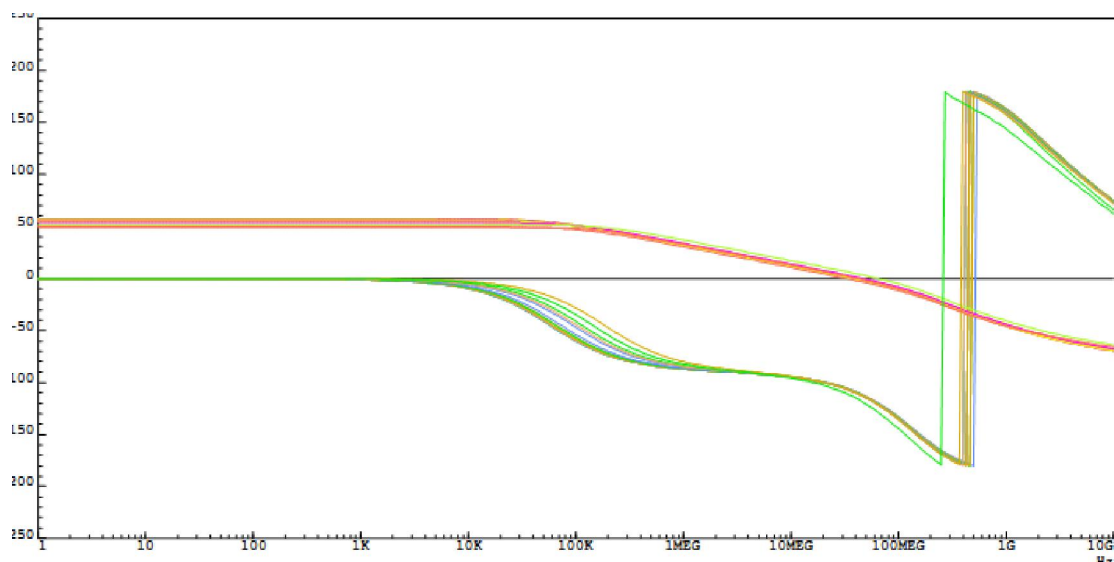


Figura C.4 – Diagrama de bode do OTA.

Para que fosse mais fácil analisar a simulação para cada um dos *steps*, registou-se na Tabela C.1, todos os valores importantes para analisar o ganho, a largura de banda e a estabilidade.

Tabela C.1 – Dados de simulação

$V_{common\ mode}$ (V)	Ganho DC em malha aberta (dB)	Largura de banda a 3 dB (kHz)	Produto Banda (MHz)	Fase aos 0 dB (°)	Margem de fase (°)
0,400	49,336	113,784	32,411	-105,848	74,152
0,600	53,952	93,463	44,352	-110,792	69,208
0,800	56,031	66,209	40,254	-109,149	70,851
1,000	56,8433	59,4327	39,699	-109,042	70,958
1,200	57,078	57,225	39,304	-108,997	71,003
1,400	57,007	57,174	38,969	-108,971	71,029
1,600	56,748	58,467	38,696	-108,965	71,035
1,800	56,337	61,008	38,514	-108,995	71,005
2,000	55,7409	65,316	38,491	-109,096	70,904
2,200	54,877	72,974	38,884	-109,392	70,608
2,400	53,614	101,658	46,039	-112,915	67,085
2,600	51,727	185,202	63,980	-121,299	58,701
2,800	49,686	143,740	40,828	-115,567	64,433

Pela análise da Tabela C.1 pode-se verificar que o OTA desenvolvido tem uma grande largura de banda para qualquer valor de *common mode* apresentado na tabela e que também é estável para todos os casos, pois apresenta uma margem de fase positiva e superior a 45°.

Quanto à segunda simulação a efetuar no OTA, ou seja analisar a resposta do OTA a uma variação na entrada, fez-se uma simulação em que se variava a tensão na entrada positiva e ligou-se a entrada negativa à saída, como ilustrado na Figura C.5, apesar de a ligação ter sido efetuada em linha de comando, como se verifica nas seguintes linhas de comando.

```
#ifndef SETTLING_TIME
.tran 0n 3u
.connect inn out
vinut inp vss pwl(0n 0.4 500n 0.4 501n 2.8 1000n 2.8 1001n 0.4 1500n 0.4
1501n 2.8 2000n 2.8 2450n 0.4 2900n 2.8)
.plot tran v(inp) v(out)
#endif
```

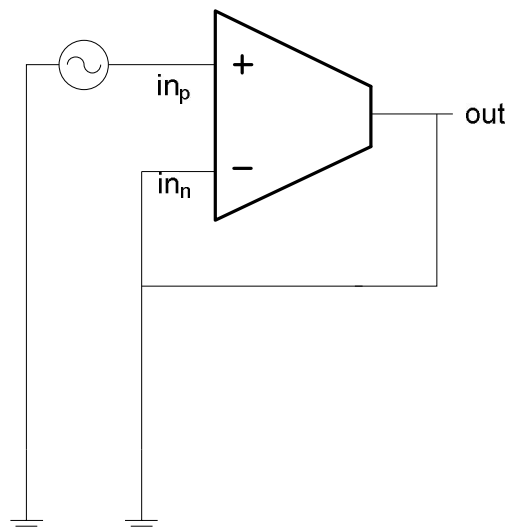


Figura C.5 – Circuito para verificação da resposta a uma variação de sinal de entrada.

Ao realizar a simulação obteve-se as curvas apresentadas na Figura C.6. Pode-se observar que o sinal de saída responde bem a variações da tensão de entrada, isto é na resposta a um degrau tem um atraso de $0,1 \mu\text{s}$ (tanto na subida como na descida) e na resposta a uma rampa não apresenta atraso significativo.

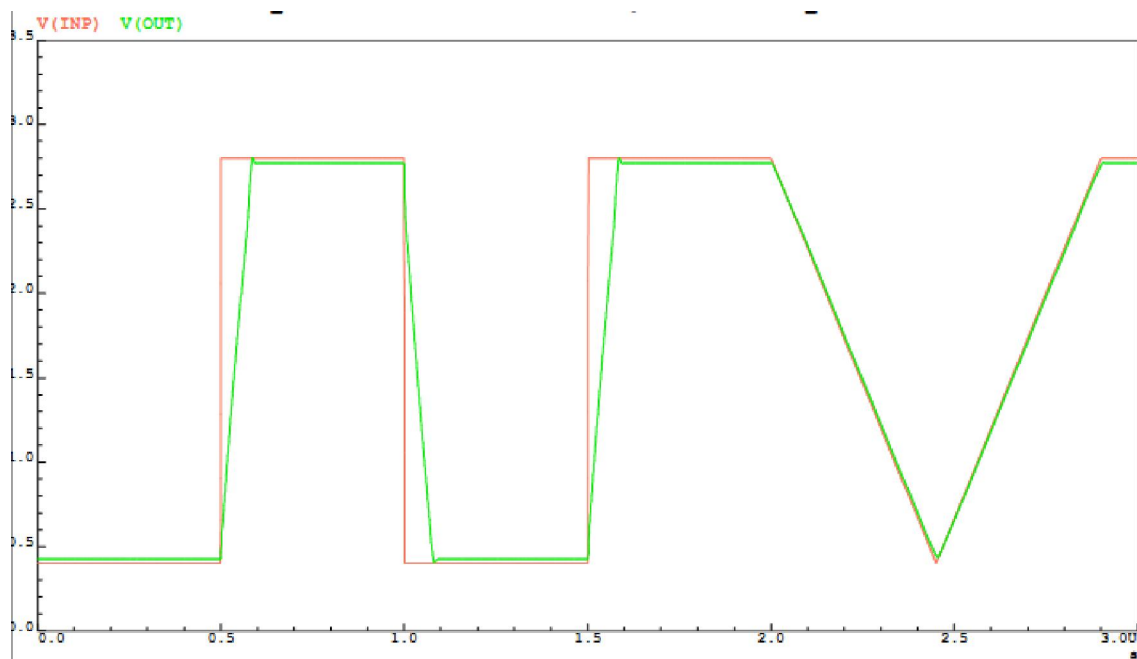


Figura C.6 – Simulação *settling time* do OTA.

De referir que no desenvolvimento do OTA teve-se em atenção para que sua configuração permitisse uma adaptação por forma a possibilitar o desenvolvimento de um amplificador do tipo *wide swing class AB*.

C.2. Amplificador em classe AB

O amplificador em classe AB, não é mais do que o OTA apresentado anteriormente, no entanto este tem uma maior capacidade na saída e um andar inversor, Figura C.7, pois para se obter um amplificador classe AB a partir de um OTA basta acrescentar o andar inversor.

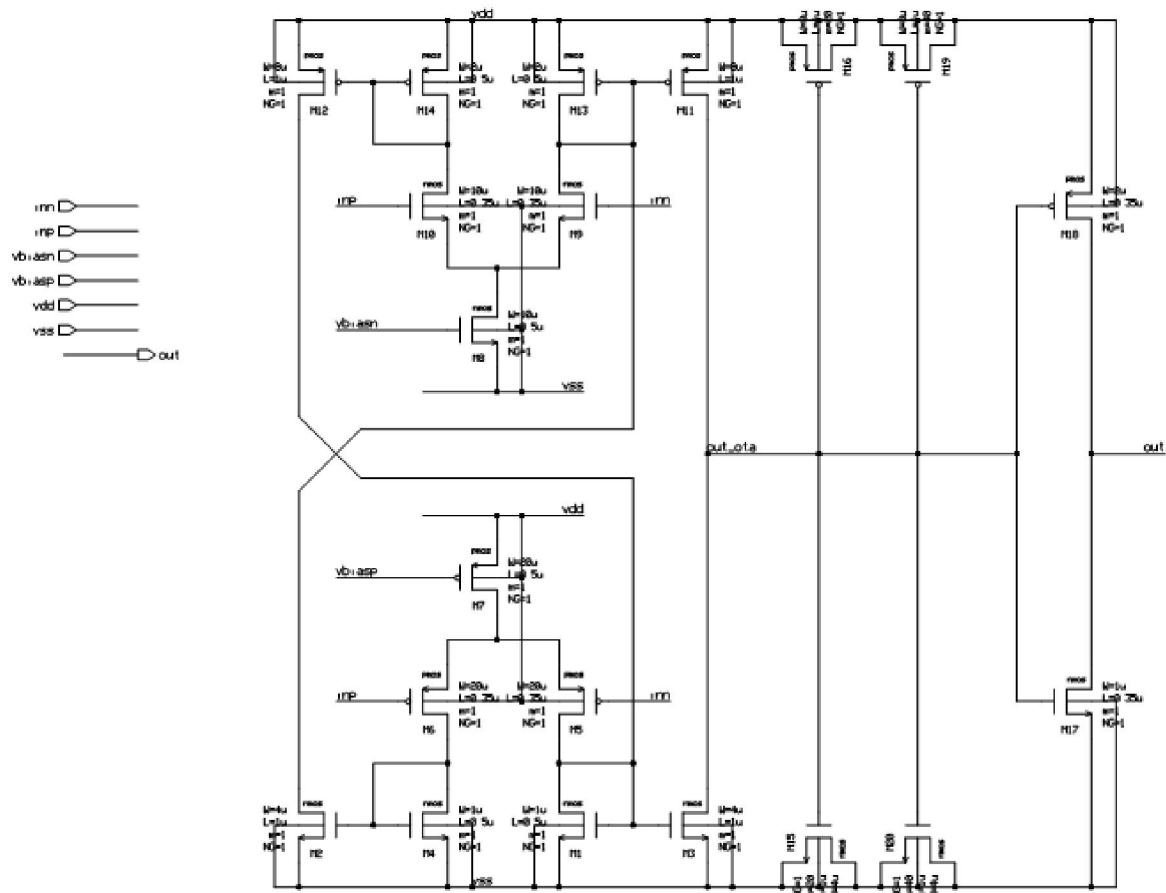


Figura C.7 – Esquema do amplificador em classe AB.

Na simulação fez-se as mesmas simulações que foram realizadas para o OTA, nas mesmas condições e configurações. Assim para analisar o ganho, a largura de banda e a estabilidade, obteve-se os diagramas de bode apresentados na Figura C.8.

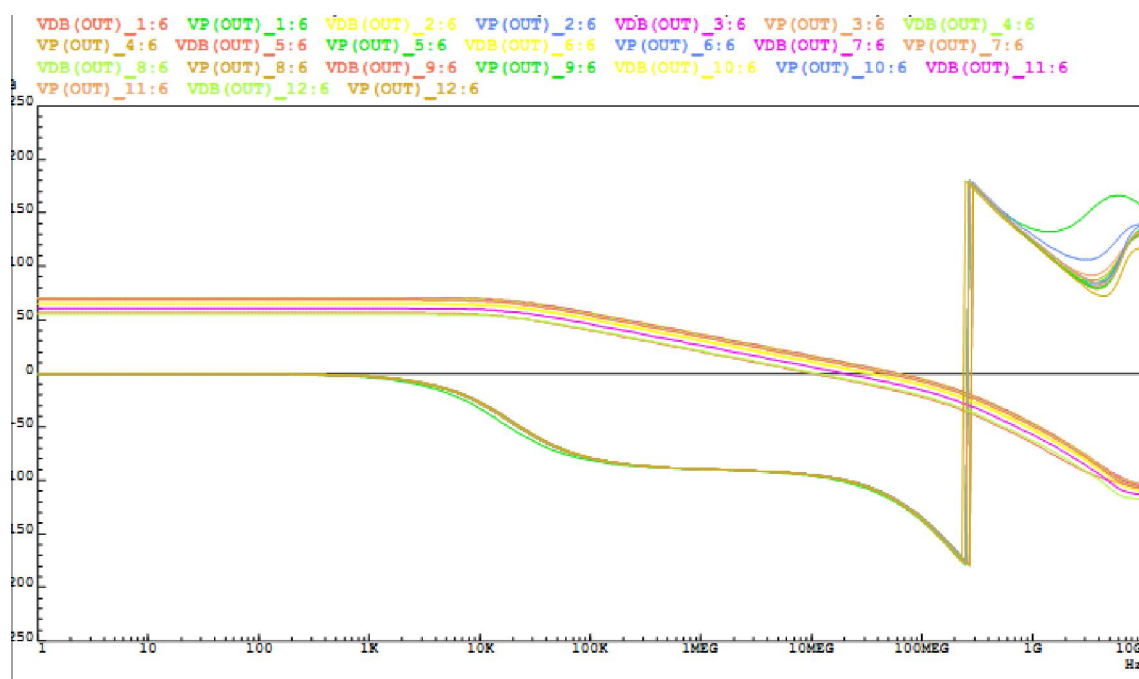


Figura C.8 – Diagramas de bode do amplificador classe AB.

Registou-se os valores de simulação na Tabela C.2, por forma a estudar a estabilidade deste amplificador, utilizando a margem de fase. A configuração utilizada para tal foi idêntica à representada na Figura C.5.

Tabela C.2 – Dados de simulação do amplificador classe AB.

$V_{common\ mode}$ (V)	Ganho DC em malha aberta (dB)	Largura de banda a 3 dB (kHz)	Produto banda (MHz)	Fase aos 0 dB (°)	Margem de fase (°)
0,400	56,499	15,296	10,190	-95,932	84,068
0,600	65,048	19,929	34,728	-106,732	73,268
0,800	69,898	19,884	57,909	-117,157	62,843
1,000	70,682	19,574	61,796	-119,071	60,929
1,200	70,756	19,289	61,443	-119,090	60,910
1,400	70,627	19,036	59,942	-118,577	61,423
1,600	70,345	18,817	57,646	-117,678	62,322
1,800	69,833	18,636	54,240	-116,234	63,766
2,000	68,651	18,499	47,691	-113,257	66,743
2,200	65,199	18,435	32,809	-106,154	73,846
2,400	60,651	18,586	19,895	-99,865	80,135
2,600	55,264	19,229	11,146	-95,720	84,280

Ao analisar os valores da tabela anterior pode-se verificar que o amplificador em classe AB é um amplificador muito estável, pois apresenta valores de margem de fase elevados em malha aberta.

De seguida realizou-se a simulação *settling time* e verificou-se que o amplificador classe AB tem uma boa resposta a variações do sinal de entrada, ou seja apresentando um atraso de 0,1 μ s na resposta a um degrau e um atraso insignificativo na resposta a uma rampa, também se verificou que este apresenta uma transição mais suave nas extremidades, Figura C.1, em relação ao OTA, sendo que esta transição deve-se à maior capacidade existente na saída.

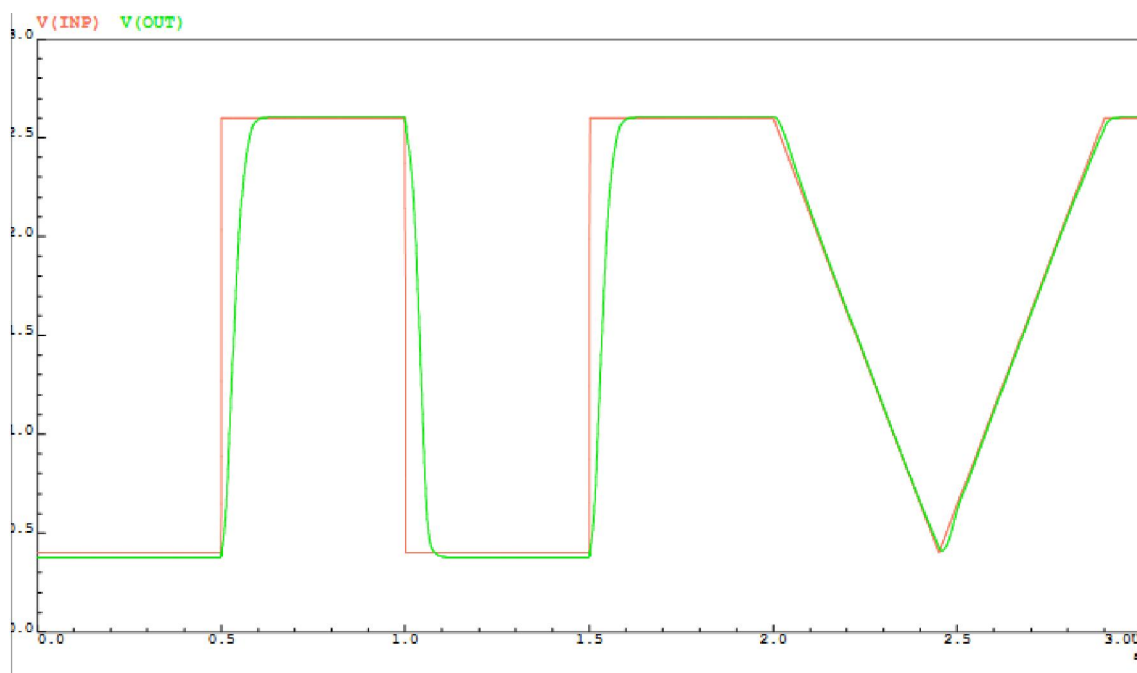


Figura C.9 – Simulação *settling time* do amplificador classe AB.

De modo a verificar o consumo do OTA e do amplificador em classe AB mediu-se a corrente consumida na alimentação destes dois componentes. Na Figura C.10 está representado a simulação do consumo da corrente. A curva a amarelo é o consumo do OTA e a azul é o consumo do amplificador em classe AB. Como se pode verificar o amplificador em classe AB consome cerca de 150 μ A e o OTA cerca de 40 μ A, quando em carga. A grande diferença de consumo do amplificador em classe AB em relação ao OTA é devido à porta inversora que se encontra no amplificador em classe AB. De salientar que a corrente no amplificador em classe AB apresenta diversos picos porque este resultado de simulação foi obtido aquando a sua colocação na malha de controlo do

conversor DC-DC, ou seja, os picos de corrente correspondem a cada uma das comutações obtidas dos interruptores.

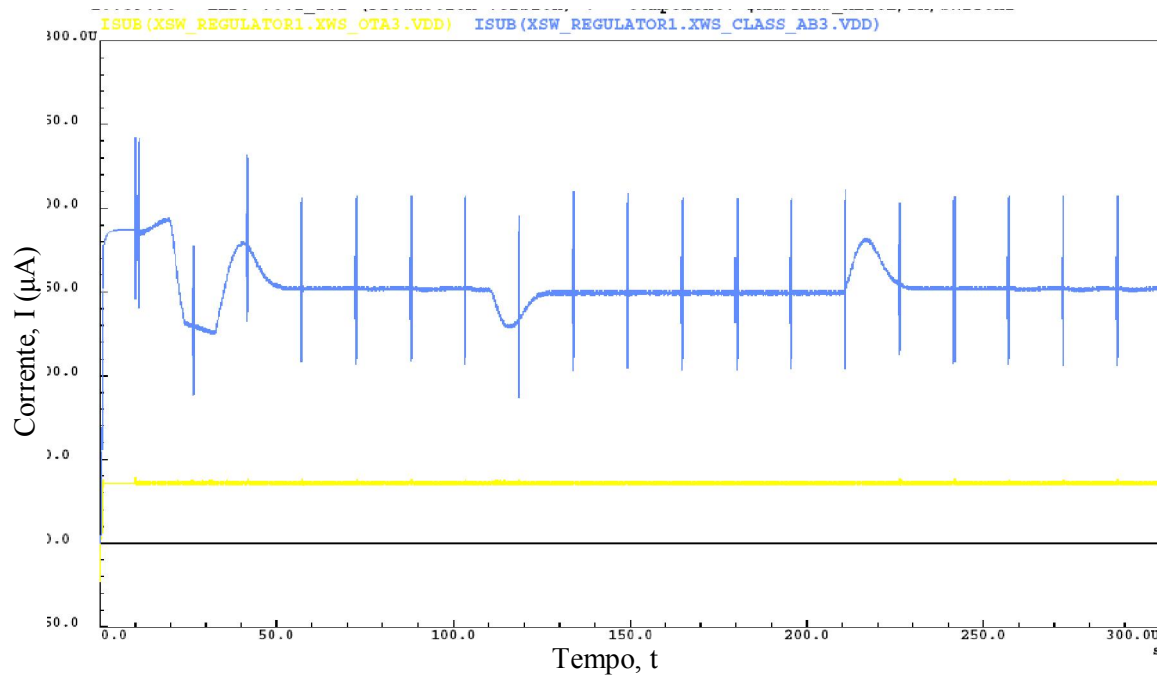
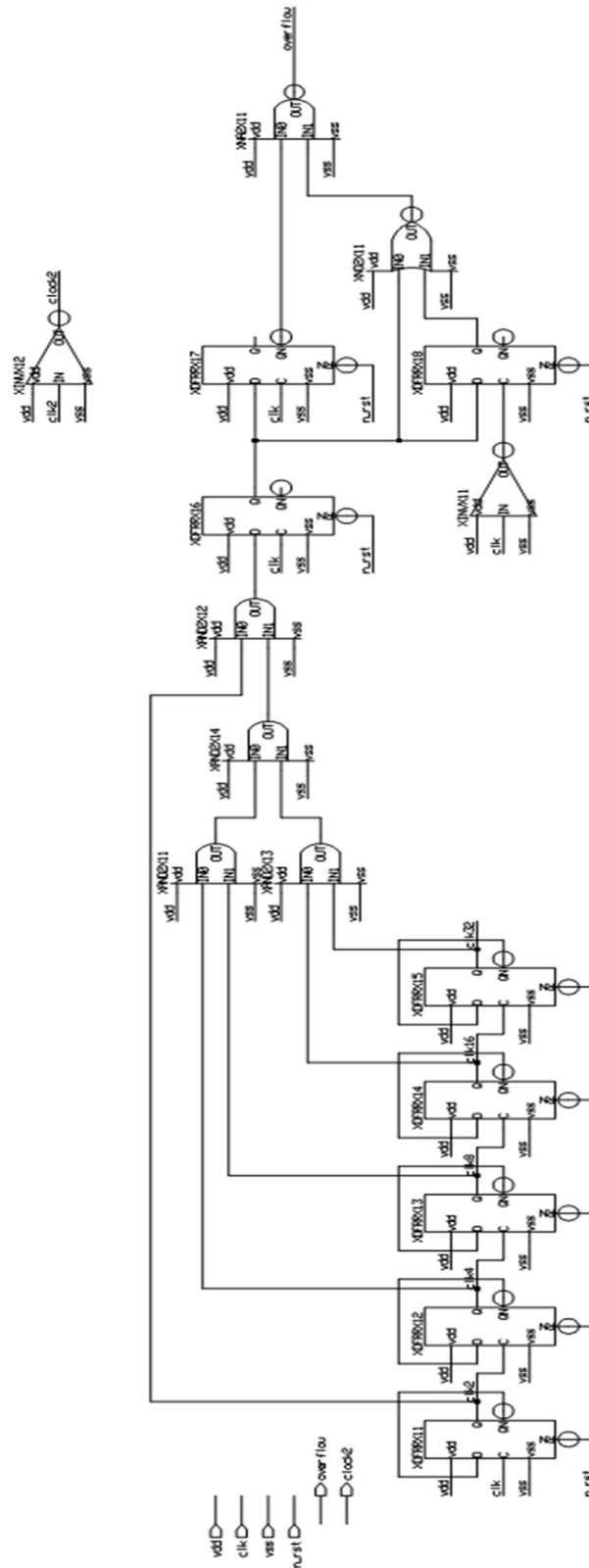


Figura C.10- Comparação do consumo de corrente entre o OTA e o amplificador em classe AB.

C.3. Comparador

A partir do OTA, também se criou um outro comparador. Este último apresenta a mesma topologia que o OTA, apenas não possui os MOSCAPs na saída. No entanto continua a ser estável e a ser útil para algumas configurações onde é necessário a utilização de um amplificador com pouca capacidade à saída.

Anexo D – Circuito do contador



Anexo E – Gerador de rampa triangular

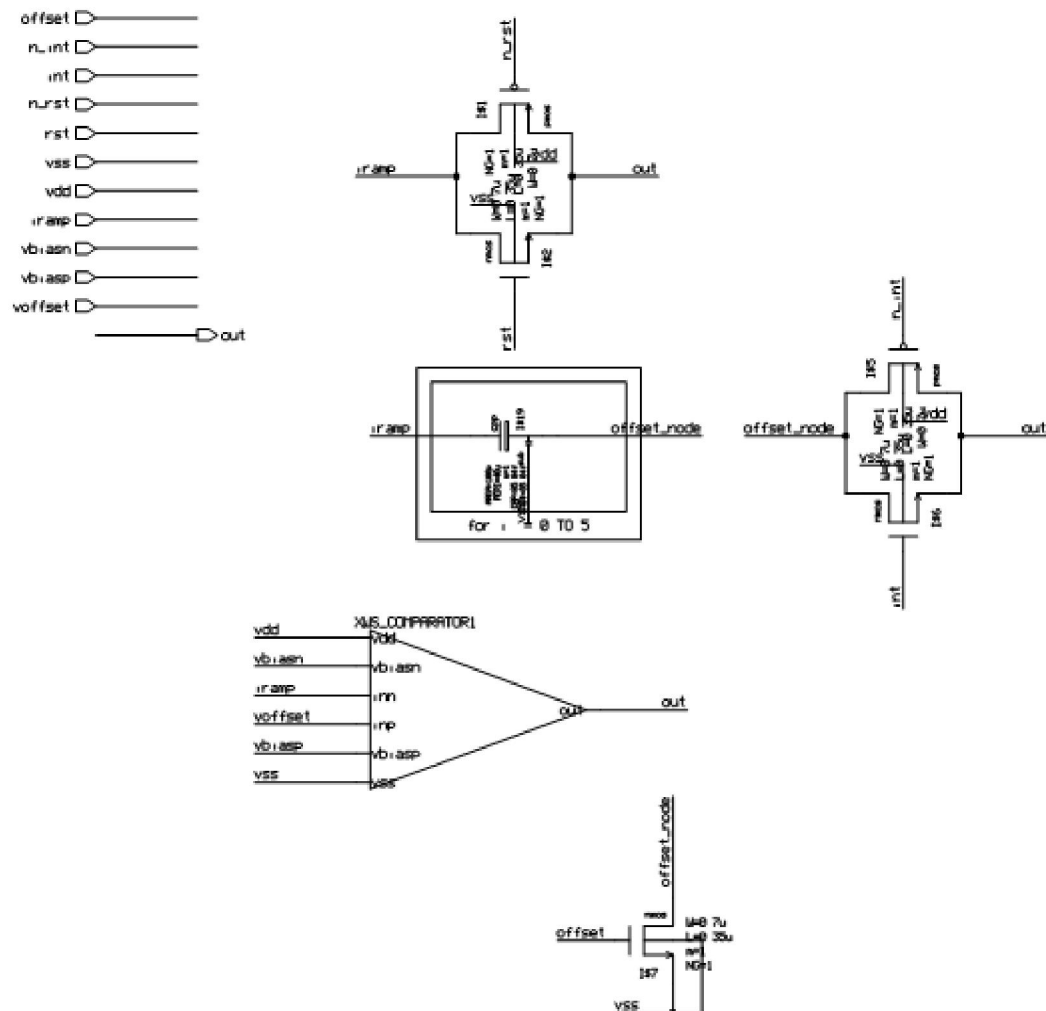


Figura E.1 – Gerador de rampa de subida.

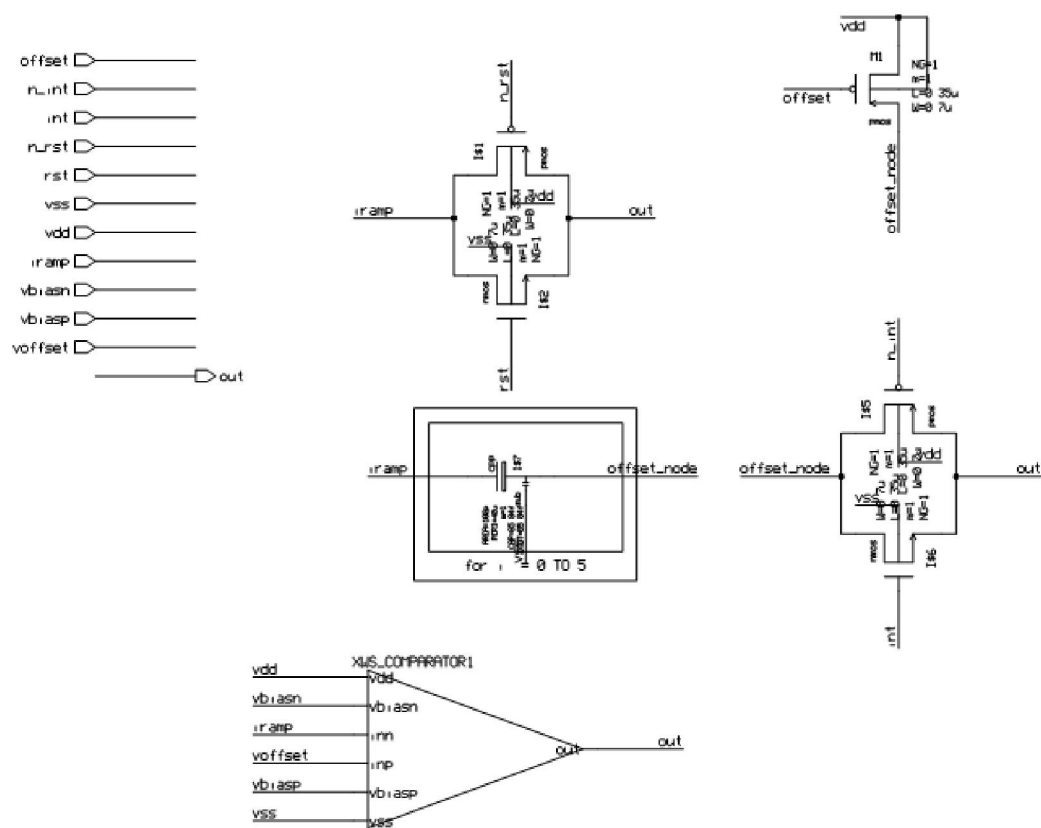


Figura E.2 – Gerador de rampa de descida.

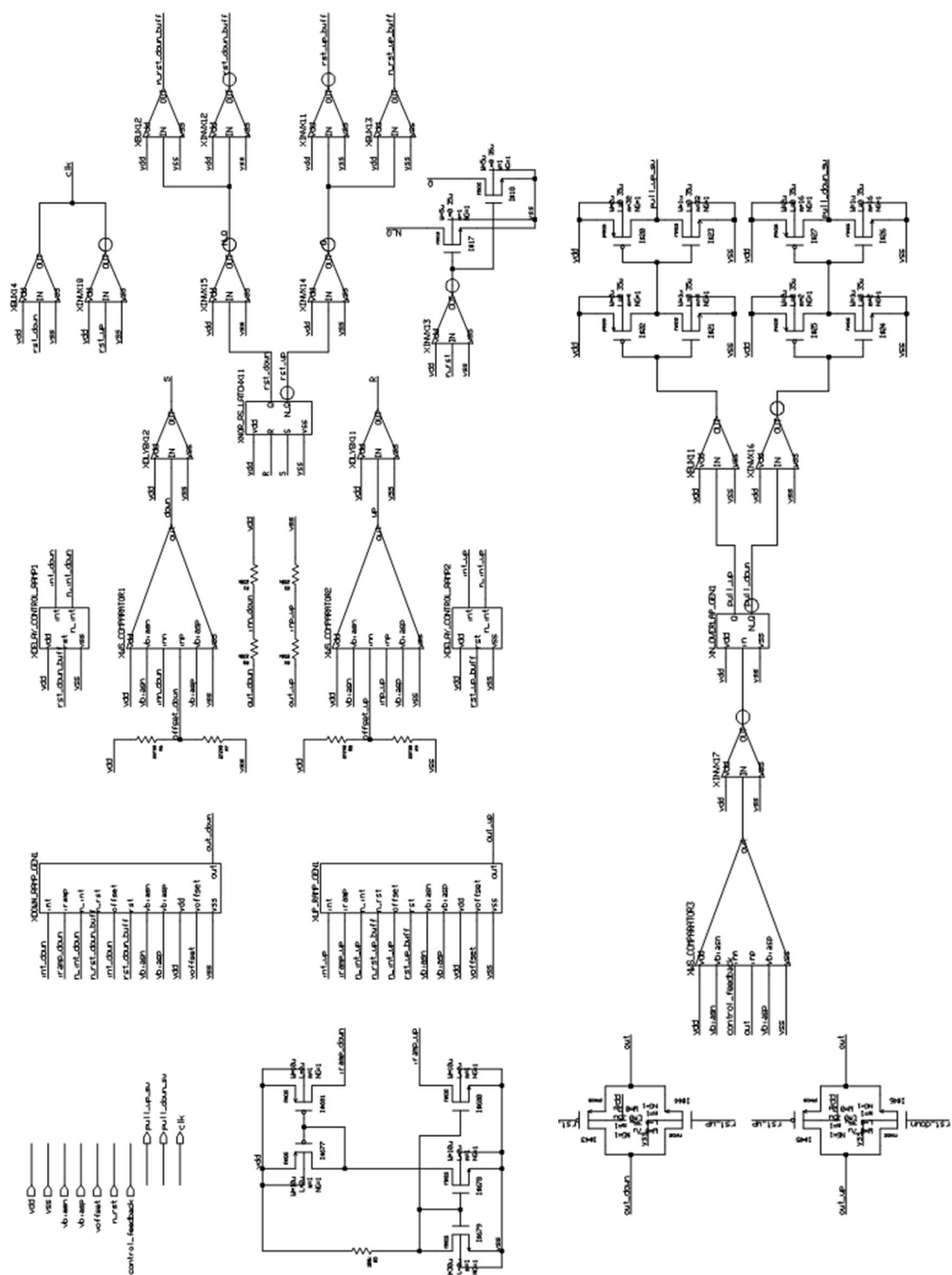
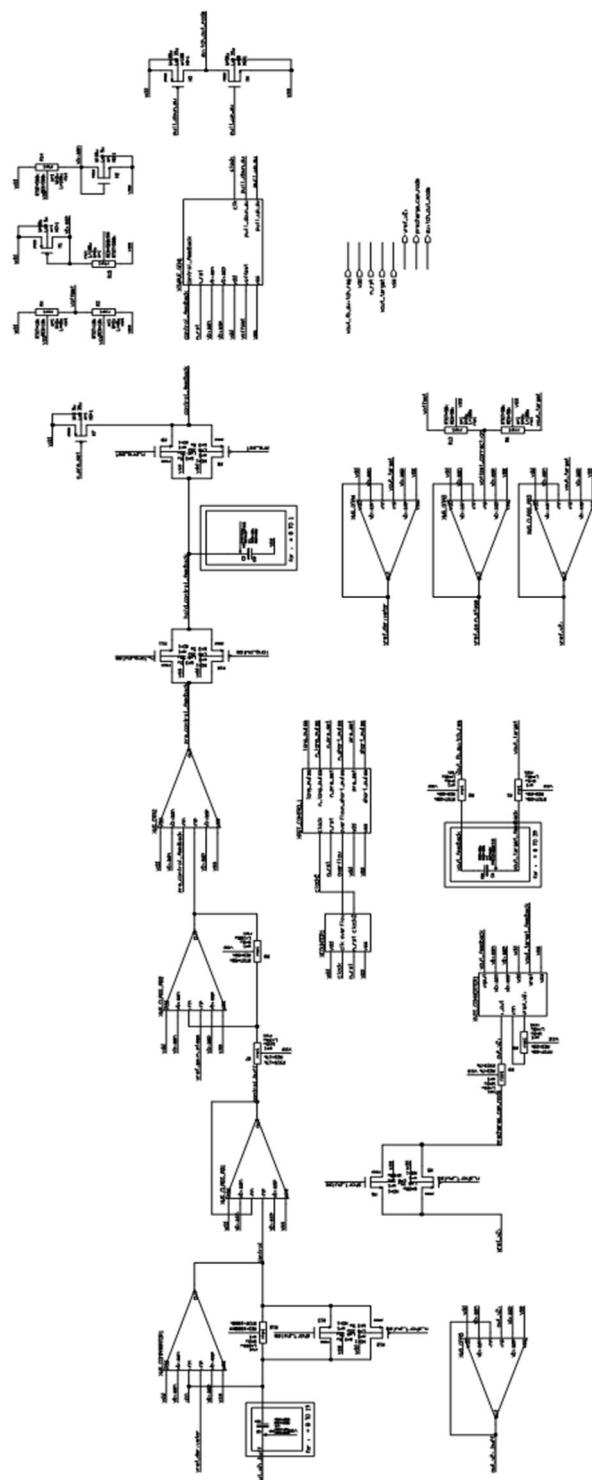


Figura E.3 – Gerador de onda triangular.

Anexo F – Sistema de conversão com a malha de controlo



Anexo G – Simulações do conversor DC-DC redutor

Neste anexo mostram-se várias simulações que foram realizadas ao conversor DC-DC redutor.

Numa primeira simulação estipulou-se a corrente máxima de carga em 200 mA, com o comportamento representado na Figura G.1.

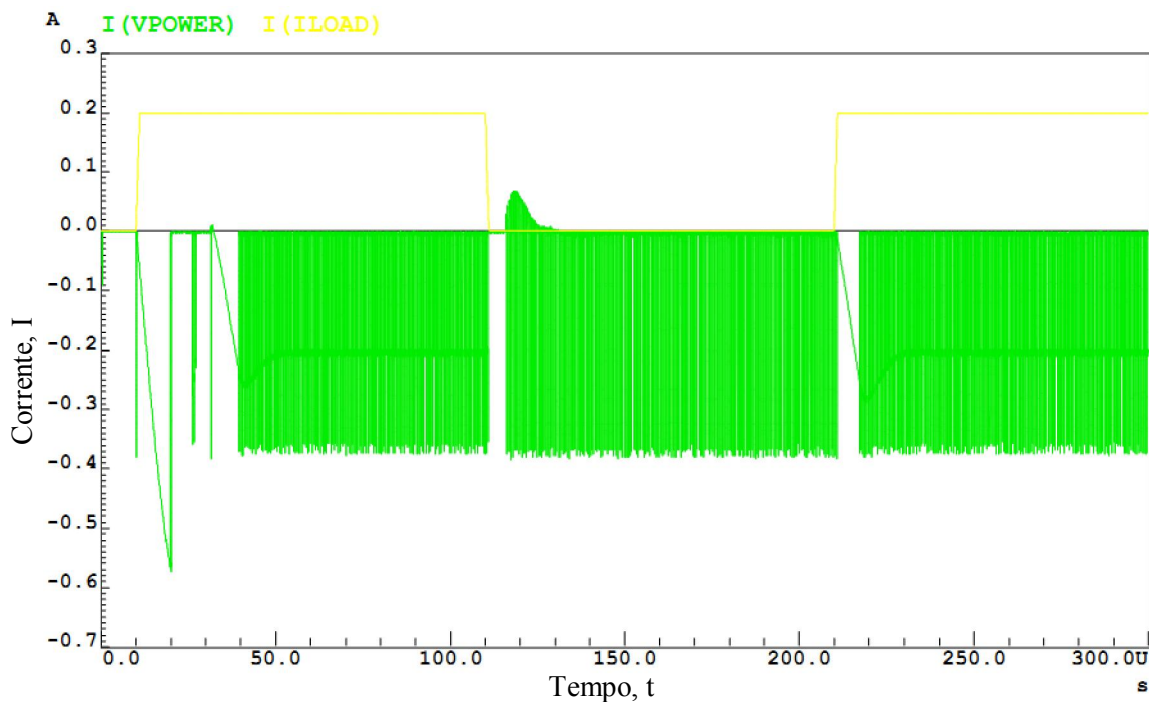


Figura G.1 – Comportamento da corrente de carga (amarelo) e da corrente de alimentação (verde).

Com uma tensão de referência de 1,8 V e com a corrente de carga representada na figura anterior, teve-se o comportamento representado na Figura G.2 para a tensão de saída. Verifica-se que a cada transição de corrente há uma perturbação na tensão de saída, sendo que esta é estabilizada após 20 μ s.

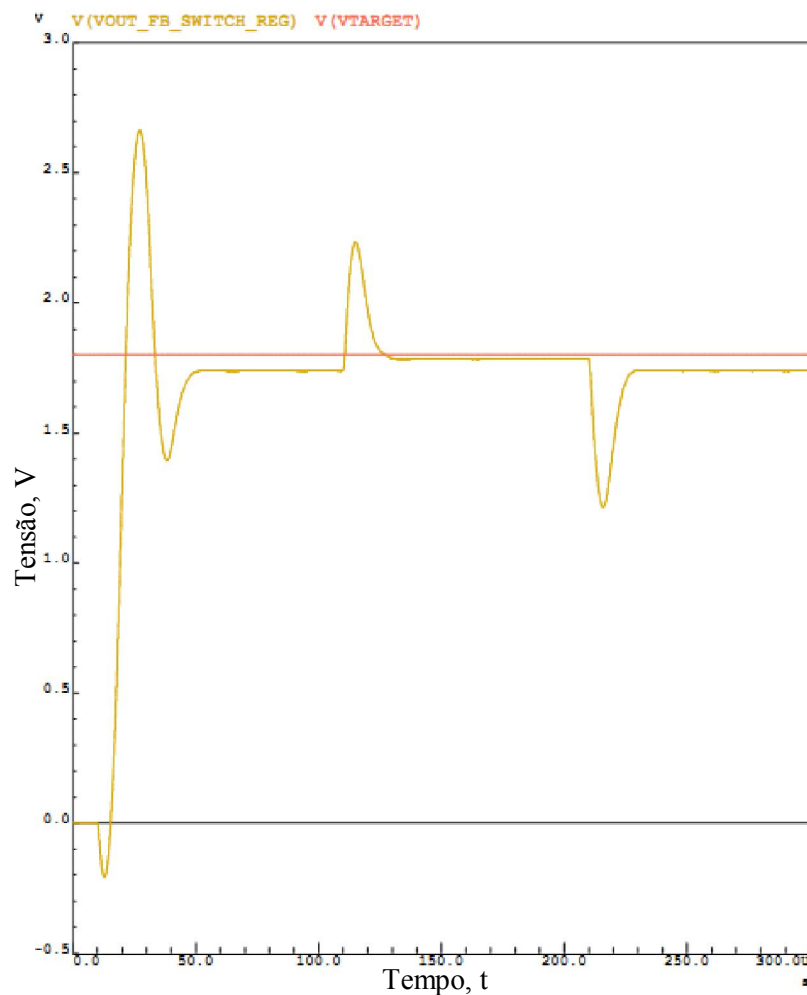


Figura G.2 – Comportamento da tensão de saída do conversor DC-DC redutor com corrente de carga 200 mA.

Na continuação da simulação realizada com a corrente de carga representada na Figura G.1, obteve-se o consumo de corrente do gerador de onda triangular, Figura G.3.

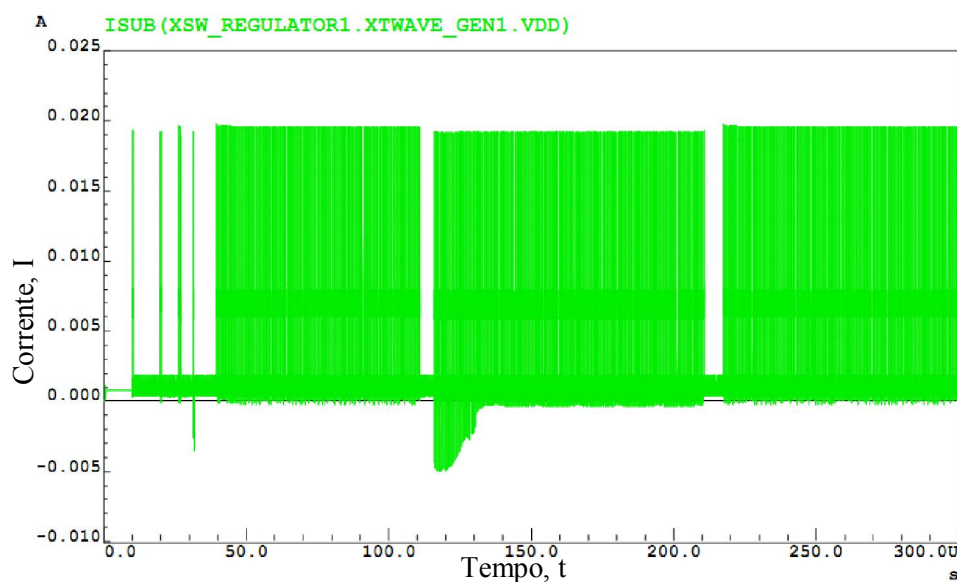


Figura G.3 – Consumo de corrente do gerador de onda triangular.

O consumo de corrente na bobina (vermelho) e no condensador (verde) do filtro de saída do conversor, Figura G.4.

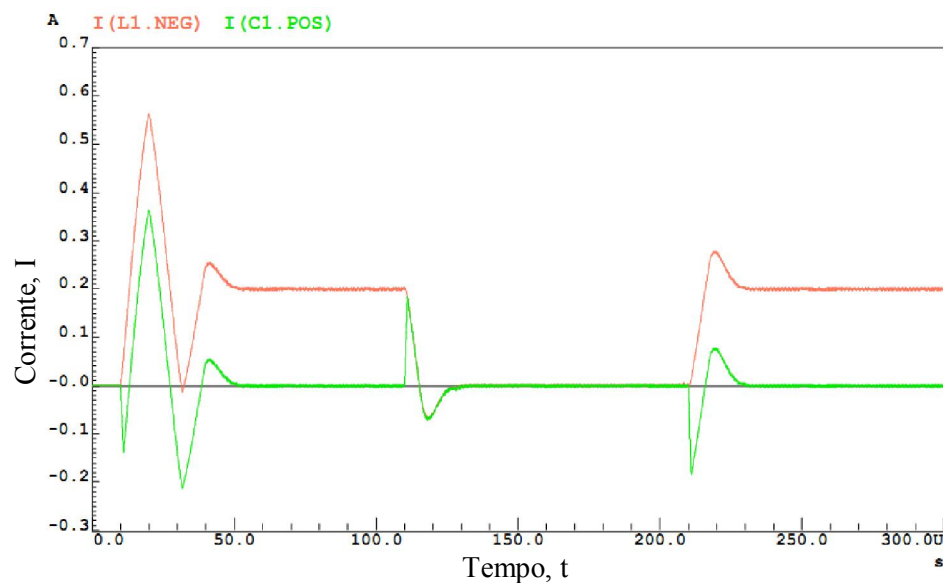


Figura G.4 – Corrente na bobina e no condensador.

Os sinais de tensão em alguns pontos da malha de controlo. A vermelho, o nó entre os interruptores de saída, a verde o sinal de *offset* criado por um divisor resistivo e a amarelo a saída do gerador de onda triangular, Figura G.5.

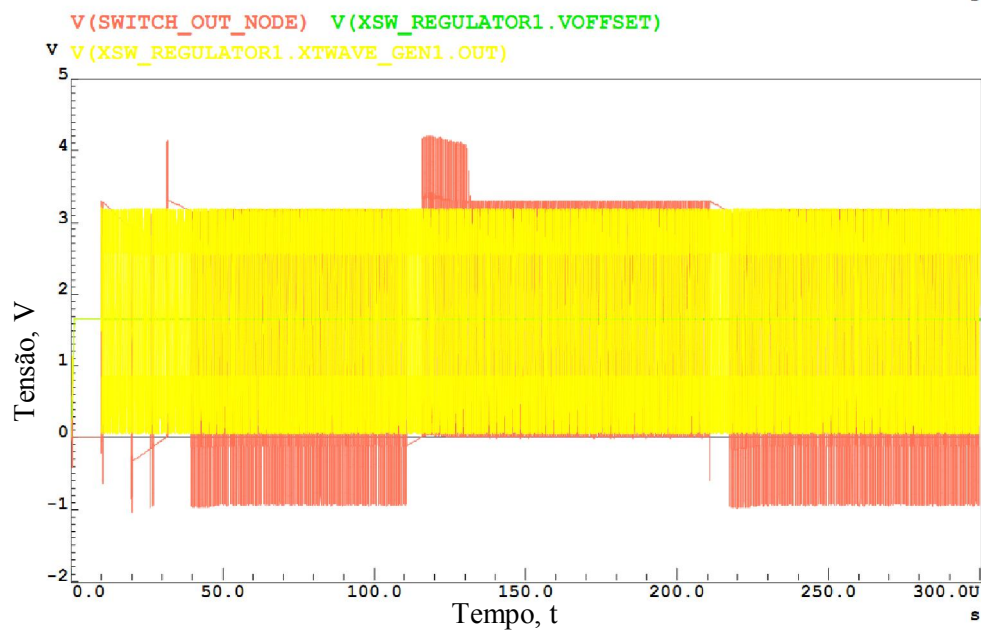


Figura G.5 - Sinais de tensão na malha de controlo.

Outros sinais que se podem analisar ao longo da malha de controlo, tais como os sinais que acionam os interruptores e os que passam pelos andares de ganho e dos *buffers*, Figura G.6. Em que, na primeira linha, onde a azul tem-se o *pre_set*, a cor-de-rosa tem-se o *long_pulse* e a cor-de-laranja tem-se o *short_pulse*.

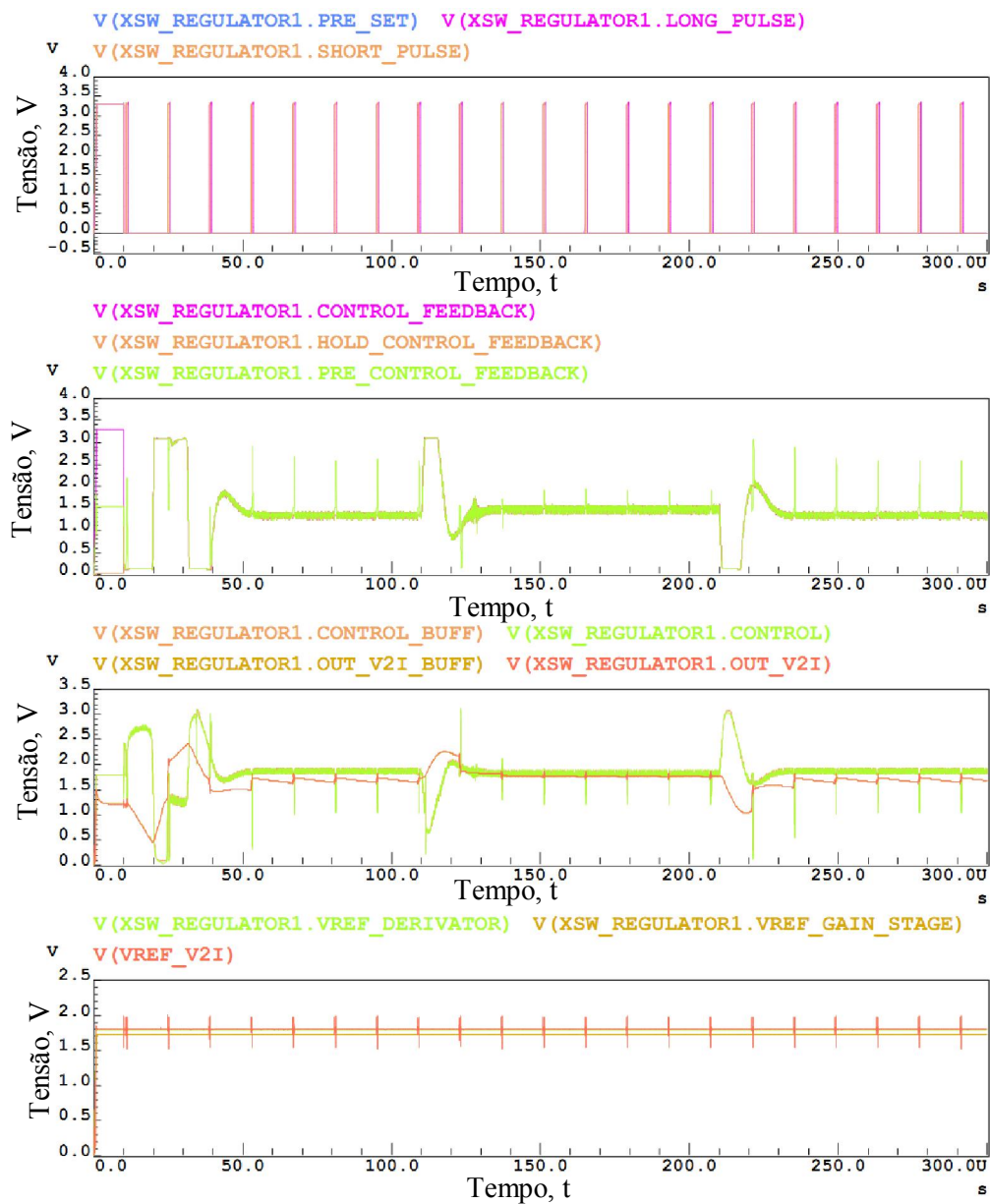


Figura G.6 – Sinais da malha de controlo.

Características do conversor, nomeadamente a corrente consumida na alimentação, primeiro gráfico, para todos os valores de referência a que o conversor se encontra preparado para regular. A potência consumida na carga, segundo gráfico e por último no terceiro gráfico tem-se a potência consumida na fonte, Figura G.7.

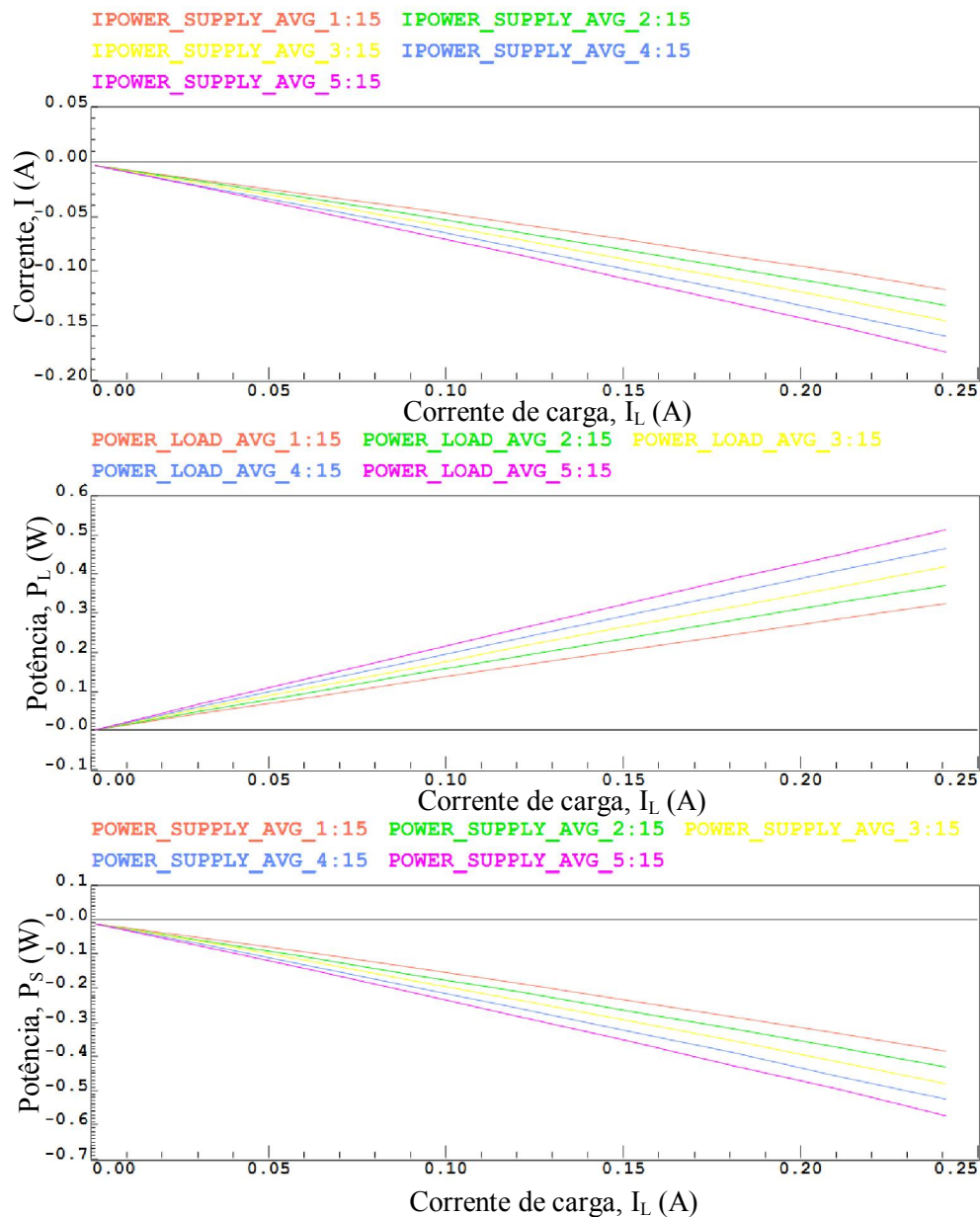


Figura G.7 – Potência consumida.

Comparação entre a saída do gerador de onda triangular (verde), o nó entre os interruptores do conversor (azul) e a tensão de *offset* (amarelo), Figura G.8

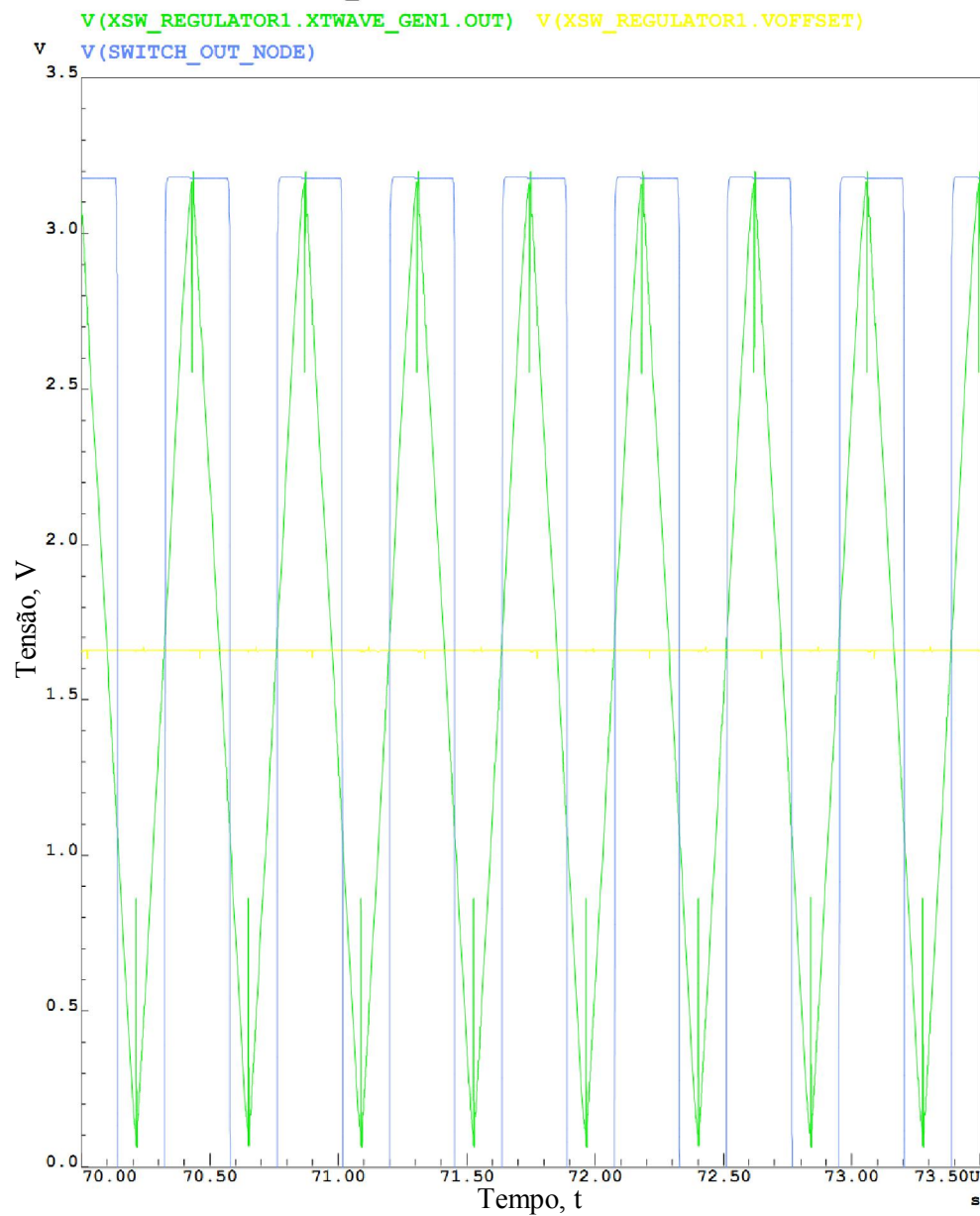


Figura G.8 – Geração do fator de ciclo.

O comportamento da tensão de saída para as várias tensões que é possível regular, com carga entre 0 mA e 250 mA, gráfico superior, e sem carga, gráfico inferior, Figura G.9.

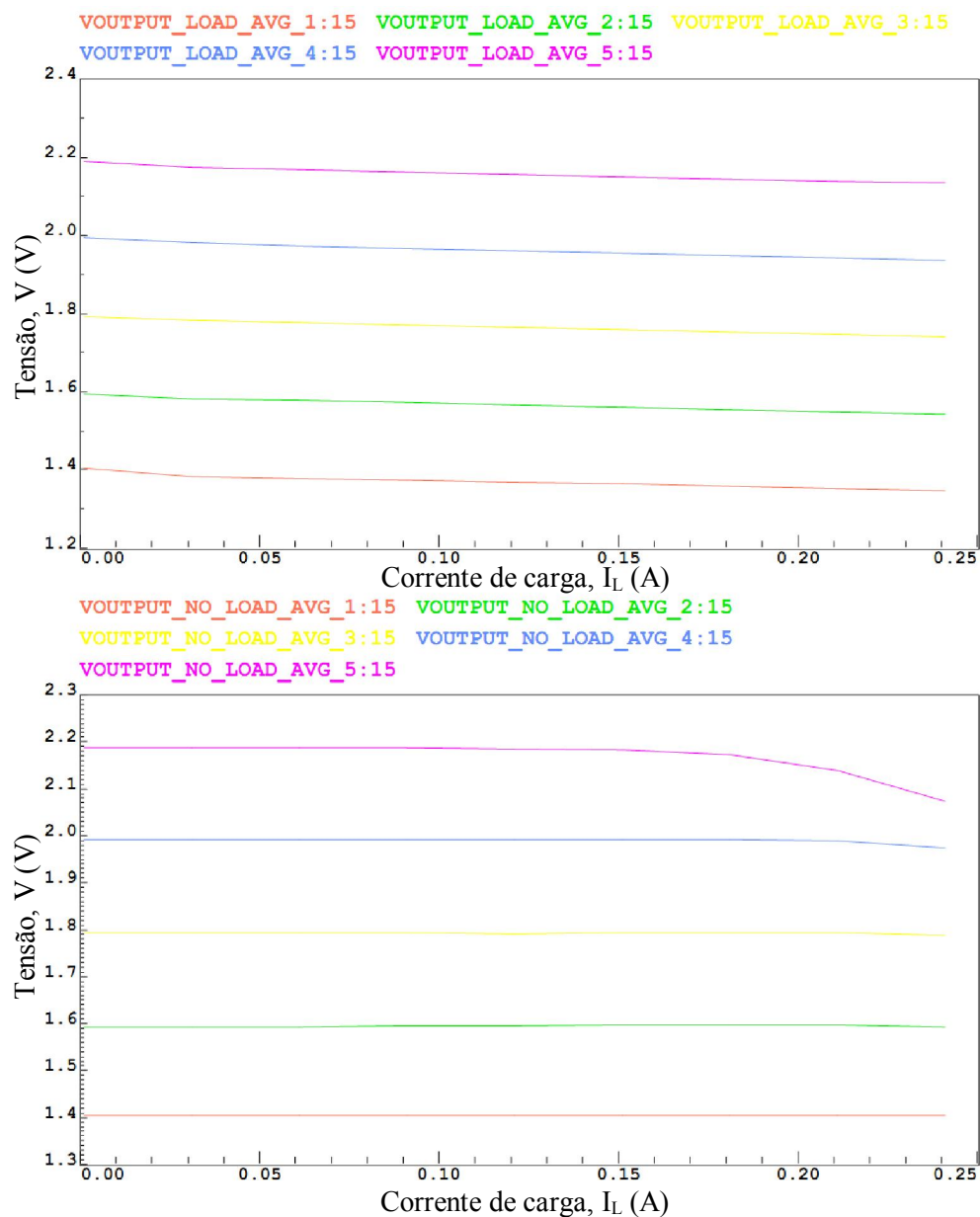


Figura G.9 – Tensão na saída.

Numa outra simulação verificou-se o comportamento do sinal de saída para diferentes valores de corrente de carga, variando entre 0 mA e 200 mA, em que carga inicializa-se a 0 mA e de seguida tem um crescimento em rampa num intervalo de 10 μ s até atingir a carga pretendida, Figura G.10.

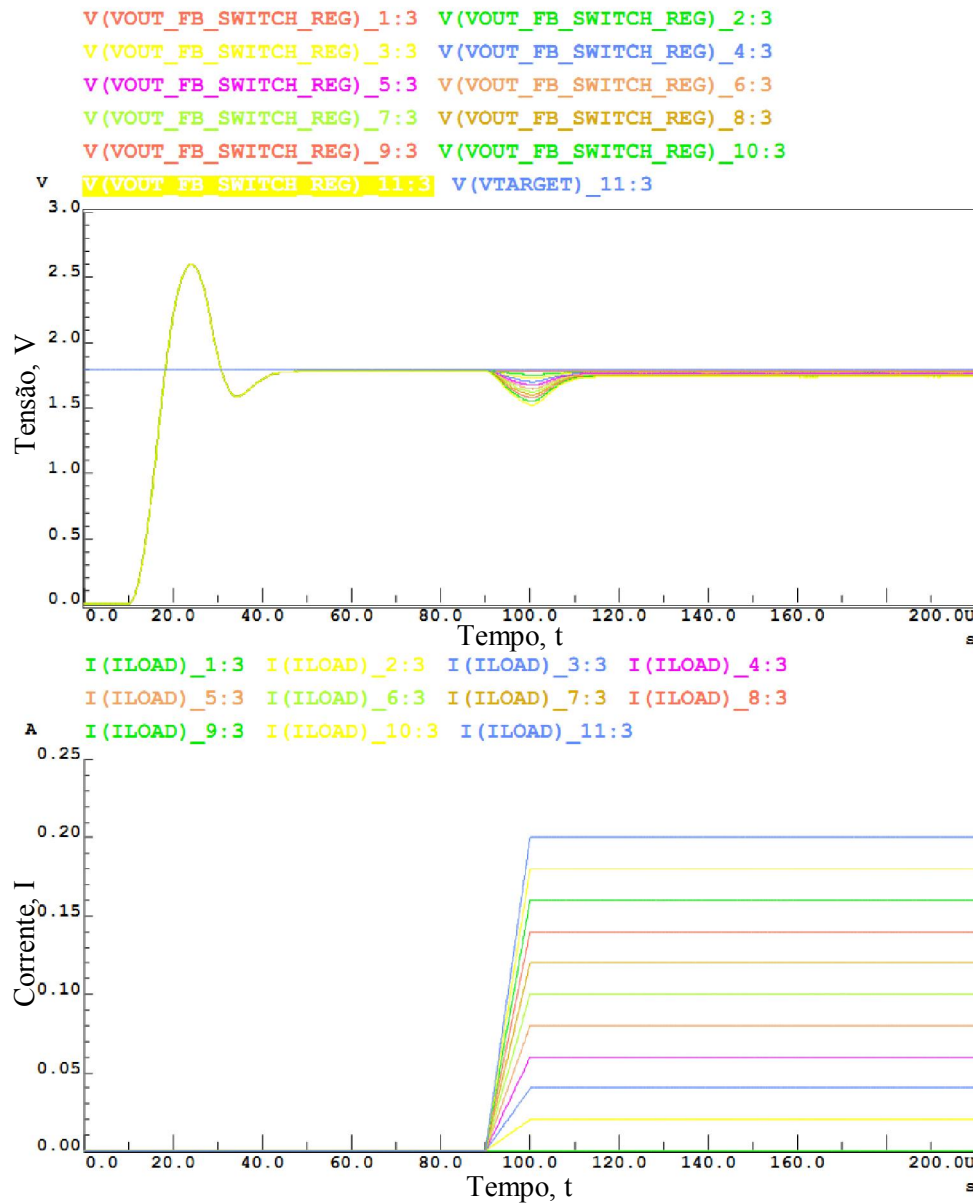


Figura G.10 – Comportamento do sinal de saída de acordo com a variação da corrente de carga com tempo de subida de 10 µs.

Na continuação da simulação, analisou-se a resposta ao sistema a uma carga com um tempo de crescimento superior, de 50 µs, Figura G.11.

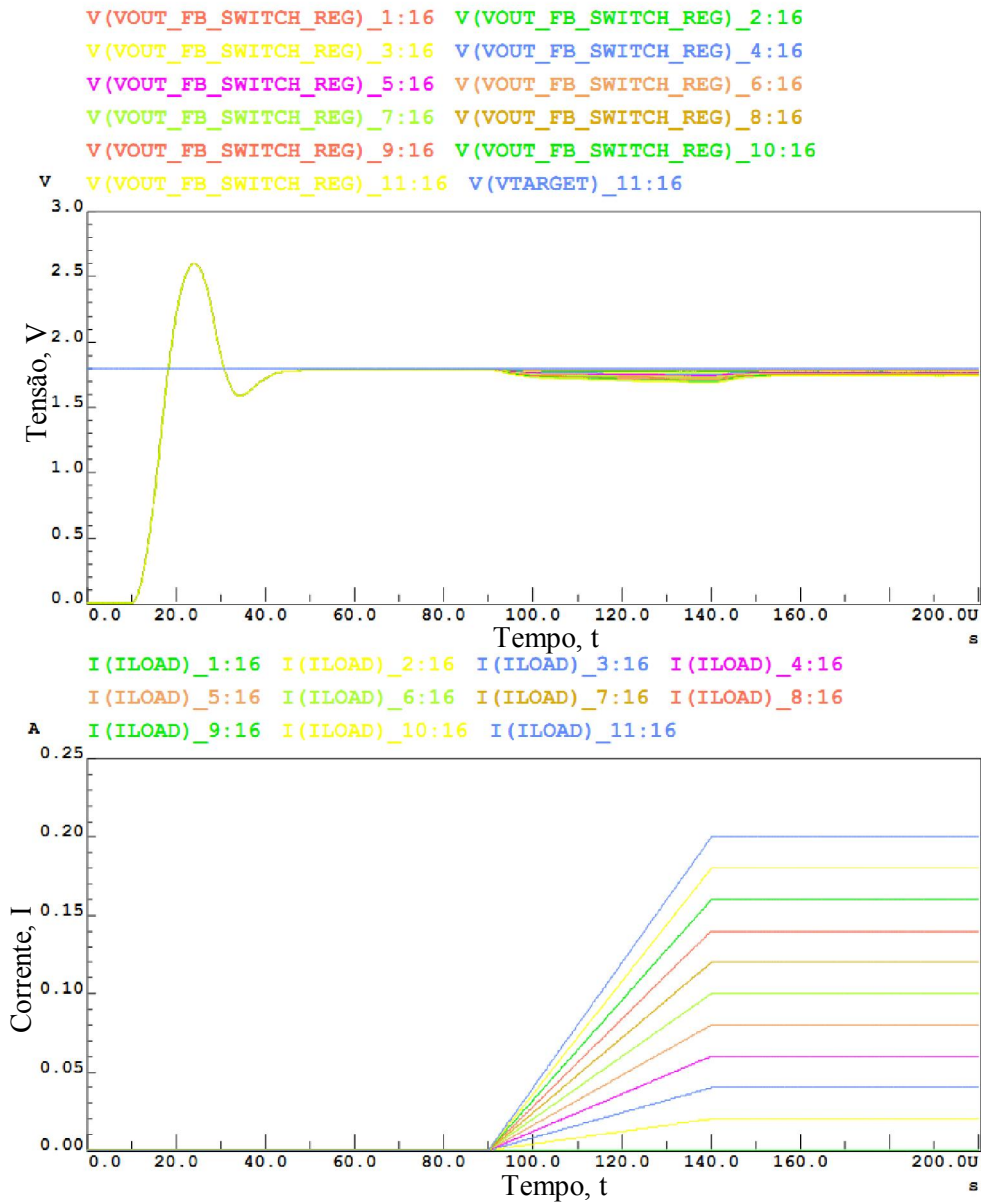


Figura G.11 - Comportamento do sinal de saída de acordo com a variação da corrente de carga com tempo de subida de 50 μ s.

Ao comparar os resultados apresentados na Figura G.10 e Figura G.11, verifica-se que a perturbação no sinal de saída não é tão acentuada quanto a que se obtém com a corrente de carga em degrau, e que também esta acentuação diminui com o aumento do tempo de subida da corrente de carga.

Numa última simulação, verificou-se qual o erro que o sinal de saída apresenta relativamente à tensão de referência, Figura G.12.

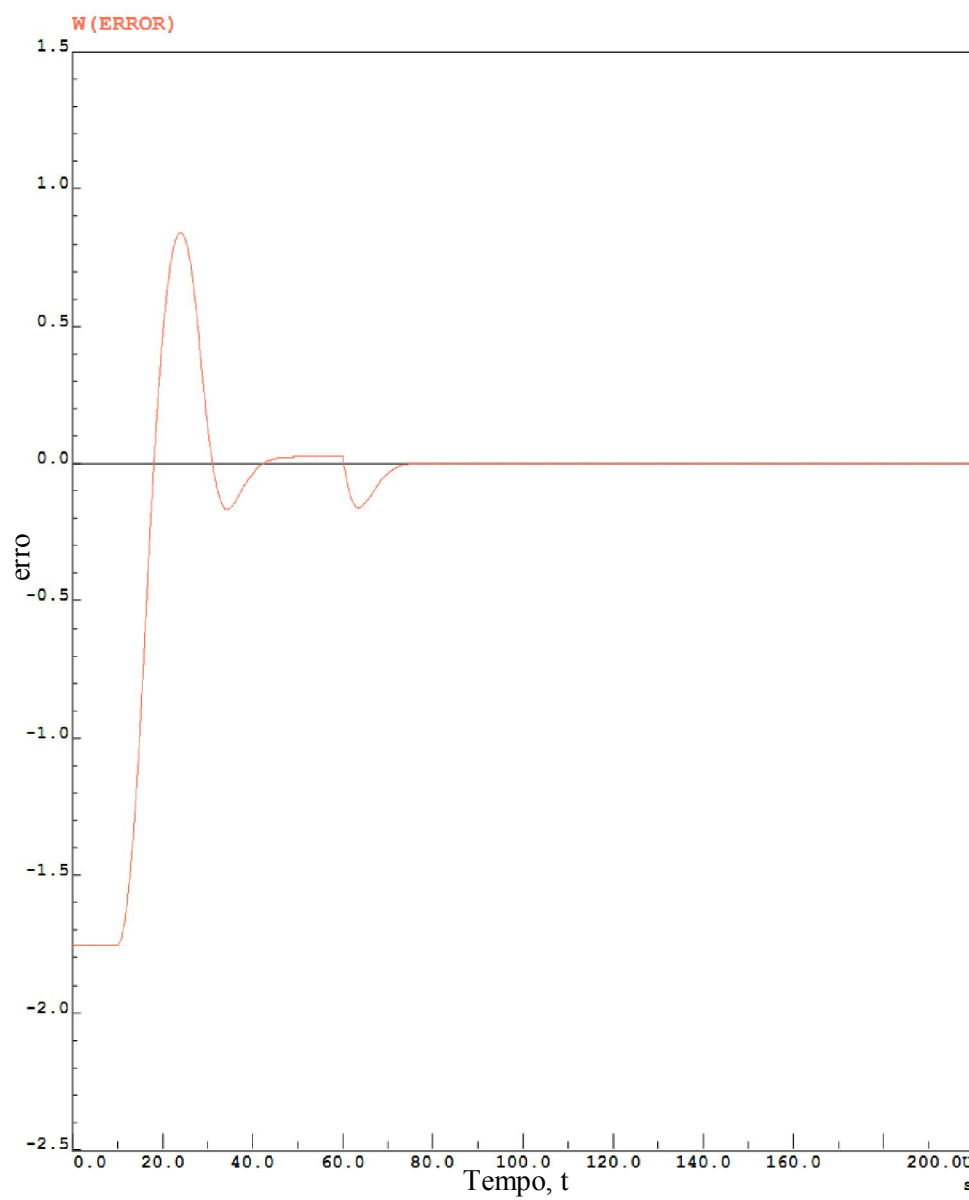


Figura G.12 – Erro do sinal de saída.