

DM

Controlo do Diagrama de Radiação de Agrupamento de Antenas

DISSERTAÇÃO DE MESTRADO

Daniel Humberto Vieira dos Santos

MESTRADO EM ENGENHARIA DE TELECOMUNICAÇÕES
E REDES DE ENERGIA



UNIVERSIDADE da MADEIRA

A Nossa Universidade

www.uma.pt

fevereiro | 2015



Universidade da Madeira
Centro de Competências de Ciências Exatas e da Engenharia

Controlo do Diagrama de Radiação **de Agrupamento de Antenas**

Dissertação submetida à Universidade da Madeira
para obtenção do Grau de Mestre em Engenharia
de Telecomunicações e Redes de Energia

Júri

Presidente: Professor João Dionísio Simões Barros
Orientador: Professor Joaquim Amândio Rodrigues Azevedo
Vogal: Professor Alberto de Jesus Nascimento

Autor: Daniel Humberto Vieira dos Santos

Funchal, 27 de Fevereiro de 2015

Dedicatória

Aos meus pais, irmã e restante família, á minha falecida avó

Obrigado pela força que sempre me deram

Resumo

O principal objetivo desta dissertação de mestrado foi o estudo de várias soluções que possibilitassem o controlo do diagrama de radiação de um agrupamento de antenas. Para tal, foram estudadas várias topologias de deslocadores de fase, bem como algumas soluções que derivam das mesmas. Foram igualmente estudadas e desenvolvidas algumas soluções referentes à malha de alimentação dos deslocadores de fase e atenuadores.

De modo a testar o controlo sobre o diagrama de radiação do agrupamento de antenas, foi implementado um agrupamento de antenas com 4 elementos radiantes, para uma frequência central de operação de 2,42 GHz.

Para testar a melhor solução no que diz respeito aos deslocadores de fase, malhas de alimentação, bem como a eficiência dos agrupamentos de antenas, foi utilizado um *software* de simulação eletromagnética (EM), sendo escolhido o COMSOL.

Laboratorialmente foi utilizado o analisador vetorial de redes, de modo a avaliar todos os parâmetros de interesse, tais como perdas por retorno, perdas por inserção, variação da fase e adaptação das impedâncias.

Foram igualmente, construídos cabos com múltiplos de $\lambda/2$ de modo a não introduzirem desvios de fase na medição dos sistemas, para além daqueles dimensionados para tal.

De modo a implementar os sistemas estudados de forma correta, houve um estudo rigoroso da implementação de sistemas em alta frequência. Sabe-se que em alta frequência existem fenómenos que podem ser desprezados em baixas frequências, daí a importância desta parte do estudo.

Todos os sistemas estudados, desenvolvidos e implementados foram projetados para uma frequência de 2,42 GHz em placas com substrato em Duroid 5880, à exceção da matriz de Butler 4X4 implementada em FR4. A utilização de Duroid 5880 resulta em menos perdas por inserção nos circuitos construídos. Sendo este um dos principais parâmetros que se pretende obter nos sistemas a desenvolver.

Foram implementados experimentalmente os deslocadores de fase, atenuadores, malhas de alimentação e matriz de Butler 4X4. Foram verificados vários parâmetros que permitissem descrever o sistema, em termos de atenuação, isolamento, controlo da fase e os erros de fase introduzidos.

Por forma a avaliar o desempenho dos sistemas implementados, teste-se-os, sendo posteriormente escolhidas as melhores soluções implementando-as e testando-as um agrupamento de antenas para avaliar o funcionamento dos circuitos desenvolvidos para o controlo do diagrama de radiação.

Palavras-chave:

Controlo do diagrama de radiação, Deslocadores de fase, Topologia de linha comutada, Malhas de alimentação, Atenuadores, Matriz de Butler 4X4, Técnicas de desenvolvimento de circuitos para altas frequências.

Abstract

The main purpose of the work developed in this master thesis was the study of solutions that enable beamforming for a linear antenna array. For this, several phase shifters topologies were studied, as well power combiner/divider and attenuator solutions were also studied and developed.

For test the effective control of radiation pattern of antenna array a group of four antennas with 2.42 GHz central frequency was used.

COMSOL, an electromagnetic simulation software was used to test the best solution of phase shifters, power combiner/divider and antenna array efficiency.

A vector network analyzer was used in a laboratory in order to evaluate all of the parameters of interest, for example, return loss, insertion loss, phase variation and impedance matching. Also some test cables were build, using a length of multiples of $\lambda/2$ in order to not introduce phase errors in system measurements.

In order to correctly implement the studied systems, there was rigorous study of the high frequency system implementation. From this we gained the knowledge that high frequency phenomena are not seen in low frequency circuits.

Some of the studied, developed, and implemented systems were design for 2.42 GHz frequency in a Duroid 5880 substract, with the exception of 4X4 Butler matrix, which was implemented in FR4. A use of Duroid 5880 results in less insertion loss in the constructed circuits.

Phase shifters, attenuators, power combiner/divider and 4X4 Butler matrix were experimentally implemented. Several parameters were verified in order to allow the definition of system in terms of attenuation, isolation, phase control and introduced phase errors.

The systems were tested in order to evaluate their performance. The best solutions were chosen and an antenna array was developed in order to evaluate the performance of the developed circuits for beamforming purpose.

Palavras-chave:

Beamforming, Phase shifter, Switched line topology, Power combiner/divider, Attenuators, 4X4 Butler matrix, High frequency circuits development.

Agradecimentos

A dissertação de mestrado, foi para mim, muito mais que um diploma ou um título no nome, ela é o culminar de um percurso que se verificou ser difícil, exigente, com altos e baixos, mas que me fez evoluir academicamente, mas sobretudo pessoalmente.

Agradeço aos meus pais e irmã, todo o apoio e coragem que me deram ao longo desta etapa da minha vida, sem ele todo este percurso teria sido muito mais árduo, senão impossível. Agradeço à minha falecida avó Filomena, por ter sempre acreditado em mim. Ao meu orientador de dissertação de mestrado, o Professor Doutor Joaquim Amândio Rodrigues Azevedo, agradeço pela disponibilidade, apoio, exigência, e conhecimentos transmitidos.

Um especial agradecimento ao Engenheiro Filipe Santos, pela ajuda fornecida, principalmente no que diz respeito à ferramenta de simulação COMSOL, bem como aos conhecimentos transmitidos na fabricação das placas de circuitos impressos.

Aos bons amigos que fiz ao longo do meu percurso académico em especial ao Marco Freitas, Roberto Nuno, Sofia Nóbrega, Ivo Valente, Carlos Francisco, Jorge Lopes, Francisco Pereira, Pedro Camacho, Luciano Calaça, Rodolfo Rodrigues, Ricardo Sousa e Carlos Camacho, agradeço pelo apoio pessoal e académico que deram.

Agradeço à Rogers Corporation, todas as placas Duroid 5880 fornecidas.

Índice

Dedicatória.....	i
Resumo	iii
Abstract.....	v
Agradecimentos	vii
1. Introdução.....	1
1.1. Motivação	1
1.2. Objetivos.....	2
1.3. Estrutura da dissertação	2
2. Controlo do diagrama de radiação	3
2.1 Necessidade do controlo do diagrama de radiação	3
2.1.1 Antenas Inteligentes	4
2.1.2 Vantagens e desvantagens de controlar o diagrama de radiação.....	4
2.2 Técnicas de controlo do diagrama de radiação	4
2.2.1 Beamforming analógico.....	5
2.2.2 Beamforming digital.....	5
2.3 Formas de implementar o deslocamento de fase	6
2.3.1 Agrupamentos de feixe comutado.....	7
2.3.2 Agrupamentos adaptativos.....	8
2.4 Deslocadores de fase	8
2.4.1 Topologia linha comutada	10
2.4.2 Topologia de linha carregada	12
2.4.3 Topologia passa-alto/passa-baixo.....	13
2.4.4 Topologia de fase refletida	15
2.4.5 Deslocador de fase de ferrite	16
2.4.6 Matriz de Butler	17
2.4.7 Matriz de Blass.....	19
2.5 Atenuadores	20
2.5.1 Atenuadores resistivos	20
2.5.2 Atenuadores comutáveis	21
2.6 Componentes de comutação	22
2.6.1 Díodos PIN.....	22
2.6.2 Transistores HEMT (High-Electron-Mobility Transistor)	25
2.7 Formas de alimentação dos agrupamentos.....	26
2.7.1 Malha de alimentação em série.....	26
2.7.2 Malha de alimentação em paralelo.....	27
2.8 Sistemas de aplicação	28
2.8.1 Aplicações Militares.....	28
2.8.2 Sistemas de comunicações via satélite	29
2.8.3 Sistemas de telecomunicações	29
3. Simulação em COMSOL.....	31
3.1 Métodos de lidar com fenómenos eletromagnéticos.....	31
3.2 Métodos de análise numérica	31
3.2.1 Criação da malha de análise	33
3.2.2 Método dos Momentos.....	34
3.2.3 Método das diferenças finitas no domínio dos tempos.....	35
3.2.4 Método dos elementos finitos.....	36
3.2.5 Comparação entre métodos numéricos.....	39

3.3 Software de simulação - COMSOL Multiphysics	40
3.3.1 Módulo RF do COMSOL	40
3.3.2 Simulação de um combinador/divisor de potência 1:2 no COMSOL	41
3.3.3 Desafios na introdução ao COMSOL	47
4. Desenvolvimento e implementação dos circuitos RF.....	49
4.1 Desenvolvimento de sistemas em alta frequência	49
4.2 Combinadores/divisores de potência	49
4.2.1 Combinador/divisor de potência sem desvio de fase	50
4.2.2 Combinador/divisor de potência com desvio de fase de 45°	51
4.3 Matriz de Butler.....	52
4.3.1 Acoplador Híbrido	52
4.3.2 Crossover	54
4.3.3 Pista de desvio de fase	56
4.3.4 Aplicação final da matriz de Butler 4X4.....	56
4.4 Deslocador de fase.....	60
4.4.1 Topologia de linha comutada com díodos PIN	60
4.4.2 Topologia de linha comutada com HEMT SPDT	71
4.5 Atenuadores	75
4.5.1 Atenuador com topologia em T	75
4.5.2 Atenuador com topologia em π	77
4.5.3 Atenuador comutável.....	78
4.5.4 Atenuador variável com topologia em π	79
5. Testes e resultados em agrupamentos de antenas	81
5.1 Agrupamento com controlo da fase	81
5.2 Antena monopolo.....	82
5.3 Agrupamento linear de 4 antenas sem atraso entre portas	83
5.4 Agrupamento linear de 4 antenas com atraso de 45° entre portas	84
5.5 Matriz de Butler 4X4	86
5.6 Deslocador de fase de 4 bits com topologia de linha comutada	88
6. Conclusões e trabalhos futuros.....	95
6.1 Conclusão.....	95
6.2 Trabalhos futuros.....	98
7. Bibliografia.....	99
8. Anexos	106
Anexo A – Guia de utilização do módulo RF do COMSOL	106
Anexo B – Dimensionamento dos circuitos implementados	113
B.1 Combinador/divisor de potência sem desvio de fase	113
B.2 Combinador/divisor de potência com desvio de fase de 45°	114
B.3 Matriz de Butler.....	116
B.4 Deslocador de fase de linha comutada de 1 bit com díodos PIN.....	118
B.5 Deslocador de fase de linha comutada de 4 bits com díodos PIN	122
B.6 Deslocador de fase de linha comutada de 1 bit com transístores HEMT SPDT	127
B.7 Atenuador com topologia em T	129
B.8 Atenuador com topologia em π	129
B.9 Atenuador comutável	130
Anexo C – Tecnologia de pista impressa (<i>microstrip</i>) e respetivas descontinuidades.....	132
C.1 Tecnologia de linha impressa - <i>Microstrip</i>	132
C.2 Descontinuidades	133

C.3 Ligação ao plano de massa	139
Anexo D – Procedimentos de teste e medidas	140
D.1 Testes com o analisador vetorial de redes	140
D.2 Testes na câmara anecoica	142
D.3 Cabos coaxiais utilizados para as medições	142
Anexo E – Otimização das pistas do deslocador de fase de linha comutada	145
Anexo F - Controlo do feixe de radiação com o software COMSOL	148
Anexo G – Determinação do espaçamento ideal entre antenas	150

Índice de Figuras

Figura 2.1 – Dispositivos que estarão integrados na rede 5G até 2020 [3].....	3
Figura 2.2 – Deslocadores de fase: (a) <i>phased array</i> ; (b) matriz de Butler [5].....	5
Figura 2.3 – Diagrama de blocos de um sistema de <i>Beamforming</i> Digital [7].....	5
Figura 2.4 – Blocos constituintes de um sistema que permite o controlo do diagrama de radiação [4].	7
Figura 2.5 – Comutação do feixe: (a) capacidade de lidar com a interferência; (b) precisão na formatação do feixe [11].....	7
Figura 2.6 – Agrupamentos adaptativos: (a) capacidade de lidar com a interferência; (b) precisão na formatação do feixe [12].....	8
Figura 2.7 – Deslocador de fase de linha comutada: (a) construído com comutadores individuais; (b) construído com díodos PIN SPDT [15,17].....	10
Figura 2.8 – Esquema de um deslocador de fase, com topologia de linha comutada de 4bit [18].....	11
Figura 2.9 – Deslocador de fase com topologia linha carregada: (a) utilizando elementos concentrados; (b) utilizando impedâncias implementadas através de uma linha impressa [17].	12
Figura 2.10 – Esquema básico de um deslocador de fase com topologia passa-alto/passa-baixo [5].	13
Figura 2.11 – Deslocador de fase com topologia <i>passa-alto/passa-baixo</i> : (a) configuração π ; (b) configuração T [18].....	14
Figura 2.12 – Deslocador de fase com topologia de fase refletida: (a) utilizando um acoplador híbrido; (b) utilizando um circulador [18].....	15
Figura 2.13 – Deslocador de fase de ferrite: (a) utilizando substrato de ferrita; (b) utilizando toróides de ferrita [21].	16
Figura 2.14 – Matriz de Butler: (a) 4X4; (b) 8X8 [23].	17
Figura 2.15 – Diagrama de radiação obtido a partir de uma matriz de Butler: (a) matriz de 4X4; (b) matriz de 8X8 [15; 23].....	18
Figura 2.16 - Matriz de Blass.	19
Figura 2.17 – Atenuadores resistivos: (a) configuração em T; (b) configuração em π [18].....	20
Figura 2.18 – Atenuadores comutáveis: (a) construído com SPDT; (b) construído com díodos PIN [17]. ...	21
Figura 2.19 – Circuitos elétricos equivalentes do diodo PIN: (a) quando polarizado diretamente; (b) quando polarizado inversamente [17].....	23
Figura 2.20 – Circuitos de polarização para díodos PIN: (a) com o diodo colocado em série com a pista de transmissão; (b) com o diodo colocado em paralelo com a pista de transmissão [19].....	24
Figura 2.21 – Esquema elétrico de um comutador SPDT [29].	24
Figura 2.22 – Esquema elétrico de um SPDT, com uma configuração que garante isolamento sem utilizar adaptações de $\lambda/4$ [29].	25
Figura 2.23 – Circuito elétrico de um SPDT realizado com transístores HEMT [30].	26
Figura 2.24 – Malha de alimentação em série: (a) deslocador de fase entre o percurso principal e os elementos radiantes (série-paralelo); (b) deslocador de fase colocado em série com percurso principal (série-série) [32].	27
Figura 2.25 – Malha de alimentação em paralelo ou corporativa [32].....	28
Figura 2.26 – <i>Phased arrays</i> militares: (a) Estrutura de um <i>phased array</i> utilizado num radar; b) cenário de aplicação no navio militar de um radar <i>phased array</i>	28
Figura 2.27 – <i>Phased arrays</i> aplicados a satélites comerciais.....	29
Figura 2.28 – Arquitetura do sistema para controlo do diagrama de radiação [33].	29
Figura 2.29 – Malha de alimentação com controlo de fase: (a) esquema ilustrativo; (b) implementado na prática [33].....	30
Figura 2.30 – Sistema final desenvolvido, de modo a realizar o controlo do diagrama de radiação [33]. ...	30
Figura 2.31 – Resultados do diagrama de radiação obtido para quando era efetuado controlo no azimute [33].	30
Figura 3.1 – Exemplo do formato da malha de elementos após o processo de segmentação no espaço tridimensional para os métodos numéricos: (a) métodos dos momentos; (b) método das diferenças finitas no domínio dos tempos; (c) método dos elementos finitos [34]	33

Figura 3.2 – Exemplo da divisão (segmentação) do domínio de modo a calcular a distribuição de corrente, utilizando o método dos momentos [33].	34
Figura 3.3 – Exemplo de um elemento originado através da segmentação e respetivas componentes de campo, para o método das diferenças finitas no domínio dos tempos [35].	35
Figura 3.4 – Forma dos elementos criados pelo processo de segmentação para o método dos elementos finitos: (a) elemento de 1ª ordem; (b) elemento de segunda ordem [37].	36
Figura 3.5 – Exemplo de um elemento criado para o espaço bidimensional: (a) elemento isolado; (b) elemento inserido na malha [36].	37
Figura 3.6 – Mapeamento de um elemento na sua posição original para a posição de referência [36].	38
Figura 3.7 – Interface principal da ferramenta Comsol.	40
Figura 3.8 – Distribuidor/divisor de potência 1:2 utilizado para realizar a simulação.	41
Figura 3.9 – Placa Duroid 5880 dimensionada no COMSOL.	42
(b) 43	
Figura 3.10 – Criação da pista de propagação entre a entrada e a saída: (a) apenas a pista da esquerda; (b) as duas pistas, depois de aplicar a operação <i>mirror</i> .	43
Figura 3.11 – Passagem a geometria do espaço bidimensional para o tridimensional: (a) apenas o domínio do sistema de interesse; (b) com a aplicação da fronteira de limite de simulação.	43
Figura 3.12 – Definição dos materiais da geometria: (a) definição da região da geometria ar (a lilás); (b) definição da região da geometria do substrato Duroid 5880.	44
Figura 3.13 – Definição das superfícies de contorno da geometria: (a) fronteira (contorno) que limita a área de simulação; (b) condutores perfeitamente elétricos.	44
Figura 3.14 - Definição das superfícies de contorno da geometria as portas de entrada e saída do sistema.	45
Figura 3.15 – Segmentação de todos os domínios da geometria (malha de tetraedros).	45
Figura 3.16 – Solução do problema, apresentando o comportamento do campo elétrico.	46
Figura 4.1 – Combinador/divisor de potência 1:4 sem desvio de fase: (a) implementado no COMSOL; (b) sistema construído.	50
Figura 4.2 - Combinador/ divisor de potência 1:4 com desvio de fase: (a) implementado no COMSOL; (b) construído laboratorialmente.	51
Figura 4.3 – Acoplador Híbrido implementado em linha impressa recorrendo à tecnologia <i>microstrip</i> [19].	52
Figura 4.4 – Simulação do acoplador híbrido implementado, quando é injetado sinal na porta 1.	53
Figura 4.5 – Exemplo de funcionamento de um <i>crossover</i> .	54
Figura 4.6 – Impedâncias das pistas que se implementou no <i>crossover</i> .	54
Figura 4.7 – Simulação do <i>Crossover</i> implementado: (a) percurso do sinal RF quando o mesmo é injetado na porta 1; (b) percurso do sinal RF quando o mesmo é injetado na porta 4.	55
Figura 4.8 - Simulação da pista de atraso com 45°.	56
Figura 4.9 – Simulação da matriz de Butler 4X4 implementada, com a propagação do sinal RF da entrada para as 4 saídas: (a) quando injetado sinal na porta 1 (1R); (b) quando injetado sinal na porta 2 (2L); (c) quando injetado sinal na porta 3 (2R); (d) quando injetado sinal na porta 4 (1L).	57
Figura 4.10 – Matriz de Butler construída em FR4.	57
Figura 4.11 – Exemplo de um esquemático de um deslocador de fase de linha comutada de 1 bit [13].	60
Figura 4.12 – Deslocador de fase de 1-bit com atraso de 180° com topologia de linha comutada: (a) simulado; (b) construído.	61
Figura 4.13 – Radial stubs em pista impressa: (a) colocado em série com a pista de polarização (b) colocada em paralelo com a pista de polarização [51, 52].	62
Figura 4.14 – Verificação da eficácia do radial <i>stub</i> no COMSOL: (a) numa pista de teste; (b) no circuito desenvolvido.	64
Figura 4.15 - Deslocador de fase de 1-bit com atraso de 180° com topologia de linha comutada já com os <i>stubs</i> (RF <i>choke</i>) e alterações no desenho das pistas.	64
Figura 4.16 - Deslocador de fase de 4-bit com topologia de linha comutada: (a) simulado; (b) construído.	65
Figura 4.17 - Deslocador de fase de 1-bit com atraso de 90° com topologia de linha comutada, isolado dos restantes bits de modo a detetar o possível erro: (a) simulação; (b) construído.	66

Figura 4.18 - Deslocador de fase de 4-bit com topologia de linha comutada implementado com díodos PIN, com nenhum dos percursos com comprimento de $\lambda/2$: (a) simulado; (b) construído.....	67
Figura 4.19 – Deslocador de fase de 1-bit com 180° de desfasamento de linha comutada implementado com HEMT SPDT, com ligação comum dos dois SPDT ao plano de massa.	72
Figura 4.20 - Deslocador de fase de 1-bit com topologia de linha comutada implementado com os HEMT SPDT: (a) simulado; (b) construído.	72
Figura 4.21 – Deslocador de fase de 2-bit com topologia de linha comutada implementado com os HEMT SPDT: (a) simulado; (b) construído.	73
Figura 4.22 - Deslocador de fase de 4-bit com topologia de linha comutada implementado com os HEMT SPDT: (a) simulado; (b) construído.	74
Figura 4.23 – Atenuador com topologia em T realizada em duas configurações distintas: (a) configuração 1 simulada; (b) configuração 2 simulada; (c) configuração 1 construído; (d) configuração 2 construído.....	76
Figura 4.24 – Retificação aplicada a configuração 2: (a) esquemático microstrip; (b) simulação.	77
Figura 4.25 - Atenuador com topologia em π : (a) simulado; (b) construído.	78
Figura 4.26 – Atenuador comutável com a topologia em π : (a) simulado; (b) construído.	78
Figura 4.27 – Atenuador variável com configuração em π , utilizando o HSMP-3816: (a) layout sugerido pelo fabricante [72]; (b) construído.	79
Figura 5.1 – Ilustração do desvio de fase no diagrama de radiação mediante as várias combinações de atrasos de fase nas quatro portas de saída.	82
Figura 5.2 – Antena monopolo para aplicações na banda de frequências ISM.	82
Figura 5.3 - Diagramas de radiação para uma antena do tipo monopolo: (a) horizontal; (b) vertical.	83
Figura 5.4 – Combinador/ divisor de potência 1:4 sem atraso entre portas, acoplado a quatro antenas do tipo monopolo.	83
Figura 5.5 – Diagramas de radiação para um combinador/ divisor de potência acoplado a quatro antenas do tipo monopolo: (a) teórico; (b) obtido experimentalmente.	84
Figura 5.6 - Combinador/ divisor de potência 1:4 com atraso de 45° entre portas, acoplado a quatro antenas do tipo monopolo.	85
Figura 5.7 - Diagramas de radiação para um combinador/ divisor de potência com atraso entre portas de 45° , acoplado a quatro antenas do tipo monopolo: (a) teórico; (b) obtido na prática.....	85
Figura 5.8 – Matriz de Butler 4X4 acoplada a 4 antenas do tipo monopolo.	86
Figura 5.9 – Diagrama de radiação originado quando é aplicado sinal na porta 1 da matriz de Butler: (a) teórico; (b) prático.	86
Figura 5.10 - Diagrama de radiação originado quando é aplicado sinal na porta 4 da matriz de Butler: (a) teórico; (b) prático.	87
Figura 5.11 - Diagrama de radiação originado quando é aplicado sinal na porta 2 da matriz de Butler: (a) teórico; (b) prático.	87
Figura 5.12 - Diagrama de radiação originado quando é aplicado sinal na porta 3 da matriz de Butler: (a) obtido através do COMSOL; (b) prático.	88
Figura 5.13 – Quatro deslocadores de fase de 4 bits acoplados a um combinador/ divisor de potência na entrada e na saída acoplados a 4 antenas do tipo monopolo: (a) em testes no analisador vetorial de redes; (b) em testes na camara anecoica.	89
Figura 5.14 – Diagrama de radiação obtido para quando deslocador de fase tem atrasos de 0° entre portas de saída: (a) teórico; (b) prático;.....	89
Figura 5.15 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de $22,5^\circ$ entre portas de saída: a) teórico; b) prático;.....	90
Figura 5.16 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de 45° entre portas de saída: (a) teórico; (b) prático;.....	90
Figura 5.17 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de $67,5^\circ$ entre portas de saída: (a) teórico; (b) prático;.....	91
Figura 5.18 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de 90° entre portas de saída: (a) teórico; (b) prático;.....	91

Figura 5.19 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de $112,5^\circ$ entre portas de saída: (a) teórico; (b) prático;.....	92
Figura A.1 - Interface do módulo RF do COMSOL Multiphysics.	106
Figura A.2 - Passos necessários antes de começar propriamente a desenvolver o sistema pretendido: (a) selecionar o espaço dimensional; (b) selecionar o tipo de física; (c) selecionar o tipo de estudo. ...	107
Figura A.3 - Opções para a manipulação da geometria: (a) desenho de sólidos; (b) operações booleanas, transformações e conversões sobre os sólidos; (c) dimensionamento do sólido.	108
Figura A.4 - Definição dos materiais: (a) opção de definir novo material ou de escolher de um material existente na livreria; (b) opção de escolha a nível da geometria a que se pretende aplicar o material; (c) materiais que estão disponíveis na livreria e os parâmetros físicos associados a esse material.....	109
Figura A.5 - Várias condições de contorno que podem ser aplicar aos vários domínios.	109
Figura A.6 - Definição da malha de análise: (a) escolha de elementos tetraédricos; (b) escolha da dimensão dos elementos, já com tamanhos pré-definidos.....	110
Figura A.7 - Definição do tamanho dos elementos da malha de análise, com o utilizador a definir o tamanho dos elementos.	110
Figura A.8 - Definição da gama de frequências de análise.	111
Figura A.9- Processo de simular o sistema desenvolvido: (a) opção Compute (b) indicação da memória física e virtual que a simulação do sistema requer e barra de progresso.	111
Figura A.10 – Menu de observação de resultados: (a) várias formas de verificar os resultados e manipulá-los; (b) opção de verificar o campo elétrico sobre os vários planos da geometria; (c) observação de parâmetros como por exemplo parâmetros S.	112
Figura C.1 - Tecnologia de fabricação <i>microstrip</i> [43]......	132
Figura C.2 - Descontinuidade do tipo brecha: (a) realizado em <i>microstrip</i> ; (b) circuito elétrico equivalente [17].	134
Figura C.3 - Efeito de franjas provocado pela descontinuidade do tipo brecha [73].	134
Figura C.4 - Descontinuidade do tipo canto: (a) realizado em <i>microstrip</i> ; (b) circuito elétrico equivalente [17].	135
Figura C.5 - Melhor forma de realizar a compensação da descontinuidade do tipo canto: (a) sem compensação da descontinuidade; (b) compensação arredondada na parte exterior da descontinuidade; (c) compensação com corte reto quer na parte exterior quer na parte interior da descontinuidade; (d) compensação arredondada com ambas as partes da descontinuidade; (e) compensação com recorte apenas na parte exterior da descontinuidade; (f) compensação com percentagem ótima da descontinuidade [74].	135
Figura C.6 - Descontinuidade do tipo degrau de impedância: (a) realizado em <i>microstrip</i> ; (b) circuito elétrico equivalente; efeito de franjas [17] [51].	136
Figura C.7 - Compensação da descontinuidade do tipo degrau de impedância: (a) através do desnível suave; (b) através de do desnível por múltiplos passos; (c) de forma abrupta [74].	136
Figura C.8 – Ângulo ideal do declive a aplicar de modo a realizar a compensação da descontinuidade em degrau [75].	137
Figura C.9 - Descontinuidade junção – T [17].	137
Figura C.10 - Compensação da descontinuidade junção T [51].	138
Figura C.11 - Ângulo ideal do recorte a aplicar de modo a realizar a compensação da descontinuidade junção -T [75].	138
Figura C.12 - Ligação ao plano de massa através de uma via perfurada [70].	139
Figura D.1 - Esquema do procedimento de testes e medidas.	140
Figura D.2 – Menu <i>Measure standards</i> , e respetivas <i>checkbox</i> para realização da calibração.	141
Figura D.3 – Carga utilizada para realizar a calibração do aparelho.	141
Figura D.4 – Procedimento efetuado para obtenção dos diagramas de radiação.	142
Figura D.5 – Curto circuito implementado através de um conector SMA, utilizado para afinar os cabos de medições.	143
Figura D.6 – Cabos construídos de modo a realizar as medições para uma frequência central de operação de 2,42 GHz, no analisador vetorial de redes.	144

Figura E.1 – Primeiro desenho - deslocador de fase de 1-bit sem aplicação de qualquer compensação de descontinuidade.	145
Figura E.2 – Segundo desenho – deslocador de 1-bit com aplicação da compensação da descontinuidade de canto.....	145
Figura E.3 – Terceiro desenho – deslocador de fase de 1-bit, com afastamento entre a pista de referência e a pista de atraso.....	146
Figura E.4 – Quarto desenho – deslocador de fase de 1-bit com todas as compensações que se achou apropriadas realizar de modo a obter o melhor desempenho possível.	146
Figura F.1 – Agrupamento linear de 4 antenas monopolo, espaçadas de $0,5\lambda$ de modo, inseridas dentro de uma esfera que indica os limites de simulação do diagrama de radiação (<i>Far-Field</i>).	148
Figura F.2 – Indicação na geometria de onde foram aplicadas as três malhas de segmentação distintas.	149
Figura F.3 – Diagramas de radiação obtidos em COMSOL: (a) polar em escala linear; (b) em 3D.....	149
Figura G.1 – Diagrama de radiação obtido para um agrupamento de 4 antenas monopolo, espaçadas entre si de $0,4\lambda$, para um desvio de fase de $67,5^\circ$ (escala linear).	150
Figura G.2 - Diagrama de radiação obtido para um agrupamento de 4 antenas monopolo, espaçadas entre si de $0,5\lambda$, para um desvio de fase de $67,5^\circ$ (escala linear).	150
Figura G.3 - Diagrama de radiação obtido para um agrupamento de 4 antenas monopolo, espaçadas entre si de $0,6\lambda$, para um desvio de fase de $67,5^\circ$ (escala linear).	151

Índice de Tabelas

Tabela 2.1 – Níveis de deslocamento de fase possível para um deslocador de fase digital de 4-bit.....	9
Tabela 2.2 – Comparação dos parâmetros mais relevantes dos componentes de ferrite e dos díodos PIN [22].	17
Tabela 3.1 – Comparação de alguns parâmetros relevantes de cada um dos métodos numéricos [35]. ...	39
Tabela 3.2 – Valores obtidos na simulação do combinador/divisor de potência 1X2 no Comsol.....	46
Tabela 4.1 – Resultados dos testes efetuados ao combinador/ divisor de potência 1:4 sem desvio de fase, simulado e construído.	50
Tabela 4.2 - Resultados dos testes efetuados ao combinador/ divisor de potência 1:4 com desvio de fase, simulado e construído.	51
Tabela 4.3 – Resultados dos testes efetuados ao acoplador híbrido.....	53
Tabela 4.4 - Resultados dos testes efetuados ao <i>crossover</i> simulado.	55
Tabela 4.5 - Resultados dos testes efetuados à pista de atraso.....	56
Tabela 4.6 - Resultados dos testes efetuados à matriz de Butler quer em simulação quer ao sistema construído experimentalmente, quando se pretende obter um dos quatro feixes 1R, 2L, 2R ou 1L.	58
Tabela 4.7 – Resultados de trabalhos onde foi implementada uma matriz de Butler 4X4.	59
Tabela 4.8 – Resultados dos testes efetuados ao deslocador de fase de 1-bit com atraso de 180° com topologia de linha comutada, simulado e construído.	62
Tabela 4.9 - Resultados dos testes efetuados ao deslocador de fase de 1-bit com atraso de 180° com topologia de linha comutada já com os <i>stubs</i> radiais (RF <i>chokes</i>) e alterações no desenho das pistas.	64
Tabela 4.10 - Resultados dos testes efetuados ao deslocador de fase de 4-bit com topologia de linha comutada, simulado e construído.....	65
Tabela 4.11 - Resultados dos testes efetuados ao deslocador de fase de 1-bit com atraso de 90° com topologia de linha comutada.....	66
Tabela 4.12 - Resultados dos testes efetuados ao deslocador de fase de 4-bit com topologia de linha comutada, simulação e construído.	67
Tabela 4.13 - Resultados de trabalhos onde foram implementados deslocadores de fase com vários bits, para várias frequências, diversas topologias, e implementados em placa ou em circuito integrado.	68
Tabela 4.14 – Parâmetros principais de deslocadores de fase de 4 e 6 bits digitais comerciais.	69
Tabela 4.15 - Resultados dos testes efetuados ao deslocador de fase de 1-bit com topologia de linha comutada, implementado com os HEMT SPDT, quer simulado quer construído.	73
Tabela 4.16 - Resultados dos testes efetuados ao deslocador de fase de 2-bit com topologia de linha comutada, implementado com os HEMT SPDT, quer simulado quer construído.	73
Tabela 4.17 – Resultados dos testes efetuados ao atenuador com topologia em T simulado e construído, em duas configurações de resistências distintas.	76
Tabela 4.18 - Resultados dos testes efetuados ao atenuador com topologia em π simulado e construído.....	78
Tabela 4.19 – Valores do componentes necessários à implementação do atenuador variável com configuração em π (HSMP-3816) [72].....	79
Tabela 4.20 - Resultados dos testes efetuados ao atenuador variável com topologia em π - HSMP-3816 construído.....	80
Tabela 5.1 – Combinações de atrasos de fase nas quatro portas de saída dos sistemas implementados de modo a que se obtenha um desvio de fase do lóbulo principal do diagrama de radiação.....	81
Tabela 5.2 - Resultados teóricos, obtidos em simulação e obtidos na prática para a matriz de Butler 4X4.....	88
Tabela 5.3 - Resultados teóricos, obtidos em simulação e na prática para os quatro deslocadores de fase de 4 bits acoplados a um combinador/ divisor de potência na entrada e a quatro antenas monopolo à saída.....	92
Tabela C1 - Parâmetros das placas com substrato em Duroid 5880 e FR4.	132
Tabela E.1 – Resultados obtidos ao longo de todo o processo de otimização do desenho das pistas do deslocador de fase de 1-bit.	147

Lista de Acrónimos

ADC	<i>Analog-to-Digital Converter</i>
ADS	<i>Advanced Design Systems</i>
CEM	<i>Computational Electromagnetics</i>
CFN	<i>Control Feed Network</i>
CPW	<i>Coplanar Waveguide</i>
DOA	<i>Direction-of-Arrival</i>
DPDT	<i>Double-Pole Double Throw</i>
EM	<i>Electromagnetic</i>
FET	<i>Field-Effect Transistor</i>
FDTD	<i>Finite-Difference Time-Domain</i>
FEM	<i>Finite Element Method</i>
HEMT	<i>High-Electron-Mobility Transistor</i>
ISM	<i>Industrial Scientific and Medical</i>
MEMS	<i>Micro-Electromechanical Systems</i>
MIMO	<i>Multiple Input Multiple Output</i>
MMIC	<i>Monolithic Microwave and Millimeter-Wave Integrated Circuits</i>
MoM	<i>Method of Moments</i>
pHEMT	<i>Pseudomorphic HEMT</i>
PIN	<i>Positive Intrinsic Negative</i>
PML	<i>Perfectly Matched Layer</i>
RF	<i>Radio Frequency</i>
RFC	<i>Radio Frequency Choke</i>
RFID	<i>Radio Frequency Identification</i>
SDMA	<i>Spatial Division Medium Access</i>
SINR	<i>Signal-to-Noise Ratio</i>
SLL	<i>Side Lobe Level</i>
SPDT	<i>Single-Pole Double Throw</i>
SPST	<i>Single-Pole Single Throw</i>
UHF	<i>Ultra High Frequency</i>

1. Introdução

Nas últimas décadas verificou-se uma grande evolução nos sistemas de comunicação móveis e sem fios. A evolução ocorreu igualmente nos dispositivos móveis que fazem uso deste tipo de comunicações, como é o caso dos *smartphones* e dos *tablets*, sendo que estes dispositivos têm ao seu dispor serviços que levam a um aumento exponencial do tráfego de dados gerado na rede.

A enorme demanda de dados, por parte dos consumidores, leva a que os transdutores tenham que evoluir e utilizar novas tecnologias que permitam fazer face ao congestionamento da rede. A combinação entre os sistemas MIMO (*Multiple Input Multiple Output*) e o *Beamforming* (controlo do feixe de radiação) promete ser a solução para aumentar o tráfego de dados.

O *hardware* utilizado para garantir o controlo do feixe de radiação, nomeadamente no que respeita aos circuitos de RF (Rádio Frequência), ainda é complexo de desenvolver e caro de implementar.

Neste capítulo, pretende-se apresentar a motivação e objetivos aos quais se propôs atingir com esta dissertação de mestrado. Será igualmente referida a organização estrutural da mesma.

1.1. Motivação

Com a demanda exponencial por tráfego de dados torna-se urgente evoluir os sistemas de telecomunicações de modo a que permitam combater os congestionamentos na rede de dados. Os sistemas de radares e satélites há décadas que utilizam controlo do feixe de radiação de modo a melhorar a eficiência. Urge, agora, transportar algumas das técnicas utilizadas para o universo comercial. Essa transposição permitirá criar *hardware* de apoio, por exemplo aos sistemas MIMO, com a premissa de serem baratos, terem reduzidas dimensões e baixas perdas.

O controlo do diagrama de radiação permitirá aumentar a eficiência do sistema, através do aumento do alcance e da capacidade do canal, bem como mitigar a interferência e baixar os consumos de potência no recetor do dispositivo móvel, reduzindo a necessidade de aumentar a potência para poder captar melhor o sinal proveniente do emissor. O controlo do diagrama de radiação implica a utilização de circuitos RF que direcionem o feixe principal numa determinada direção de interesse e criem nulos nas direções dos interferidores. É, então, necessário ter-se à disposição deslocadores de fase (*phase shifters*) e atenuadores, bem como uma eficiente malha de alimentação para os componentes mencionados anteriormente, de modo a obter os resultados pretendidos.

A dificuldade que tem ocorrido no desenvolvimento desta área advém da implementação de circuitos para alta frequência, cuja complexidade é muito superior à dos circuitos de baixa frequência. Os custos dos materiais são outra barreira à evolução destes sistemas. A principal motivação desta dissertação é estudar as soluções, entre as várias topologias de circuitos existentes, que permitam o controlo do diagrama de radiação, procurando encontrar a topologia que garanta melhor controlo do diagrama de radiação, melhor eficiência, custos reduzidos e com menores perdas possíveis.

1.2. Objetivos

Com a relevância que o controlo do diagrama de radiação de um agrupamento de antenas assumirá no futuro dos sistemas de telecomunicações, esta dissertação visa o estudo de circuitos RF, tais como malhas de alimentação e sistemas mais adequados para o controlo do diagrama de radiação de um agrupamento de antenas. A frequência de operação será a de 2,42 GHz, ou seja, na banda ISM (*Industrial, Scientific and Medical*).

Inicialmente estudar-se-á os sistemas que permitem o controlo do diagrama de radiação de um agrupamento de antenas, nomeadamente deslocadores de fase, atenuadores e malhas de alimentação (combinadores/divisores de potência). Serão, igualmente, estudados os componentes ativos e passivos que permitem realizar esse mesmo controlo, tais como díodos PIN (Positive Intrinsic Negative), HEMT (High Electron-Mobility Transistor), FET (Field-Effect Transistor), etc. Será feito um enquadramento dos sistemas de controlo do diagrama de radiação na área das antenas inteligentes, e descritas algumas aplicações.

Numa segunda fase, vários dos sistemas estudados serão testados com o auxílio de uma ferramenta de simulação eletromagnética, consistindo no módulo RF do *software* COMSOL. A simulação permitirá auxiliar a implementação e testes dos circuitos para obtenção do controlo do diagrama de radiação.

Depois de estudadas as melhores soluções, serão desenvolvidas e testadas as mesmas, escolhendo-se posteriormente as mais eficientes para que numa última fase sejam utilizadas na implementação de um agrupamento de antenas, de modo a obter o controlo dos diagramas de radiação.

1.3. Estrutura da dissertação

Ao longo da dissertação serão apresentados seis capítulos, começando pela motivação e objetivos que se pretende alcançar.

O segundo capítulo consistirá em apresentar o estado da arte dos circuitos de altas frequências e componentes que permitem o controlo do diagrama de radiação, bem como de sistemas existentes que já os utilizam.

No terceiro é apresentado o *software* de apoio ao estudo dos circuitos RF, tendo-se optado pelo COMSOL, que permite total liberdade de desenvolvimento quer na geometria do sistema, mas principalmente na manipulação das equações de estudo.

No quarto capítulo será apresentada a implementação dos sistemas estudados no segundo capítulo, desenvolvendo várias soluções com auxílio do *software*. Serão comparados os resultados obtidos com outros trabalhos e sistemas comerciais, bem como escolhidas as melhores soluções para utilização no quinto capítulo.

O quinto capítulo consiste em testar as melhores soluções, através da implementação de um agrupamento de antenas, analisando os diagramas de radiação, e avaliando o controlo do feixe através dos circuitos implementados.

No sexto e último capítulo serão apresentadas as conclusões finais da realização da dissertação bem como serão apresentadas algumas considerações a serem propostas em trabalhos futuros.

2. Controlo do diagrama de radiação

Pretende-se com este capítulo analisar e discutir o que já foi realizado até à data, no que concerne ao controlo do diagrama de radiação de um agrupamento de antenas, abordando assim os sistemas mais populares. Será dado ênfase às necessidades que originaram o controlo do diagrama de radiação, nomeadamente a sua importância na área das antenas inteligentes. Serão, por fim, identificadas várias áreas de aplicação que já fazem uso desta tecnologia.

2.1 Necessidade do controlo do diagrama de radiação

Várias previsões apontam para que até 2020 as comunicações móveis e sem fios tenham um aumento estimado de mil vezes mais tráfego de dados, do que aquele que é gerado atualmente [1, 2, 3]. O aumento exponencial advém de dispositivos móveis, como por exemplo, *smartphones*, *tablets* e computadores portáteis, utilizados atualmente. Futuras tecnologias, como câmaras de vídeo vigilância, sistemas automáticos, veículos, redes sensores sem fios, etc, irão incrementar ainda mais o tráfego de dados e conseqüente ocupação do espectro. A figura 2.1 ilustra um cenário da futura rede 5G, onde um conjunto de tecnologias distintas, ou seja, com diferentes requisitos e utilizações, fazem uso de uma rede comum cuja gama de frequências variará entre os 300 MHz e os 300 GHz [3].

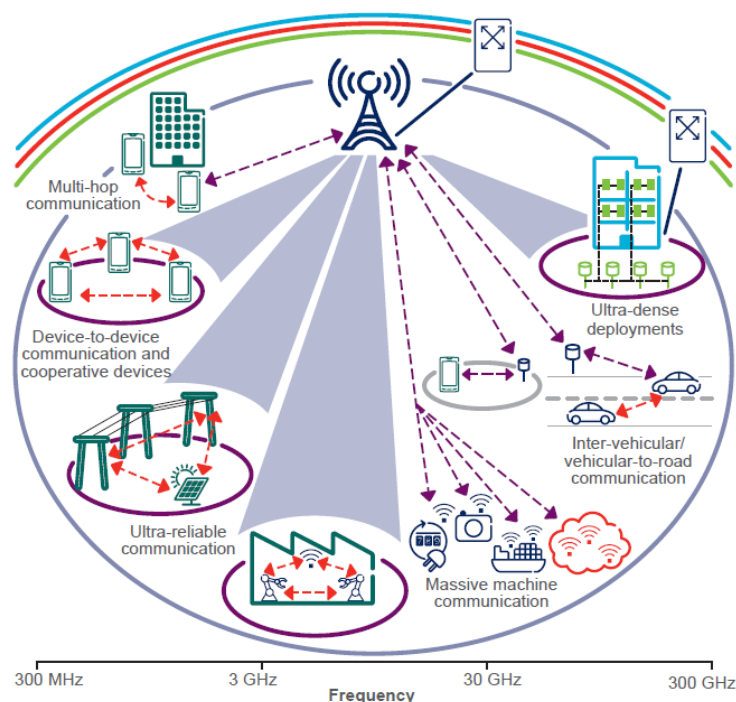


Figura 2.1 – Dispositivos que estarão integrados na rede 5G até 2020 [3].

Em 2020, estima-se que 500 mil milhões de dispositivos vão estar ligados à rede sem fios, o que trará enormes desafios, nomeadamente no que diz respeito ao congestionamento da rede de dados [3]. Segundo a Ericsson, o uso de Antenas Inteligentes fará parte da solução, onde agrupamentos de antenas com elevado número

de elementos radiantes permitirão criar vários feixes de radiação adaptativos, que lidarão melhor com o exponencial aumento de tráfego [3].

2.1.1 Antenas Inteligentes

As antenas inteligentes são agrupamentos de antenas que variam de forma dinâmica o seu diagrama de radiação, conforme a alteração do ambiente em que se inserem, utilizando para tal sofisticados algoritmos em conjunto com *hardware* [4].

Um caso de sucesso na aplicação de antenas inteligentes são os sistemas MIMO (*Multiple Input Multiple Output*), que combinam técnicas de diversidade espacial com técnicas de formatação do feixe. No primeiro caso são utilizadas técnicas de acesso SDMA (*Spatial Division Medium Access*) que permitem criar filtragem (multiplexagem) espacial, fazendo com que os sinais se adaptem mediante variações ocorridas no meio. Neste caso, as antenas devem estar separadas de vários comprimentos de onda de modo a descorrelacionar os sinais. No segundo caso são utilizados agrupamentos de antenas com controlo do diagrama de radiação, conhecidas como *phased arrays* [4].

Os *phased arrays* permitem controlar o diagrama de radiação mediante diversos procedimentos, como, por exemplo, o tipo de elementos radiantes utilizados, a distância entre esses elementos, as topologias geométricas bem como as amplitudes e fases das correntes de cada um dos elementos do agrupamento[4].

As antenas inteligentes incluem algoritmos, técnicas de acesso, hardware, etc. Esta dissertação trata essencialmente de soluções de hardware.

2.1.2 Vantagens e desvantagens de controlar o diagrama de radiação

O direcionar do feixe principal na direção de interesse permite aumentar o número de utilizadores. Este resultado é alcançado pelo efeito de filtragem espacial, em que a energia é transmitida apenas para determinadas direções do espaço. A criação de nulos na direção dos interferidores permite lidar melhor com as interferências [4].

A localização espacial do utilizador, ou seja, a direção e a distância que o utilizador está da antena emissora, permite criar novos serviços como, por exemplo, serviços de emergência médica ou novos serviços de geo-posicionamento, sem recorrer a satélites.

No que diz respeito às desvantagens, estes sistemas apresentam uma maior complexidade, maior custo, bem como maiores dimensões, face às tradicionais antenas que são atualmente utilizadas nos sistemas de comunicação sem fios.

2.2 Técnicas de controlo do diagrama de radiação

A formatação do feixe de radiação (*beamforming*) é a capacidade de um agrupamento de antenas em focar a energia radiada pelo mesmo numa determinada direção de interesse no espaço [5]. Existem duas formas de realizar a formatação do feixe, sendo conhecidas por *beamforming* analógico, onde se insere os *phased arrays* ou *beamforming* digital [6].

2.2.1 Beamforming analógico

O *beamforming* analógico é uma técnica que permite controlar quer a fase e a amplitude da corrente de excitação que chega aos elementos radiantes, com auxílio de dispositivos que operam diretamente nas frequências rádio (RF) [6]. Os dispositivos que permitem realizar o controlo da fase e da potência do sinal são os deslocadores de fase e os atenuadores, respetivamente. No caso de apenas se realizar controlo da fase, então está-se perante um *phased array*, como apresentado na figura 2.2(a). O seu circuito é constituído apenas por combinadores/divisores de potência e deslocadores de fase. Na figura 2.2(b) está um outro circuito que apenas recorre à alteração da fase e que permite criar múltiplos feixes, dando-se o nome de matriz Butler. Estes métodos serão amplamente discutidos nos próximos capítulos.

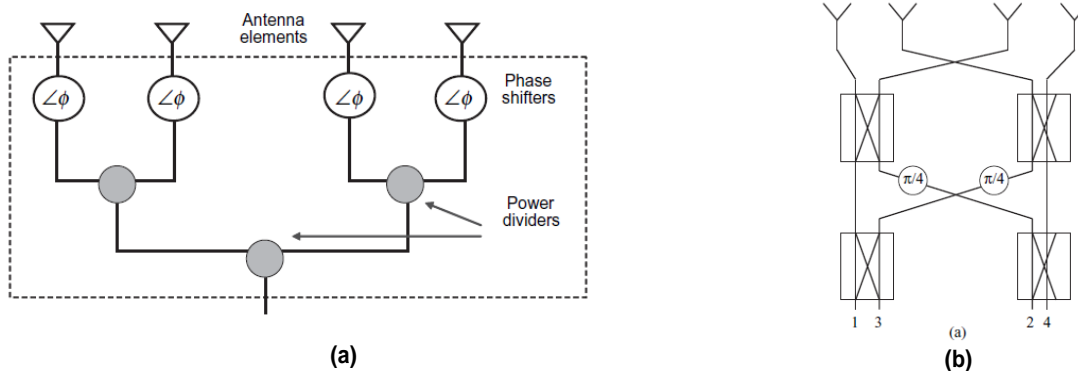


Figura 2.2 – Deslocadores de fase: (a) *phased array*; (b) matriz de Butler [5].

2.2.2 Beamforming digital

O *beamforming* digital permite igualmente realizar controlo sobre a fase e a amplitude do sinal. Contudo, neste caso uma antena é vista como um dispositivo que permite converter sinais espaço-temporais em sinais estritamente temporais, sendo realizada a transformação do sinal RF captado pelas antenas em dois canais digitais em banda base, um em fase e outro em quadratura [6]. De modo a saber qual a direção do sinal recebido recorre-se à aplicação de técnicas de processamento digital de sinal juntamente com algoritmos que permitem a extração espacial da informação [6]. Na figura 2.3 pode-se observar o diagrama de blocos típico de um recetor que utiliza *beamforming* digital.

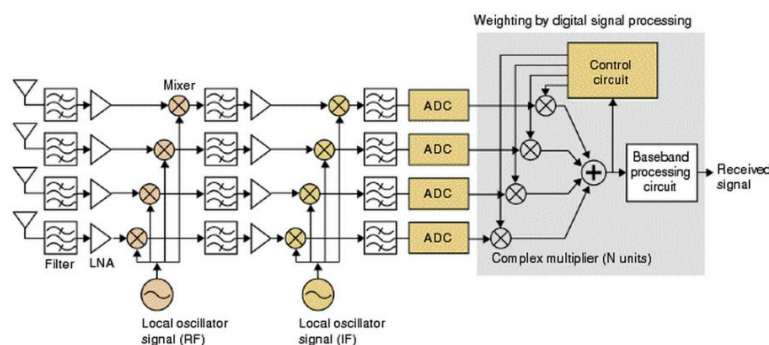


Figura 2.3 – Diagrama de blocos de um sistema de *Beamforming* Digital [7].

O *beamforming* digital tem algumas vantagens sobre o *beamforming* analógico, desde o controlo programável do diagrama de radiação, passando por métodos de determinação do ângulo de chegada do sinal (DOA – *Direction-of-Arrival*), deslocamento de feixe de forma adaptativa e criação de nulos em posições de interesse de modo a melhorar o SINR (*Signal-to-noise ratio*) [8]

Contudo, o desempenho do *beamforming* digital está condicionado à correta conversão do sinal analógico para o regime digital, sendo precisamente nesta etapa que residem os desafios. Para alcançar uma conversão correta para o regime digital são necessários conversores de frequência, filtros, amplificadores de potência, bem como ADC (*Analog-to-Digital Converter*) [6]. Torna-se claro que apesar das vantagens que o *beamforming* digital permite, o facto de se utilizar tanto *hardware* complexo apresenta vários problemas, desde o elevado custo do mesmo, passando pelos consumos de potência [6]. A atribuição de pesos e combinações dos sinais no domínio digital, bem como múltiplas entradas para o processador, constituem igualmente um problema, fazendo com que o *beamforming* digital tenha elevados erros de quantização, baixa gama dinâmica e baixa gama de supressão, bem como um baixo tráfego de dados [9].

A solução para alguns problemas colocados pelo *beamforming* digital passa por uma junção com o *beamforming* analógico, ou seja, numa fase primária, ou seja, disponível no estágio RF das antenas adaptativas [8, 10]. Esta solução traduz-se numa rejeição da interferência mais cedo, bem como numa drástica redução dos consumos e custos de fabricação, uma vez que deixa de ser necessário utilizar um sistema rádio para cada um dos elementos radiantes do agrupamento de antenas.

É devido às vantagens que o *beamforming* analógico proporciona que o estudo desta dissertação irá incidir sobre o mesmo, estudando-se os vários circuitos que o permitem realizar.

2.3 Formas de implementar o deslocamento de fase

Como referido anteriormente, as antenas inteligentes permitem realizar o ajuste do feixe de radiação, no contexto do ruído, interferências do canal, bem como mitigação dos efeitos multipercurso.

Normalmente, cada um dos elementos radiantes do agrupamento de antenas está associado a um deslocador de fase, como verificado na figura 2.4, a corrente nos elementos é dada por

$$c(x) = C e^{jn\alpha} \quad (2.1)$$

com C a amplitude do sinal, n a posição da antena no agrupamento de antenas e α a fase progressiva que permite o controlo da direcção do feixe de radiação.

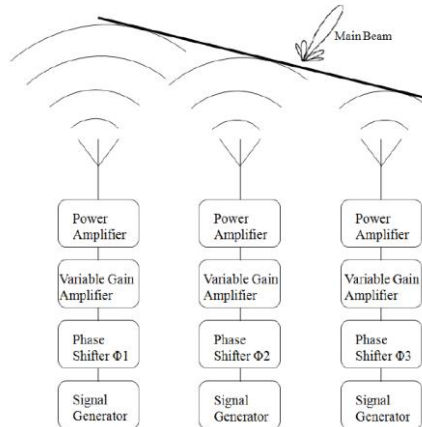


Figura 2.4 – Blocos constituintes de um sistema que permite o controlo do diagrama de radiação [4].

Existem duas categorias de agrupamentos que permitem o controlo do diagrama de radiação, agrupamentos de feixe comutado e agrupamentos adaptativos [4].

2.3.1 Agrupamentos de feixe comutado

Os agrupamentos de feixe comutado são constituídos por um número fixo de elementos radiantes alimentados de modo a contemplarem feixes de radiação pré-definidos e que permitem formar múltiplos feixes fixos de radiação em várias direções [4]. Quando o sistema deteta uma intensidade de sinal numa dada direção, escolhe o feixe mais adequado, de modo a direcioná-lo para o utilizador, como ilustrado na figura 2.5(a) [11]. Na figura 2.5(b) pode-se verificar a intensidade do sinal na direção de interesse (verde) e na direção dos interferidores (amarelo). Pode-se observar que com feixes pré-definidos nem sempre se consegue a melhor orientação do feixe principal e eliminação dos sinais provenientes dos interferidores, podendo resultar num baixo desempenho do sistema [11].

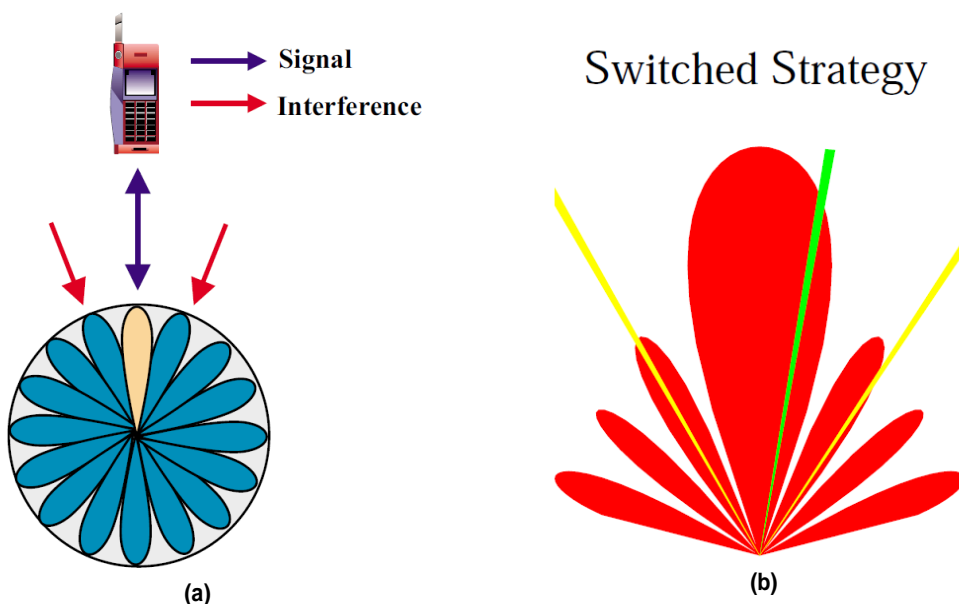


Figura 2.5 – Comutação do feixe: (a) capacidade de lidar com a interferência; (b) precisão na formatação do feixe [11].

2.3.2 Agrupamentos adaptativos

Os agrupamentos adaptativos são um sistema mais avançado que o sistema de feixe comutado, uma vez que utilizam uma variedade de algoritmos de pré-processamento de sinal [4]. Estes sistemas permitem localizar e seguir vários utilizadores, bem como minimizar a interferência através da criação de nulos na direção dos interferidores, como ilustrado na figura 2.6(a) [11]. Na figura 2.6(b) pode-se verificar o desempenho do sinal na direção de interesse (verde) e na direção dos interferidores (amarelo), com controlo adaptativo do feixe de radiação [11].

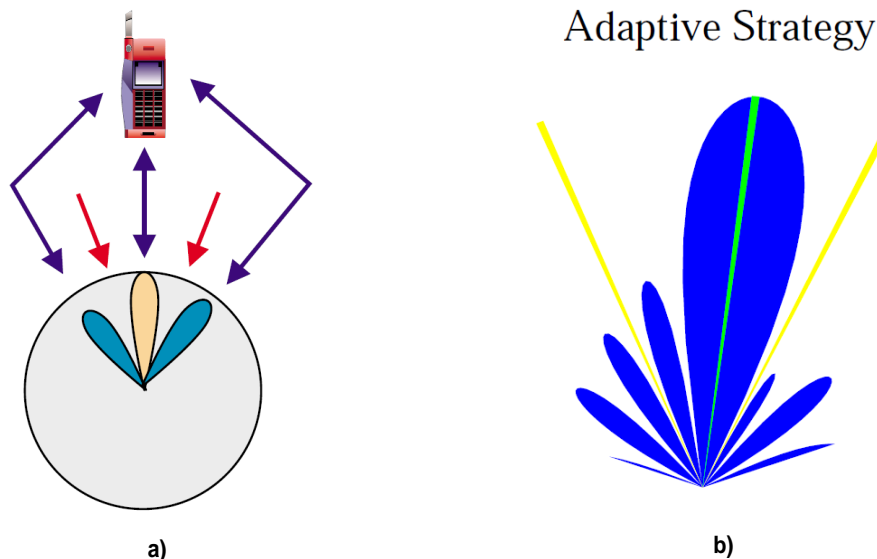


Figura 2.6 – Agrupamentos adaptativos: (a) capacidade de lidar com a interferência; (b) precisão na formatação do feixe [12].

Em termos de ganho, ambos os sistemas, quando na presença de baixas interferências, comportam-se de forma semelhante aos tradicionais sistemas de comunicação implementados atualmente como é o caso dos sistemas setorizados. Mas quando se trata de lidar com muita interferência o sistema adaptativo apresenta melhor desempenho [4].

2.4 Deslocadores de fase

Os deslocadores de fase (*phase shifters*) são componentes cruciais em aplicações de rádio frequência, visto que podem ser utilizados para realizar, de forma mecânica (pouco usual) ou de forma eletrónica, o desvio da fase do feixe principal de um diagrama de radiação, desde os 0° até 360° [12].

Este dispositivo é constituído por duas portas, uma de entrada e uma de saída, sendo introduzido um desvio de fase na saída do sinal em relação à sua entrada mediante um sinal de controlo [13]. O deslocamento de fase do sinal RF que se está a propagar numa linha de transmissão com comprimento, l , é dado por [14],

$$\phi = \beta l = \sqrt{\epsilon_e} \beta_0 l = \sqrt{\epsilon_e} \frac{2\pi f l}{c} \quad (2.2)$$

onde f é a frequência, ε_e é a permissividade efetiva do meio onde se propaga a onda, e c é a velocidade da luz no meio [14].

Existem dois tipos de deslocadores de fase que podem ser implementados, os analógicos e os digitais. Considera-se que um deslocador de fase é do tipo analógico quando permite que se obtenha um ajuste contínuo da fase, permitindo obter um valor arbitrário de deslocamento de fase [13]. Tal é feito através do controlo de uma tensão contínua, garantido assim um ajuste mais preciso da fase. Já um deslocador de fase digital tem um determinado número de fases pré-definidas e não consegue fornecer um valor arbitrário de desvio de fase. A quantidade discreta de valores de fase é conhecida igualmente por bits. Por exemplo, um deslocador de fase de 4 bits tem uma gama de valores discretos, 22,5°, 45°, 90° e 180°, permitindo criar os estados de variação de fase observados na tabela 2.1 [13, 16].

Tabela 2.1 – Níveis de deslocamento de fase possível para um deslocador de fase digital de 4-bit.

Phase State	Bit 1	Bit 2	Bit 3	Bit 4	Phase Shift (degrees)
1	0	0	0	0	0°
2	1	0	0	0	22.5°
3	0	1	0	0	45°
4	1	1	0	0	67.5°
5	0	0	1	0	90°
6	1	0	1	0	112.5°
7	0	1	1	0	135°
8	1	1	1	0	157.5°
9	0	0	0	1	180°
10	1	0	0	1	202.5°
11	0	1	0	1	225°
12	1	1	0	1	247.5°
13	0	0	1	1	270°
14	1	0	1	1	292.5°
15	0	1	1	1	315°
16	1	1	1	1	337.5°

Existem alguns requisitos que devem ser considerados aquando do desenvolvimento de um deslocador de fase [12, 14]:

- Deverá ser preciso no ajuste da fase e amplitude;
- Capaz de mudar a fase em poucos microssegundos;
- Garantir pouca variação na amplitude, quando o sinal transita entre as várias fases;
- Não limitar a largura de banda do sistema para o qual é projetado;
- Ter a menor atenuação possível;
- Insensível a variações de temperatura;
- Não provocar desadaptações no sistema;
- Reduzido volume e baixo peso;
- Baixo custo.

Os deslocadores de fase digitais são geralmente constituídos por componentes ativos como díodos PIN, FET, HEMT, ou Micro-Electromechanical Systems (MEMS) [15], sendo posteriormente abordados nas secções seguintes.

Quando são utilizados componentes semicondutores, existem duas formas de implementação de deslocadores de fase, podendo ser do tipo refletivo ou do tipo transmissão. Os deslocadores de fase do tipo refletivo têm apenas uma porta, sendo o controlo da fase feito sobre o sinal refletido. Contudo, não é uma tecnologia muito utilizada devido à complexidade da mesma. Os deslocadores de fase do tipo transmissão são mais simples de implementar do que os refletivos, sendo que a mudança de fase ocorre com a variação do comprimento da pista ou da reatância da mesma. Nos deslocadores de fase do tipo transmissão existem várias topologias de implementação, sendo elas a linha comutada, *linha carregada*, *passa-alto/passa-baixo*, fase refletida, deslocador de fase de ferrite, matriz de Butler e Matriz de Blass [13].

Em seguida passar-se-á a descrever cada uma das topologias mencionadas anteriormente.

2.4.1 Topologia linha comutada

Os deslocadores de fase mais populares são os da topologia linha comutada (*switched-line*). Esta topologia permite que se comute entre dois percursos (linhas de transmissão) com comprimentos diferentes. Nas figuras 2.7(a) e (b) pode-se observar dois esquemas que utilizam a topologia *switched-line*, o primeiro recorrendo a díodos PIN individuais como elementos comutáveis e o segundo recorrendo a díodos PIN com montagem SPDT [15, 17].

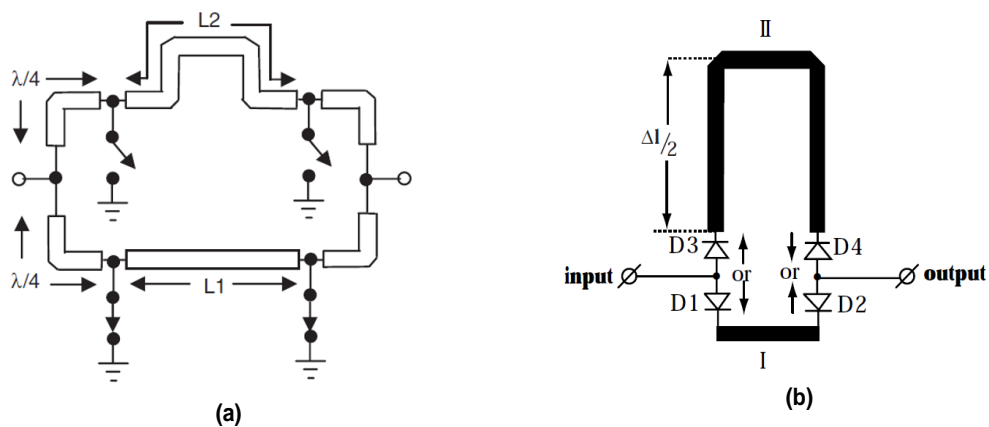


Figura 2.7 – Deslocador de fase de linha comutada: (a) construído com comutadores individuais; (b) construído com díodos PIN SPDT [15,17].

Nas figuras 2.7(a) e (b) observam-se a existência de dois percursos, L1 e L2, sendo os mesmos denominados de percurso de referência e percurso de atraso, respetivamente [13]. Quando se pretende que o sinal não sofra um atraso à saída do deslocador de fase, então o mesmo deverá seguir o percurso L1, estando o mesmo dimensionado para que o deslocamento de fase seja de 0° , ou seja, a referência [13]. Quando é pretendido que o sinal sofra um deslocamento de fase diferente de 0° então deverá seguir pelo percurso mais longo, L2. O sinal ao transitar pelo percurso mais longo, L2, é adicionado um atraso na fase, sendo o mesmo dado por [13],

$$\Delta\phi = \beta\Delta l \quad (2.3)$$

onde $\beta = 2\pi/\lambda$ é a constante de propagação e a diferença entre percursos é, $\Delta l = l_2 - l_1$ [13].

Para realizar a comutação entre os dois percursos, geralmente, utilizam-se díodos PIN, transístores HEMT e MEMS [15].

Na figura 2.7(b) verificou-se que caso seja pretendido seguir o percurso de referência os díodos PIN D1 e D2 que compõe o SPDT de entrada e de saída, respetivamente, deverão estar ativos. Quando se pretende seguir o percurso de atraso os díodos que deverão estar ativos serão os díodos D3 e D4 [17].

Na figura 2.8 está representado o esquema básico de um deslocador de fase de 4bits, sendo constituído por 4 deslocadores de fase de 1 bit em cascata, cada um com comprimento do percurso de atraso distinto dos restantes [17].

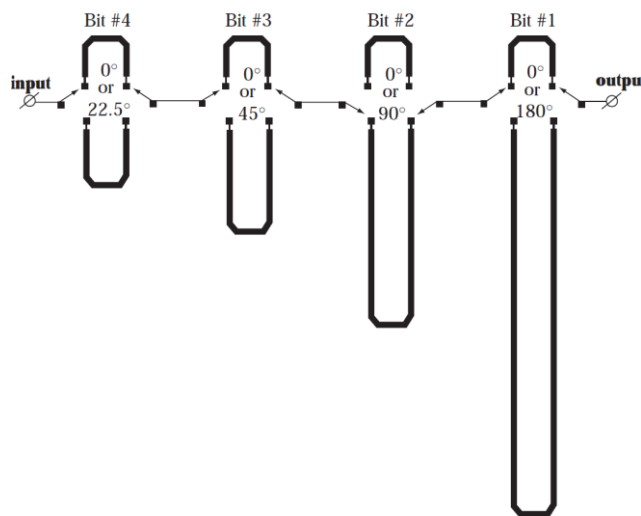


Figura 2.8 – Esquema de um deslocador de fase, com topologia de linha comutada de 4bit [18].

Para n estágios de mudança de fase até φ_{max} graus, o mais pequeno incremento de fase é dado por [17]

$$\Delta\varphi = \frac{\varphi_{max}}{2^n} \quad (2.4)$$

A desvantagem dos deslocadores de fase multibit em cascata é a grande variação nas perdas por retorno, sendo também que um maior número de bits reflete-se numa maior perda por inserção bem como numa acumulação do erro de fase [17].

É possível mitigar os erros de fase, nesta topologia de deslocadores de fase, garantindo que se tem um isolamento por parte dos componentes comutadores quando o sinal não passa pelo percurso pretendido [17]. Uma outra preocupação que deverá estar patente no desenvolvimento desta topologia de deslocadores de fase é a de que para prevenir ressonâncias, devido ao percurso OFF (percurso no qual não está a transitar o sinal no momento da comutação), os percursos não deverão ter comprimentos múltiplos de $\lambda/2$ [17].

A topologia de linha comutada desde logo apresenta várias vantagens, como as deslocamentos de fase estarem unicamente dependentes dos comprimentos dos percursos, sendo muito estável ao longo do tempo e das variações na temperatura [18]. É simples de implementar, bem como é fácil aumentar os passos de desvio de fase, bastando para tal colocar vários bits de deslocadores de fase em cascata [18]. Causa baixas distorções no sinal, uma vez que é de banda larga, é recíproco, ou seja, funciona igualmente na emissão e na receção [18]. Por fim, aquela que é talvez a mais importante é que, caso exista degradação do desempenho no que respeita a perdas por inserção, tais não afetarão o desvio de fase [18].

A topologia de linha comutada apresenta igualmente algumas desvantagens, tais como as grandes perdas introduzidas pelos elementos comutadores bem como pelo facto de utilizar dois percursos, com tamanhos distintos, fazendo com que valores de amplitude não sejam balanceados [18]. Caso ocorra desadaptações no sistema, poderão afetar a resolução da fase e a precisão da mesma [17].

2.4.2 Topologia de linha carregada

Um deslocador de fase com topologia de linha carregada (*Loaded-line*) é usualmente, utilizado quando se pretende desvios de fase pequenos, no máximo 45° [15].

A figura 2.9(a) representa um circuito com a topologia linha carregada, sendo que se verifica que a linha de transmissão tem susceptâncias capacitivas (jB) e indutivas ($-jB$) em paralelo com o percurso principal, caso se queira introduzir um abrandamento ou um incremento na velocidade da fase, respetivamente [15]. A escolha entre a susceptância indutiva ou capacitiva é feita geralmente com dois díodos PIN individuais ou SPDT e necessita apenas de um único sinal de controlo, uma vez que as cargas podem ser polarizadas simultaneamente [17]. O esquema da figura 2.9(a) faz uso de elementos concentrados (*lumped elements*) e é mais indicado para baixas frequências. O da figura 2.9(b) utiliza impedâncias definidas por linhas impressas, sendo mais indicado para altas frequências [17].

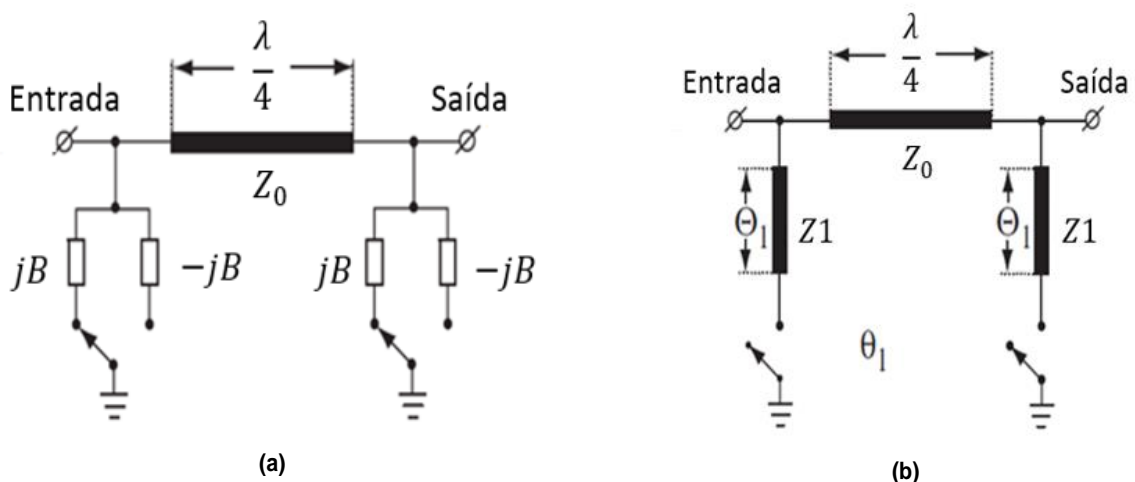


Figura 2.9 – Deslocador de fase com topologia linha carregada: (a) utilizando elementos concentrados; (b) utilizando impedâncias implementadas através de uma linha impressa [17].

Para uma susceptância B , a sua admitância é dada por $Y = jB$, logo obtém-se o coeficiente de reflexão dado por [17],

$$\frac{1}{S_{12}} = (\cos\theta - B\sin\theta) + j\left(\sin\theta + B\cos\theta - \frac{B^2}{2}\sin\theta\right) \quad (2.5)$$

onde θ é o ângulo pretendido para o desvio de fase. Pela expressão (2.5) é possível retirar o valor de fase onde o deslocamento de fase começa, sendo dada por

$$\cos\varphi = \cos\theta - B\sin\theta \quad (2.6)$$

Caso se tenha o valor de φ e θ , bem como o desvio de fase requerido, $\Delta\phi$, é possível obter o valor de susceptância B que permitirá obter o desvio de fase, sendo dado por [17]

$$\Delta\phi = 2 \tan^{-1} \left[\frac{B}{1 - 0.5B^2} \right] \quad (2.7)$$

Esta topologia de deslocadores de fase consegue lidar com elevadas potências, uma vez que os díodos PIN não fazem parte direta do caminho que o sinal RF percorre [17]. Os deslocadores de fase do tipo linha carregada são inerentemente de banda estreita e a sua resposta em frequência faz com que a alteração da fase seja constante. Contudo, o facto de apenas permitir desvios de fase no máximo até 45° torna este deslocador de fase pouco atrativo.

2.4.3 Topologia *passa-alto/passa-baixo*

A topologia de deslocadores de fase passa-alto/passa baixo (*High Pass/Low Pass*) é conceptualmente baseado no deslocador de fase de linha comutada [13]. Esta topologia de deslocadores de fase faz uso de filtros passa baixo e passa alto. Através da figura 2.10 pode-se verificar o diagrama de blocos de um deslocador de fase com a topologia passa-alto/passa-baixo, onde se observa a existência de dois percursos distintos, 1 e 2. Inicialmente o sinal colocado à entrada passa pelo percurso 1 e posteriormente é comutado por forma a passar pelo percurso 2, ocorrendo assim uma mudança de fase $(\phi_2 - \phi_1)$ [13].

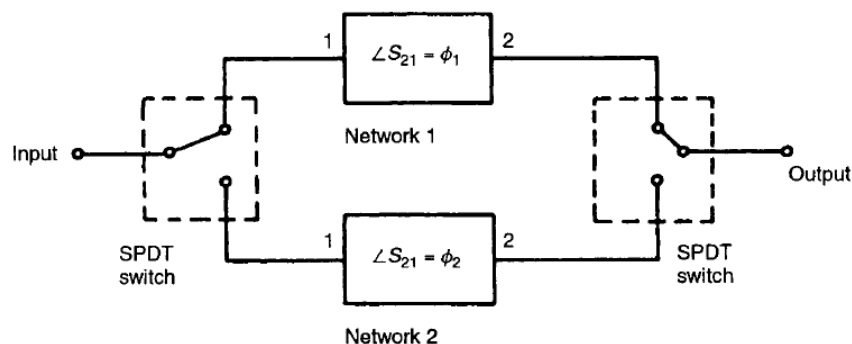


Figura 2.10 – Esquema básico de um deslocador de fase com topologia passa-alto/passa-baixo [5].

A variação na fase é introduzida com recurso a reatâncias quer em série quer em paralelo com a linha de transmissão [15]. Essas reatâncias são condensadores e bobinas discretas, podendo ser dispostas em duas configurações distintas em π ou em T, como se observa na figura 2.11(a) e (b), respetivamente [15].

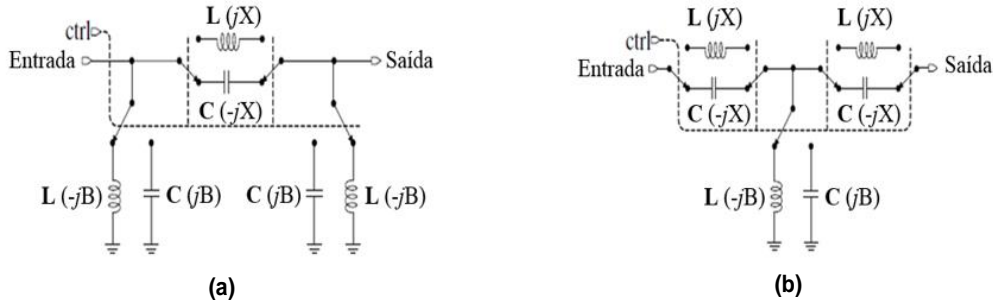


Figura 2.11 – Deslocador de fase com topologia *passa-alto/passa-baixo*: (a) configuração π ; (b) configuração T [18].

Pode-se observar que os dois esquemas de montagem da figura 2.11 permitem que se realize filtros passa baixos ou passa altos com diferentes configurações através de um elemento comutador, sendo normalmente utilizado um comutador SPDT.

Este deslocador de fase faz uso de elementos concentrados, sendo eles que permitem que se desloque a fase através da configuração dos filtros [17]. Caso se queira realizar um avanço da fase utiliza-se o modo passa-altas. Caso se pretenda realizar um atraso na fase utiliza-se o modo passa-baixas [17].

De modo a determinar os desvios de fase, para cada uma das configurações, tem-se que analisar as reatâncias e as susceptâncias. Desta forma, para a configuração em π tem-se,

$$\Delta\phi = \tan^{-1} \left(\frac{2B}{B^2-1} \right) \quad (2.8)$$

$$X = \frac{2B}{1+B^2} \quad (2.9)$$

com X e B a serem expressos em termos de fase da seguinte forma,

$$X = \text{sen} \left(\frac{\Delta\phi}{2} \right) \quad (2.10)$$

$$B = \tan \left(\frac{\Delta\phi}{2} \right) \quad (2.11)$$

Para a configuração em T o desvio de fase é obtido por

$$\Delta\phi = 2 \tan^{-1} \left(\frac{2X}{X^2-1} \right) \quad (2.12)$$

$$B = \frac{2X}{1+X^2} \quad (2.13)$$

com X e B a serem expressos em termos de fase, da seguinte forma:

$$X = \text{sen} \left(\frac{\Delta\phi}{4} \right) \quad (2.14)$$

$$B = \text{tan} \left(\frac{\Delta\phi}{2} \right) \quad (2.15)$$

Esta topologia de deslocadores de fase permite que se varie a fase em 180° , mais propriamente entre -90° e 90° , para uma determinada frequência enquanto mantém a adaptação, sendo necessário colocar vários destes deslocadores de fase em cascata de modo a obter várias fases. Esta topologia de deslocadores de fase proporciona uma grande largura de banda e os elementos concentrados permitem que o deslocador de fase tenha dimensões reduzidas. Geralmente, estes deslocadores de fase são utilizados para frequências até à banda UHF. Dever-se-á ter em atenção que a frequência de corte dos dois percursos (passa altos e passa baixos) deverá estar fora da gama de frequências que o deslocador de fase está a operar [17].

Esta topologia apresenta uma clara desvantagem, requer que a cada estágio de deslocamento de fase, seja utilizado 4 SPDT para a configuração em π e 5 SPDT para a configuração em T. Outra desvantagem prende-se com as diferenças verificadas na amplitude conforme varia a frequência [17].

2.4.4 Topologia de fase refletida

Um dos deslocadores de fase mais populares é o de fase refletida (*reflection-type*), onde através de um elemento comutador consegue-se alterar o comprimento do percurso do sinal refletido [19]. É possível com esta topologia realizar variações entre 0° e 180° , utilizando para tal díodos. Uma forma de alterar o comprimento total da pista para ambas as portas refletidas passa por ativar ou desligar os díodos, produzindo assim uma diferença de fase [19].

Este deslocador de fase faz uso de circuladores ou acopladores híbridos, e necessita de poucos díodos por cada estágio [17]. Nas figuras 2.12(a) e (b), são apresentadas duas configurações utilizadas para realizar um deslocador de fase refletida, implementados através de elementos comutáveis SPDT.

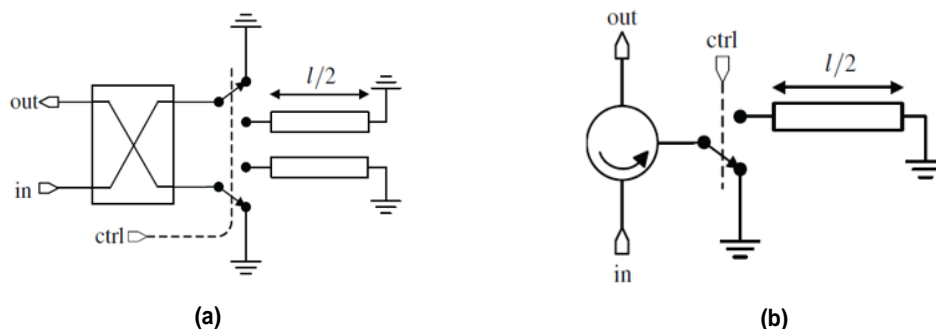


Figura 2.12 – Deslocador de fase com topologia de fase refletida: (a) utilizando um acoplador híbrido; (b) utilizando um circulador [18].

Um circulator tem associado a si muitas reflexões internas, o que degrada a precisão na regulação da fase, originando vários erros. Normalmente não é utilizado um circulator, sendo possível substituir o mesmo por um acoplador híbrido em quadratura.

Através de um acoplador híbrido consegue-se realizar a separação do sinal que está à entrada do sinal que é refletido, bem como separar o sinal à entrada em duas componentes em quadratura e com amplitudes iguais em cada uma das portas que permitem realizar a reflexão [17]. Os dois sinais são refletidos em duas cargas reguláveis e depois combinados em fase na porta de saída. Já na porta de entrada espera-se não ter sinal refletido [17].

A variação na fase desta topologia é dada por,

$$\Delta\phi = \frac{2\pi\Delta l}{\lambda} \quad (2.16)$$

Uma das vantagens de usar um acoplador híbrido é que a entrada e saída do circuito estão melhor adaptados à impedância, uma vez que esta estrutura permite um elevado isolamento entre as suas portas.

2.4.5 Deslocador de fase de ferrite

O deslocador de fase de ferrite permite, através da magnetização do material, variar a permeabilidade do mesmo, produzindo uma variação na velocidade de fase. No seu estado fundamental, desmagnetizado, o desvio de fase é zero [20].

Os deslocadores de fase de ferrite são amplamente utilizados em radares. É possível construir deslocadores de fase em ferrite utilizando duas formas distintas. A primeira consiste em colocar uma pista RF sobre um substrato de ferrite, onde através da aplicação de um campo magnético é possível variar a constante de propagação, estando esta hipótese ilustrada na figura 2.13(a) [17]. A segunda forma é através de toróides de ferrite, sendo possível criar um deslocador de fase digital, onde o diferente comprimento de cada toróide está associado a um desvio de fase, estando ilustrado na figura 2.13 (b) [21].

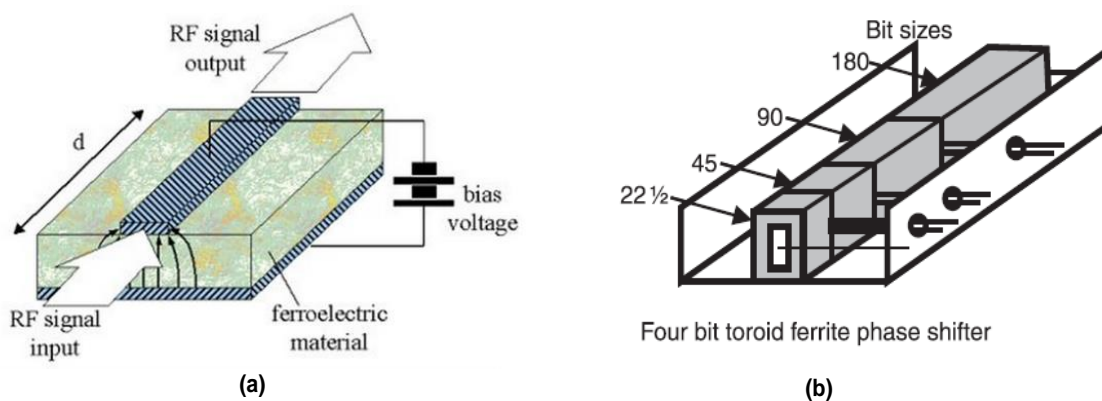


Figura 2.13 – Deslocador de fase de ferrite: (a) utilizando substrato de ferrita; (b) utilizando toróides de ferrita [21].

Geralmente os deslocadores de fase de ferrite são recíprocos, ou seja, tanto servem para se aplicar a um emissor como a um recetor [20].

Os deslocadores de fase de ferrite, têm algumas vantagens em relação aos deslocadores de fase construídos com comutadores com tecnologia MMIC ou MEMS, que é lidar com elevadas potências e terem baixas perdas. Contudo, o facto de serem lentos, pesados e caros, fazem com que não sejam ponderados nos mais recentes sistemas de deslocamento de fase [22]. Por exemplo, na tabela 2.2 é possível observar a diferença entre os deslocadores de fase de ferrite e os que utilizam díodos PIN como elementos comutadores.

Tabela 2.2 – Comparação dos parâmetros mais relevantes dos componentes de ferrite e dos díodos PIN [22].

Parameter	Ferrite	<i>p-i-n</i>
Speed	Low (msec)	High (μ sec)
Loss	Low (0.2 dB)	High (0.5 dB/diode)
Cost	High	Low
Weight	Heavy	Light
Driver	Complicated	Simple
Size	Large	Small
Power handling	High	Low

2.4.6 Matriz de Butler

Como referido anteriormente, é possível gerar intensionalmente múltiplos feixes simultaneamente e direcioná-los nas direções de interesse, sendo utilizado para tal uma matriz de Butler. Esta é conceptualmente simples, prática e de baixo custo [15, 23]. A matriz de Butler é constituída por deslocadores de fase e por uma malha de alimentação. A matriz de Butler consegue transformar uma amostra espacial do sinal de um agrupamento linear uniforme em amostras espaciais angulares, que correspondem aos máximos dos feixes principais do fator de agrupamento [20]. A matriz de Butler é utilizada de modo a realizar *beamforming* analógico e tem associada a si a característica de que a sua malha incorpora distribuição de potência pelas antenas, bem como permite em simultâneo realizar desvio de fase [5].

Na figura 2.14(a) e (b) são apresentados dois circuitos para a implementação de uma matriz de Butler de 4X4 e uma de 8X8. O número de portas de entrada é sempre igual ao número de elementos radiantes.

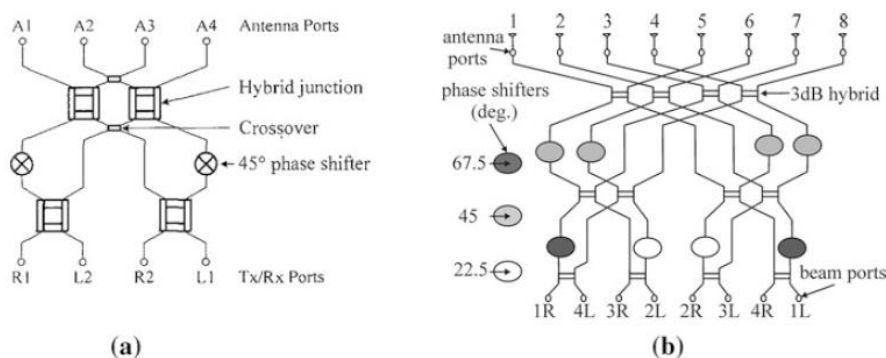


Figura 2.14 – Matriz de Butler: (a) 4X4; (b) 8X8 [23].

Tendo-se N elementos radiantes no agrupamento de antenas, cada sinal colocado à entrada da matriz irá excitar todos os N elementos radiantes com a mesma amplitude, embora com fases diferentes, dadas por $180^\circ/N$ [15].

Para que não exista sobreposição de feixes, o que originaria interferência entre os diferentes sinais que se propagam na malha, dever-se-á garantir que os feixes são ortogonais entre si [16]. Para tal, os mesmos deverão estar espaçados uniformemente em ângulo, de modo que cada um dos feixes tenha uma variação de fase progressiva dada por [20],

$$\delta_{SN} = \frac{(2n-1)\pi}{N} \quad (2.17)$$

com $n=1,2, \dots, N$, representando a posição no agrupamento de antenas de cada um dos elementos radiantes. Obtém-se, assim, os máximos dos feixes através de,

$$AF_n = \frac{\text{sen}[N(\beta du + \delta_{SN})/2]}{\text{sen}[(\beta du + \delta_{SN})/2]} \quad (2.18)$$

onde, u é $\cos\phi$, sendo ϕ o ângulo entre portas de saída da matrix de Butler. Para um agrupamento de antenas com um fator de agrupamento uniforme sabe-se que o valor de SLL (*Side Lobe Level*) é de -13,2 dB [20]. A largura de cada feixe é igualmente vista como a separação entre dois feixes adjacentes,

$$\text{largura de banda} = 2 \text{sen}^{-1} \left[\frac{\lambda}{2d} \left(1 - \frac{1}{N} \right) \right] \quad (2.19)$$

A figura 2.15(a) mostra o diagrama de radiação obtido através de uma matriz de Butler 4X4, criado com os elementos radiantes uniformemente afastados entre si [20]. A figura 2.15(b) mostra o diagrama de radiação obtido através de uma matriz de Butler 8X8 [23].

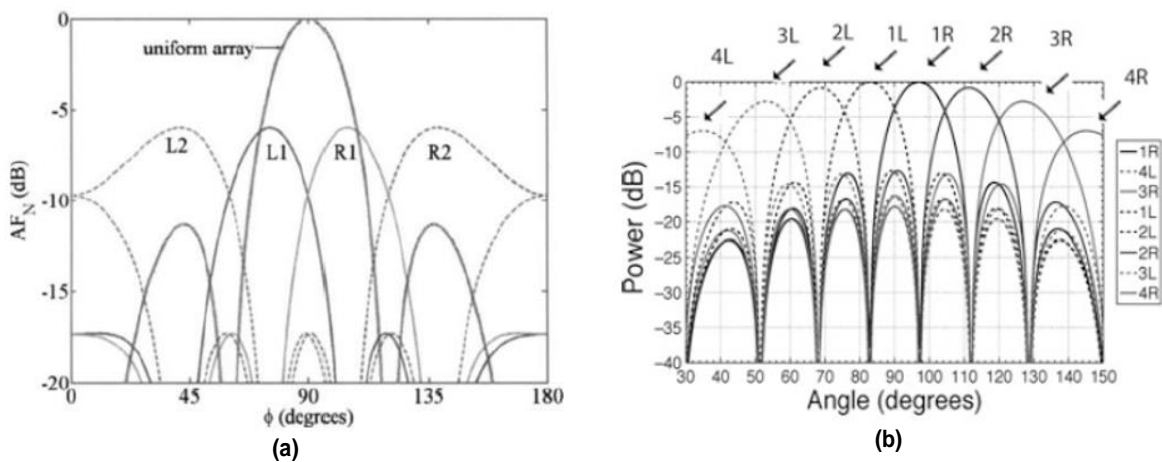


Figura 2.15 – Diagrama de radiação obtido a partir de uma matriz de Butler: (a) matriz de 4X4; (b) matriz de 8X8 [15; 23].

Pela figura 2.15(b) observa-se qual o diagrama de radiação que se consegue obter quando uma das portas [L1, R1, L2, R2, L3, R3, L4, R4] da matriz de Butler é excitada, e com os elementos radiantes uniformemente afastados, constatando-se que embora se tenha feixes com largura relativamente estreita, os lóbulos laterais são relativamente altos. Uma solução para baixar a amplitude dos lóbulos laterais é combinando dois sinais de portas adjacentes, como por exemplo 1L com 1R [20].

Como se observou anteriormente pelas figuras 2.14(a) e (b), os percursos entre as portas de entrada e os elementos radiantes são constituídos por acopladores híbridos de 90°, por cruzamentos de linha (*crossovers*), bem como deslocadores de fase fixos, que permitem alterar a fase de cada feixe [15, 24]. A matriz de Butler tem várias vantagens, desde baixas perdas por inserção, bom isolamento entre as entradas e os elementos radiantes, bem como bom isolamento entre diferentes portas [23].

2.4.7 Matriz de Blass

A matriz de Blass é um outro exemplo de uma malha de alimentação para agrupamentos de antenas e que tem a capacidade de formar múltiplos feixes com fase distintas. Através de linhas de transmissão e acopladores direcionais, consegue-se impor um desvio de fase no sinal à entrada, resultando na formação de múltiplos feixes. O esquema da matriz de Blass está representado na figura 2.16, observando-se que a porta 0 é a única que não introduz um atraso no sinal. Já as outras portas providenciam um atraso temporal progressivo entre os diferentes elementos radiantes, onde através da aplicação do sinal numa das portas permite variar o ângulo do feixe [25].

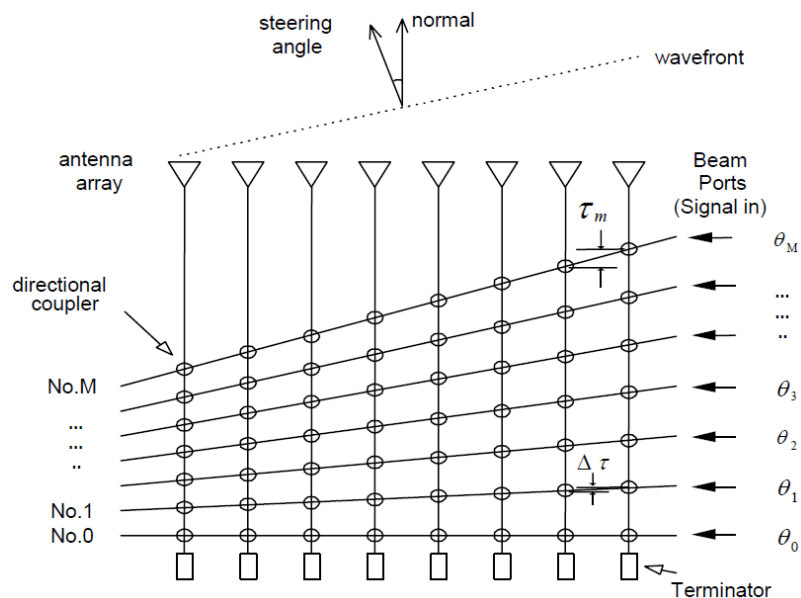


Figura 2.16 - Matriz de Blass.

Outra característica relevante é que quer as portas de entrada quer os elementos radiantes têm nas suas terminações cargas adaptadas, prevenindo assim reflexões, tendo a desvantagem de reduzir a eficiência do sistema, visto que as mesmas introduzem perdas no mesmo [20, 25].

2.5 Atenuadores

Quando se lida com a formação do feixe de radiação de um agrupamento de antenas, não só é do interesse maximizar a directividade, mas é também necessário minimizar o nível dos lóbulos secundários e direccionar nulos na direcção dos utilizadores interferidores [20].

Anteriormente estudaram-se os componentes que permitiam controlar a direcção e a orientação do feixe de radiação, denominado deslocador de fase. Estes controlam a fase das correntes de alimentação dos elementos do agrupamento. No entanto, também controlar a amplitude da corrente permite criar nulos na direcção dos interferidores. O componente que permite o controlo da amplitude é o atenuador, sendo que a sua função é apenas reduzir o ganho de excitação [20].

Os atenuadores limitam a potência dissipando energia, logo é um componente que, de modo a evitar perdas de potência para além daquelas requeridas, implica um correto dimensionamento.

2.5.1 Atenuadores resistivos

Uma forma simples de implementar um atenuador é fazendo uso de atenuadores resistivos, tendo os mesmos duas configurações distintas de implementação, a configuração T e a configuração π , como ilustram as figuras 2.17(a) e 2.17(b) [18].

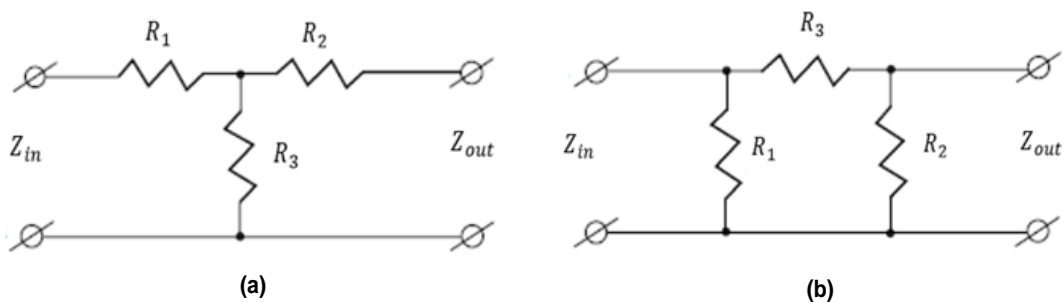


Figura 2.17 – Atenuadores resistivos: (a) configuração em T; (b) configuração em π [18].

Para uma determinada atenuação pretendida para a configuração em T, os valores das resistências são obtidas através de [26]

$$R_1 = \frac{10^{\frac{L}{10}} + 1}{10^{\frac{L}{10}} - 1} Z_{in} - R_3 \quad (2.20)$$

$$R_2 = \frac{10^{\frac{L}{10}} + 1}{10^{\frac{L}{10}} - 1} Z_{out} - R_3 \quad (2.21)$$

$$R_3 = \frac{2\sqrt{Z_{in}Z_{out}10^{\frac{L}{10}}}}{10^{\frac{L}{10}} - 1} \quad (2.22)$$

com L a atenuação desejada em dB, Z_{in} a impedância característica de entrada (Ω) e Z_{out} a impedância característica de saída (Ω). Para uma determinada atenuação pretendida para a configuração em π , os valores das resistências são obtidas através de [26]

$$R_1 = \frac{1}{\frac{\frac{L}{10^{10}+1}}{Z_{in}\left(\frac{L}{10^{10}-1}\right)} - \frac{1}{R_3}} \quad (2.23)$$

$$R_2 = \frac{1}{\frac{\frac{L}{10^{10}+1}}{Z_{out}\left(\frac{L}{10^{10}-1}\right)} - \frac{1}{R_3}} \quad (2.24)$$

$$R_3 = \frac{1}{2} \left(10^{\frac{L}{10}} - 1 \right) \sqrt{\frac{Z_{in}Z_{out}}{10^{\frac{L}{10}}}} \quad (2.25)$$

2.5.2 Atenuadores comutáveis

Os componentes que normalmente constituem um atenuador, resistências e díodos PIN, introduzem uma atenuação no sinal mesmo que não se pretenda diminuir a amplitude do mesmo. Desta forma, existem soluções de modo a evitar que o sinal passe obrigatoriamente pelo atenuador, estando as mesmas, ilustradas nas figuras 2.18(a) e (b) [17].

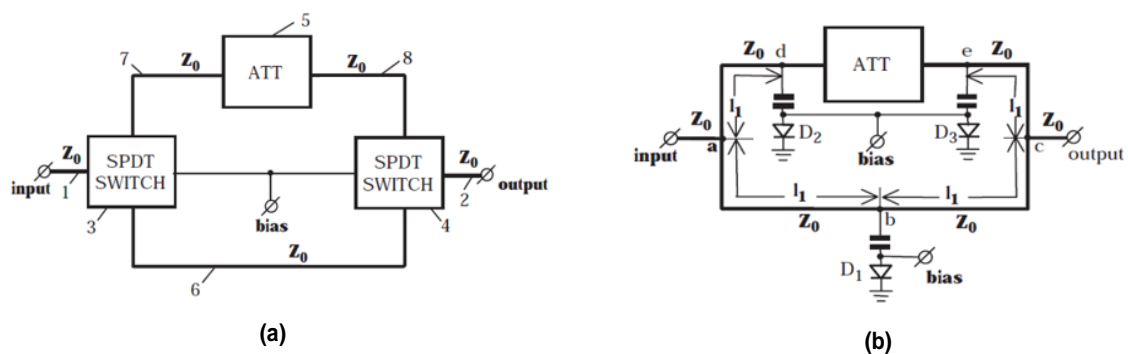


Figura 2.18 – Atenuadores comutáveis: (a) construído com SPDT; (b) construído com díodos PIN [17].

A diferença entre as topologias representadas na figura 2.18(a) e (b) é que uma é constituída por comutadores SPDT e a outra por díodos PIN individuais, respetivamente. As duas topologias do atenuador comutável são constituídas por dois percursos, o percurso atenuador e o percurso *by-pass*, que idealmente não produz qualquer tipo de atenuação, embora na realidade exista uma perda devido ao percurso [18].

2.6 Componentes de comutação

Em seguida serão apresentados alguns componentes de comutação, comumente utilizados em deslocadores de fase. Neste trabalho, foram utilizados díodos PIN e FET para altas frequências (HEMT), sendo mencionado igualmente as montagens dos mesmos em SPDT (*Single Pole, Double Throw*). Os MEMS não foram utilizados neste trabalho devido à necessidade de recursos laboratoriais especiais.

2.6.1 Díodos PIN

Os sistemas de agrupamento de antenas com feixe comutado (*phased arrays*) fazem uso de circuitos controlados eletronicamente e permitem atuar em parâmetros como a amplitude e fase do sinal, sendo os mesmos os deslocadores de fase e os atenuadores, respetivamente. Para realizar o controlo geralmente utilizam-se dispositivos constituídos por ferrite ou por silício, como por exemplo os díodos PIN, HEMT e os FET. Como referido anteriormente, os elementos de ferrite necessitam da aplicação de um campo magnético que permita a alteração da permeabilidade magnética do material e, assim, introduzir um deslocamento de fase. Contudo, estes dispositivos são pesados, lentos e caros, sendo que a alternativa mais viável são os dispositivos constituídos por silício, como por exemplo os díodos PIN, tendo a vantagem de serem pequenos, rápidos e baratos [22].

O princípio de operação às baixas frequências de um díodo PIN é muito semelhante ao de um díodo PN, uma vez que permite à corrente fluir do ânodo para o cátodo quando polarizado diretamente e impede que a corrente flua quando inversamente polarizado. A região intrínseca, i , é pouco dopada, apresentando uma resistência variável, já as camadas das extremidades, p^+ e n^+ , são altamente dopadas, onde a camada p^+ é rica em lacunas, a n^+ é rica em eletrões [26].

A região intrínseca funciona como um “reservatório”, onde quando a corrente de polarização é direta são acumuladas cargas (portadoras) nesta região. Já o díodo PN acumula poucas cargas, sendo as mesmas armazenadas na junção por um período muito curto. Às baixas frequências o díodo PIN, à semelhança do díodo PN, funciona como um retificador, já para as altas frequências o sinal inverso não tem tempo suficiente para remover todas as cargas da região intrínseca, ou seja, deixa passar quer a parte positiva do sinal quer a negativa [17].

Para alta frequência e quando polarizado diretamente o díodo PIN pode ser equiparado ao de um potenciômetro, devido à sua resistência variável, que mediante a aplicação de corrente, essa mesma resistência tende para 0Ω . Já quando a polarização é nula ou reversa, a região intrínseca faz com que a região de depleção seja larga e assim o díodo PIN apresenta uma impedância elevada à passagem de sinal RF, tendendo para os milhares de Ω . Nas figuras 2.19(a) e (b) pode-se observar os circuitos equivalentes do díodo PIN quando diretamente e inversamente polarizados, respetivamente [17].

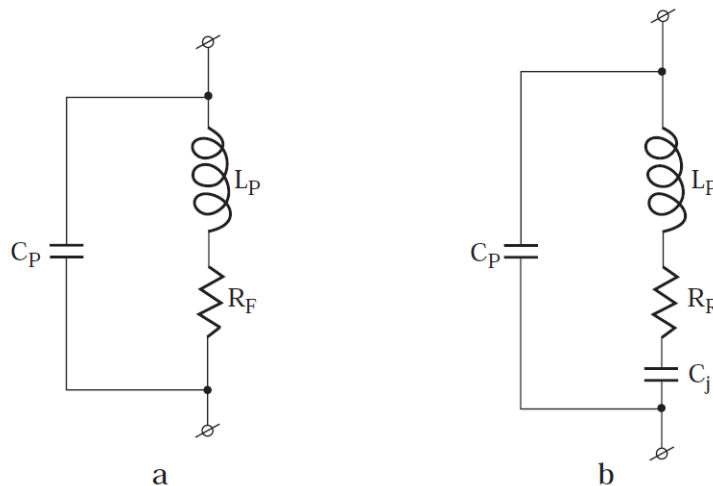


Figura 2.19 – Circuitos elétricos equivalentes do díodo PIN: (a) quando polarizado diretamente; (b) quando polarizado inversamente [17].

R_F é a resistência em série quando o díodo é polarizado diretamente, C_j é a capacitância de junção, L_p é a indutância do encapsulamento, C_p é a capacitância de encapsulamento e R_R é a resistência em paralelo para quando não existe polarização ou quando a mesma é reversa.

O díodo PIN apresenta uma resistência, R_R , muito elevada aquando da polarização inversa, e uma resistência, R_F , quase nula aquando a polarização é direta [18]. Para garantir um bom desempenho por parte do díodo PIN, é necessário garantir que a frequência do sinal RF à entrada do circuito seja pelo menos 10 vezes a frequência de corte do díodo, f_c , sendo dado por [18]

$$f_c = \frac{1}{2\pi C_j \sqrt{R_F R_R}} \quad (2.26)$$

Cumprindo este requisito obtém-se uma boa linearidade e baixa distorção. Caso a frequência de operação seja inferior a 10 vezes f_c existe o risco do díodo retificar o sinal, introduzindo harmónicas, intermodulação e distorções [18].

Outro aspeto importante é o tempo de transição do díodo PIN dado por [18]

$$T_{RF} \approx \tau \ln \left(1 + \frac{I_F}{I_R} \right) \text{ segundos} \quad (2.27)$$

onde τ é o menor tempo de vida das cargas portadoras, I_F é a corrente direta e I_R é a corrente inversa. Geralmente o díodo PIN tem velocidades de comutação na ordem dos 5 ns, podendo ir até aos 10 μs , apresentando um desempenho superior aos dispositivos de material ferromagnético [20].

O valor típico de corrente, de modo a polarizar diretamente o díodo, está entre 10 e 30 mA e a tensão para polarização reversa encontra-se entre os 10 e os 60V [20].

No desenvolvimento dos circuitos com díodos PIN dever-se-á ter em consideração que a tensão de polarização do díodo deverá ser aplicada através de RF chokes e condensadores bloqueadores de sinal DC de modo a garantir isolamento ao sinal RF [20].

Na figura 2.20(a) e (b), estão os circuitos de polarização necessários de modo a polarizar o diodo PIN sem que exista fuga de sinal RF, quando o diodo é colocado em série com a pista de transmissão e quando o diodo é colocado em paralelo com a pista de transmissão, respectivamente [19].

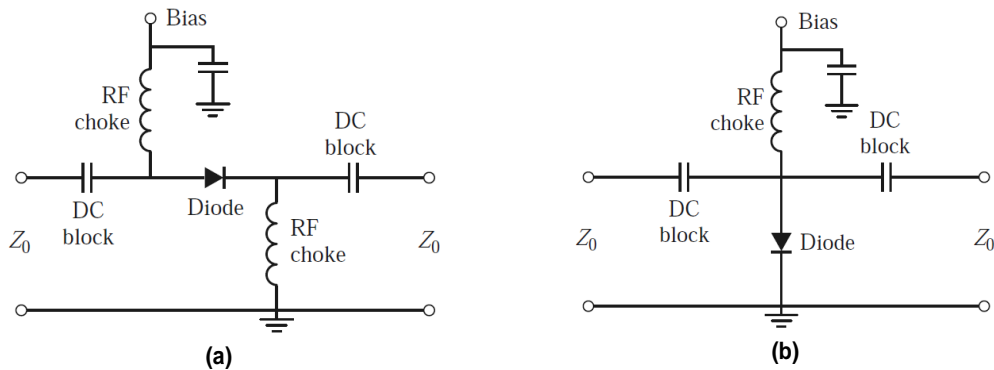


Figura 2.20 – Circuitos de polarização para díodos PIN: (a) com o diodo colocado em série com a pista de transmissão; (b) com o diodo colocado em paralelo com a pista de transmissão [19].

Igualmente, o encapsulamento afeta o desempenho do diodo PIN. As perdas por inserção, devido ao elementos parasitas, podem ser reduzidas fazendo uso de um espaçamento entre os díodos de $\lambda/4$, sendo que $\lambda/4$ permite o cancelamento das reatâncias verificadas [17].

Pelo que foi referido, o diodo PIN é um dispositivo muito adequado para ser utilizado nas frequências RF, visto ter reduzidas dimensões, elevada velocidade de comutação e reatância parasitas no encapsulamento reduzidas. A principal vantagem do diodo PIN é a sua capacidade de lidar com sinais RF com elevada potência através de um sinal de controlo de pouca potência [27].

Através dos díodos PIN pode-se construir várias topologias de comutadores, como por exemplo *Single-pole single throw* (SPST) sendo composto por uma porta de entrada e uma de saída, *Single-pole double throw* (SPDT) sendo composto por uma porta de entrada para duas de saída, *Double-pole double throw* (DPDT) sendo composto por duas portas de entrada para duas de saída e *multithrow* sendo múltiplas portas de entrada para múltiplas de saída [17].

Será dado mais relevância aos SPDT, que no fundo é um comutador com uma entrada e duas saídas, estando o circuito interno do mesmo ilustrado na figura 2.21.

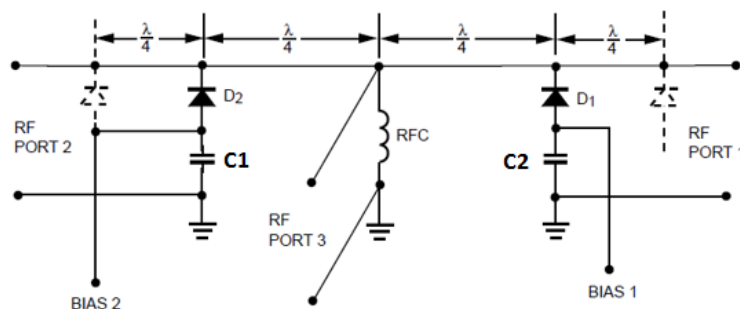


Figura 2.21 – Esquema elétrico de um comutador SPDT [29].

Caso o diodo D1 esteja polarizado diretamente e o diodo D2 no corte ou polarizado inversamente o sinal RF flui da porta 3 para a porta 2, ficando a porta 1 isolada. Quando ambas as condições anteriores associadas aos diodos D1 e D2 são contrárias então o sinal RF flui da porta 3 para a porta 1 e a porta 2 fica isolada [29].

Na figura 2.21 verifica-se que os diodos estão espaçados de múltiplos de $\lambda/4$, o que permite minimizar a carga reativa verificada entre a porta que está “aberta” e a que está “fechada”. O componente RFC (*Radio Frequency Choke*) permite bloquear o sinal DC, deixando passar o sinal RF. Já os condensadores C1 e C2 apresentam-se como circuito aberto para o sinal de polarização e ligação à massa do sinal RF. Os diodos a tracejado na figura 2.22 podem ser considerados de modo a garantir maior isolamento, sendo obrigatório que os mesmos se encontrem a uma distância de $\lambda/4$ do diodo principal. Quando é impraticável o espaçamento de $\lambda/4$ entre os diodos pode-se considerar a montagem em série, como está ilustrado na figura 2.22.

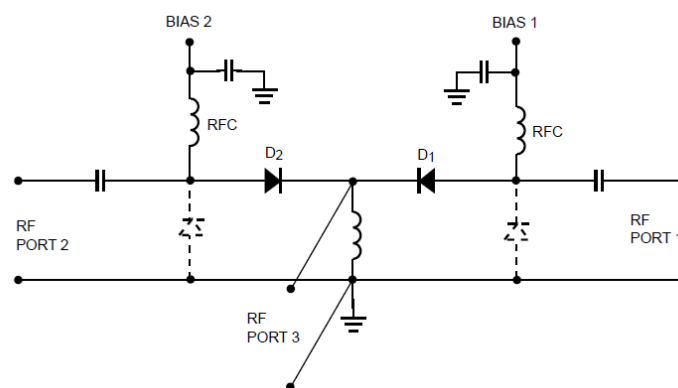


Figura 2.22 – Esquema elétrico de um SPDT, com uma configuração que garante isolamento sem utilizar adaptações de $\lambda/4$ [29].

2.6.2 Transistores HEMT (*High-Electron-Mobility Transistor*)

Um HEMT (*High-Electron-Mobility Transistor*) é uma derivação dos FET (Field Effect Transistor), sendo utilizado para altas frequências [5, 13]. O mais prominente HEMT implementado com materiais GaAs é o pHEMT (*pseudomorphic HEMT*).

As suas principais vantagens são combinar baixo ruído com capacidade de operar nas rádio-frequências [5, 13].

Cargas livres alojadas nas regiões altamente dopadas transitam para as regiões pouco dopadas, sendo que as mesmas transitam com elevada mobilidade, dada a falta de impurezas na região pouco dopada, o que gera corrente suficientemente alta para colocar o transistor em condução. O número de cargas a fluir no canal é controlado pela aplicação de uma tensão na *gate* do transistor [5].

Na figura 2.23 observa-se um circuito elétrico de um HEMT SPDT, como o utilizado neste trabalho.

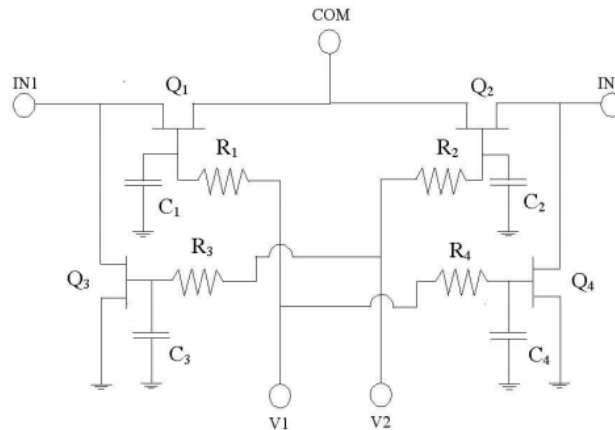


Figura 2.23 – Circuito elétrico de um SPDT realizado com transístores HEMT [30].

Através da figura 2.23 verifica-se que, caso se pretenda que o sinal RF flua da porta IN1 para a porta COM, deverá ser aplicada uma tensão de polarização V1. Isto permitirá colocar o transístor Q1 em condução, fluindo o sinal da porta IN1 para a porta COM. De modo a não fluir sinal para IN2 é igualmente ativado o transístor Q4, colocando o sinal à massa. Dever-se-á ter em conta que V2 deverá estar ligado à massa.

O procedimento para que conduza sinal entre a porta IN2 e a COM é igual ao descrito anteriormente, só que os transístores que irão conduzir serão Q2 e Q3 [30]

2.7 Formas de alimentação dos agrupamentos

A alimentação dos elementos radiantes, de um agrupamento de antenas, pode ser realizado de duas formas distintas, recorrendo a malhas de combinação/distribuição de potência ou recorrendo a matrizes de alimentação que permitem criar múltiplos feixes [16]. As matrizes de múltiplos feixes aqui estudadas são as matrizes de Butler e de Blass, já anteriormente abordadas.

As malhas de alimentação combinam a potência recebida de modo a formar um diagrama de radiação, isto quando o sistema funciona como recetor. No caso de funcionar como emissor, a malha de alimentação é utilizada de modo a distribuir a potência pelos elementos radiantes [21].

A escolha adequada da topologia de alimentação depende de diversos fatores, como, por exemplo, o ganho pretendido para a antena, a largura de banda, as perdas por inserção, o ângulo do feixe, os níveis dos lóbulos secundários, a polarização e a capacidade de lidar com a potência [30].

De entre as malhas de alimentações conhecidas, as mesmas dividem-se em malhas de alimentação em série e malhas de alimentação em paralelo [30].

2.7.1 Malha de alimentação em série

As malhas de alimentação em série são constituídas por duas categorias dependendo da forma como são incluídos os deslocadores de fase, série e paralelo, estando as mesmas ilustradas nas figuras 2.24(a) e (b), respetivamente. Ambas têm em

comum o facto dos elementos radiantes estarem dispostos em série ao longo do percurso principal de alimentação [15].

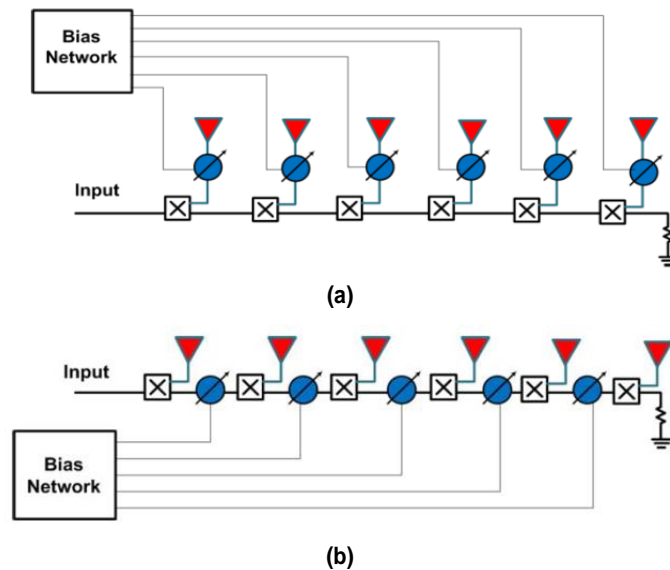


Figura 2.24 – Malha de alimentação em série: (a) deslocador de fase entre o percurso principal e os elementos radiantes (série-paralelo); (b) deslocador de fase colocado em série com percurso principal (série-série) [32].

Na figura 2.24(a) verifica-se que o deslocador de fase está associado a cada um dos percursos que ligam o percurso principal aos elementos radiantes, já na malha da figura 2.24(b) os deslocadores de fase estão dispostos ao longo do percurso principal.

Enquanto a alimentação em série-paralelo tem N deslocadores de fase para N elementos radiantes, a topologia de alimentação em série-série tem $N-1$ deslocadores de fase para N elementos radiantes, sendo esta uma vantagem face à alimentação em paralelo [32].

A grande vantagem das malhas de alimentação em série é a sua fácil construção e facilidade de adaptação da impedância à linha de transmissão. No entanto, esta topologia apresenta igualmente algumas desvantagens devido à natureza acumulativa de erros de andares anteriores, quer em termos de potência quer em termos de fase [32]. Com malhas de alimentação em série é difícil alcançar um correto deslocamento da fase, sendo igualmente uma topologia muito propícia a originar lóbulos laterais com elevado ganho, se bem que este problema possa ser solucionado colocando a alimentação a meio do percurso principal [15].

2.7.2 Malha de alimentação em paralelo

A alimentação em paralelo é igualmente conhecida como alimentação corporativa e faz uso de combinadores/divisores de potência para distribuir o sinal a transmitir ou combinar o sinal recebido, nos vários elementos radiantes. A figura 2.25 apresenta uma ilustração de uma malha de alimentação em paralelo [32].

O sinal introduzido na porta de entrada é distribuído equitativamente (-3 dB em cada uma das portas de saída, ou seja, metade da potência) pelas portas seguintes e assim sucessivamente [20].

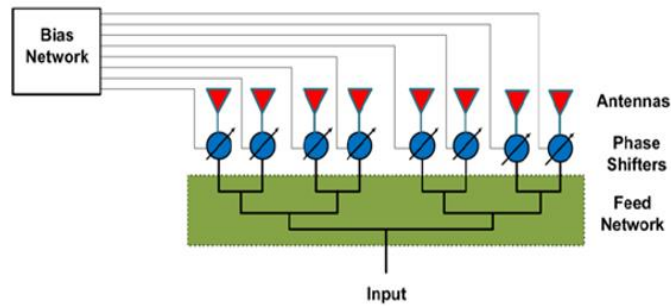


Figura 2.25 – Malha de alimentação em paralelo ou corporativa [32].

Esta topologia de malhas de alimentação está consideravelmente dependente da arquitetura dos combinadores/divisores de potência [32]. De modo a garantir-se uma boa eficiência da malha de alimentação, no que diz respeito à transferência de potência, é necessário ter-se uma boa adaptação da impedância, sendo que muitos dos sistemas utilizados atualmente tem uma impedância característica de 50Ω [20].

2.8 Sistemas de aplicação

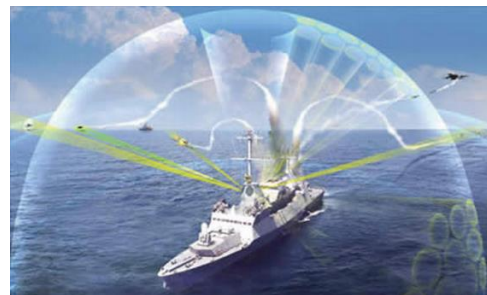
Nesta secção pretende-se abordar algumas das aplicações que fazem uso de sistemas que realizam o controlo do diagrama de radiação, sendo que as áreas mais comuns de aplicação são as militares e telecomunicações. No final será apresentado um trabalho desenvolvido, para ser utilizado num sistema Wimax, e que permite realizar o controlo do diagrama de radiação tal como se pretende implementar neste trabalho.

2.8.1 Aplicações Militares

Os *phased arrays* são muito utilizados em aplicações militares, nomeadamente em radares, onde através de um sinal transmitido e o eco recolhido do mesmo, sendo possível detetar e identificar objetos. A introdução de *phased arrays* com controlo do diagrama de radiação de forma eletrónica permitiu diminuir a utilização de vários radares com controlo mecânico, por um único radar com controlo eletrónico. Ao contrário dos radares mecânicos, os *phased arrays* permitem que se faça monitorização aérea e terrestre em simultâneo. Na figura 2.26(a) está representada a estrutura de um *phased array* militar e na figura 2.26(b) está representado o cenário de aplicação.



(a)



(b)

Figura 2.26 – *Phased arrays* militares: (a) Estrutura de um *phased array* utilizado num radar; (b) cenário de aplicação no navio militar de um radar *phased array*.

2.8.2 Sistemas de comunicações via satélite

Nos sistemas de comunicação via satélite pode-se, igualmente, utilizar *phased arrays*, de modo a concentrar o sinal numa dada área, reduzindo igualmente a interferência. Também a utilização de agrupamentos de antenas no lado do utilizador, em vez de parabólicas, traz igualmente vantagens, permitindo reduzir o seu tamanho e aumentar a robustez. Na figura 2.27 pode-se verificar como os sistemas *phased arrays* são utilizados apenas para “iluminar” as áreas para onde se pretende enviar o sinal.



Figura 2.27 – *Phased arrays* aplicados a satélites comerciais.

2.8.3 Sistemas de telecomunicações

Em [33] encontra-se a implementação de um trabalho cujo objetivo é a criação de um sistema de agrupamento de antenas planar com controlo do diagrama de radiação, a operar na frequência dos 3,5 GHz. O autor pretende que, em termos de variação do feixe no azimute, o mesmo tenha um varrimento de 60° , feito em 5 ou mais passos. Foram utilizados díodos PIN como elementos comutadores. A figura 2.28 apresenta o esquema do circuito [33].

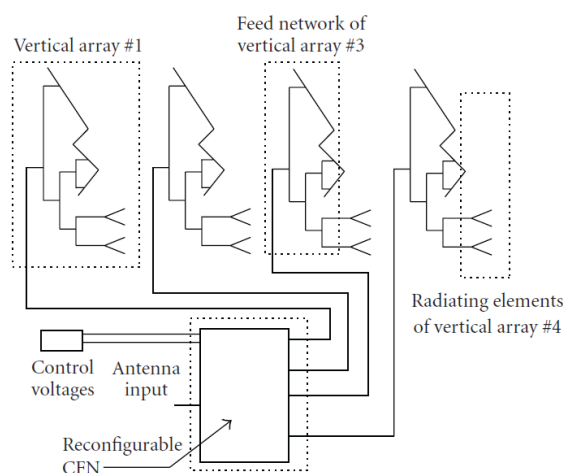


Figura 2.28 – Arquitetura do sistema para controlo do diagrama de radiação [33].

Verifica-se pela figura 2.28 que o sistema é constituído por uma malha de alimentação, cujos elementos comutadores são colocados em série com a própria malha (CFN- *Control Feed Network*), como é apresentado pela figura 2.29(a). É igualmente possível verificar pela figura 2.28 que o autor dispõe de um agrupamento planar de 8

antenas de modo a realizar o controlo do feixe de radiação. Na figura 2.29(b) está apresentado o circuito do deslocador de fase que foi implementado em FR4.

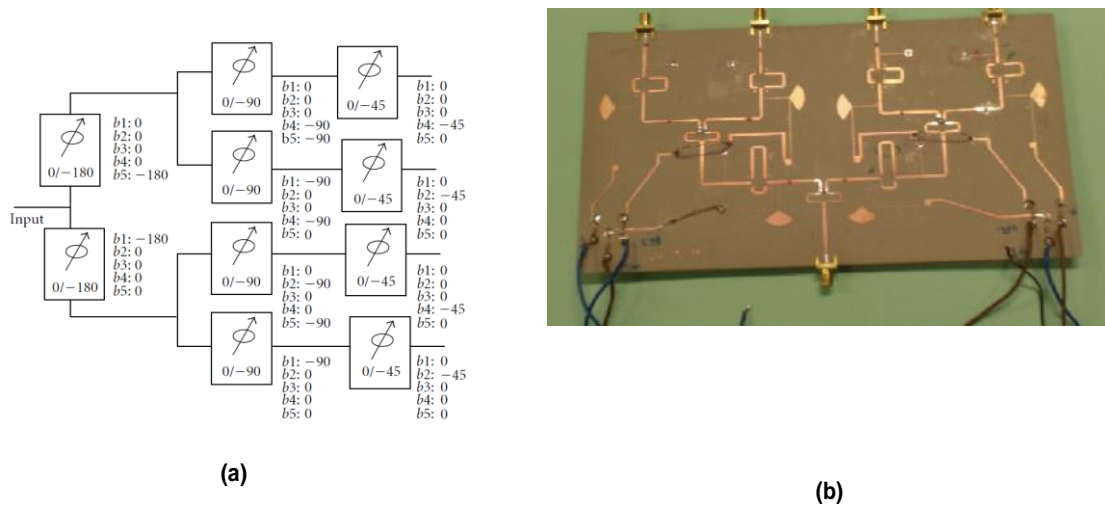


Figura 2.29 – Malha de alimentação com controlo de fase: (a) esquema ilustrativo; (b) implementado na prática [33].

Na figura 2.30 encontra-se o sistema final montado, onde verifica-se o agrupamento de 8 antenas, a malha de alimentação, bem como os sistemas de controlo do desvio da fase.

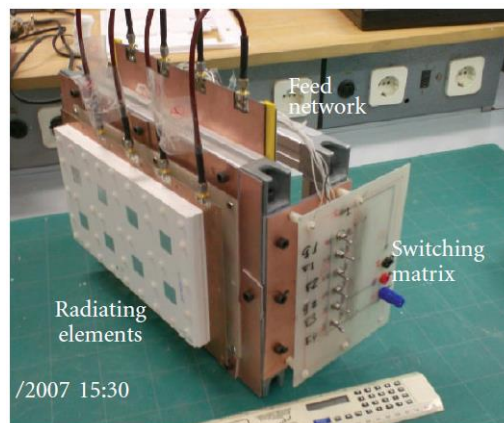


Figura 2.30 – Sistema final desenvolvido, de modo a realizar o controlo do diagrama de radiação [33].

Na figura 2.31 observam-se os resultados obtidos pelo autor, para o controlo no azimute para três desvios de fase.

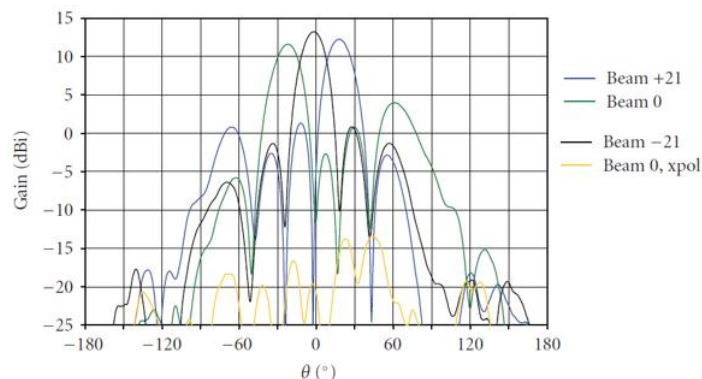


Figura 2.31 – Resultados do diagrama de radiação obtido para quando era efetuado controlo no azimute [33].

3. Simulação em COMSOL

As ferramentas computacionais são cada vez mais utilizadas uma vez que possibilitam ao projetista, de sistemas de rádio frequência (RF), dimensionar, desenvolver e testar os sistemas antes da fase de produção, permitindo corrigir possíveis erros, evitando desperdício de tempo e custos. Um simulador eletromagnético faz uso de técnicas de análise numérica que resolvem problemas de distribuição eletromagnética, sendo para tal utilizadas as equações de Maxwell.

Este capítulo dedica-se à apresentação de um simulador de fenômenos eletromagnéticos, sendo para tal utilizado o COMSOL Multiphysics. Apresenta uma breve descrição da ferramenta, descrição do módulo RF, bem como do método de análise que o mesmo utiliza. Por fim serão descritos os procedimentos e passos que se devem realizar por forma a testar um sistema em COMSOL.

3.1 Métodos de lidar com fenômenos eletromagnéticos

Existem três formas de se lidar com fenômenos eletromagnéticos. A primeira consiste em utilizar métodos experimentais. Contudo, não é uma tarefa simples de se chegar a uma solução exata nas primeiras tentativas. É igualmente necessário ter um ambiente completamente isolado de interferências eletromagnéticas bem como recorrer à utilização de equipamentos caros [34].

Outra forma consiste no método analítico, que é eficaz quando se trata de determinar campos eletromagnéticos em domínios com geometrias homogêneas e condições de contorno simples. Quando os vários domínios da geometria tem dimensões distintas, os meios não são homogêneos e sofrem de fenômenos diretamente relacionados com a frequência, fazendo com que a utilização deste método seja inviável [34].

A última forma são os métodos numéricos, que quando aplicados a fenômenos eletromagnéticos são igualmente conhecidos por eletromagnetismo computacional (CEM – *Computational Electromagnetics*) [34]. Os desenvolvimentos computacionais verificados nas últimas décadas potenciaram a utilização deste método em detrimento dos anteriores, sendo uma parte importante deste trabalho realizada com recurso à simulação.

3.2 Métodos de análise numérica

Os métodos numéricos ou computacionais aplicados ao eletromagnetismo permitem realizar uma aproximação às equações de Maxwell,

$$\nabla \times \vec{E} = -\frac{\partial \vec{B}}{\partial t} \quad (3.1)$$

$$\nabla \times \vec{H} = J + \frac{\partial \vec{D}}{\partial t} \quad (3.2)$$

$$\oint_L \vec{E} \cdot d\vec{l} = -\int_S \frac{\partial \vec{B}}{\partial t} \cdot d\vec{S} \quad (3.5)$$

$$\oint_L \vec{H} \cdot d\vec{l} = \int_S \left(\vec{J} + \frac{\partial \vec{D}}{\partial t} \right) \cdot d\vec{S} \quad (3.6)$$

$$\nabla \cdot \vec{D} = \rho_v \quad (3.3) \quad \oint_S \vec{D} \cdot d\vec{S} = \int_V \rho_v \cdot dv \quad (3.7)$$

$$\nabla \cdot \vec{B} = 0 \quad (3.4) \quad \oint_S \vec{B} \cdot d\vec{S} = 0 \quad (3.8)$$

estando as equações (3.1) a (3.4) na forma diferencial e as equações (3.5) a (3.8) na forma integral [35] e sendo \vec{B} , \vec{D} e \vec{J} dados por,

$$\vec{B} = \mu \vec{H} \quad (3.9)$$

$$\vec{D} = \varepsilon \vec{E} \quad (3.10)$$

$$\vec{J} = \sigma \vec{E} \quad (3.11)$$

onde \vec{E} (V/m) é a intensidade de campo elétrico, \vec{H} (A/m) é a intensidade do campo magnético, \vec{D} (C/m²) é a densidade de fluxo elétrico, \vec{B} (T) é a densidade de fluxo magnético, \vec{J} (A/m²) é a densidade de corrente elétrica, ρ_v (C/m³) é densidade volumétrica da carga, ε (F/m) é a permissividade e μ (H/m) é a permeabilidade.

Existem várias abordagens que podem ser consideradas, por forma a obter a melhor solução, estando as mesmas dependentes da geometria do domínio, dos materiais, bem como das condições fronteira. Existem vários métodos numéricos, mas os três mais importantes são o método dos momentos (MoM – *Method of moments*), método das diferenças finitas no domínio dos tempos (FDTD – *Finite-difference time-domain*) e o método dos elementos finitos (FEM – *Finite element method*) [34].

Os métodos numéricos dividem-se ainda em duas categorias: métodos integrais e métodos diferenciais [34].

Quando as equações se encontram no formato integral são utilizados métodos integrais por forma a lidar com as condições de contorno, sendo estas tratadas analiticamente. A formulação dos métodos integrais é complexa visto ter uma forte componente analítica. Contudo, a implementação deste método é simples e tem a vantagem de apenas ter de se modelar a superfície da geometria de interesse e não todo o domínio. Esta característica permite uma considerável redução do número de nós e elementos resultantes da segmentação (processo de criação da malha) do problema. O método dos momentos utiliza métodos integrais sendo a análise realizada no domínio das frequências.

Quando se trata de explorar as equações de Maxwell por forma a lidar com fenómenos eletromagnéticos na forma diferencial e definir condições de contorno utilizam-se métodos diferenciais. A formulação deste método é mais simples que a do método integral, contudo a sua implementação é mais complexa, uma vez que é necessário segmentar todo o domínio do problema. Esta segmentação resultará num incremento dos nós e elementos da malha, sendo necessário maior poder computacional comparativamente ao método integral. Contudo, o método diferencial permite lidar com geometrias não homogéneas (heterogéneas). Os métodos numéricos que aplicam métodos diferenciais são o método das diferenças finitas no domínio dos tempos, que

como o nome indica realiza a análise no domínio dos tempos e o método dos elementos finitos, que realiza a análise no domínio das frequências.

3.2.1 Criação da malha de análise

A segmentação (ou discretização) é um processo que subdivide uma geometria, à qual se pretende realizar a análise, num grande número de elementos de menor dimensão, podendo adquirir o formato unidimensional (segmentos de reta), bidimensional (triângulos ou quadrados) ou tridimensional (tetraedros ou cubos), sendo igualmente conhecido este processo por *meshing* [34].

Como se pretende obter resultados o mais próximo possível da realidade, o espaço dimensional que se irá lidar nesta dissertação é o de três dimensões (3D). Nas figuras 3.1(a), (b) e (c) apresentam-se exemplos de como são criadas as malhas de análise após a segmentação, para cada um dos três métodos numéricos apresentados e para o espaço tridimensional.

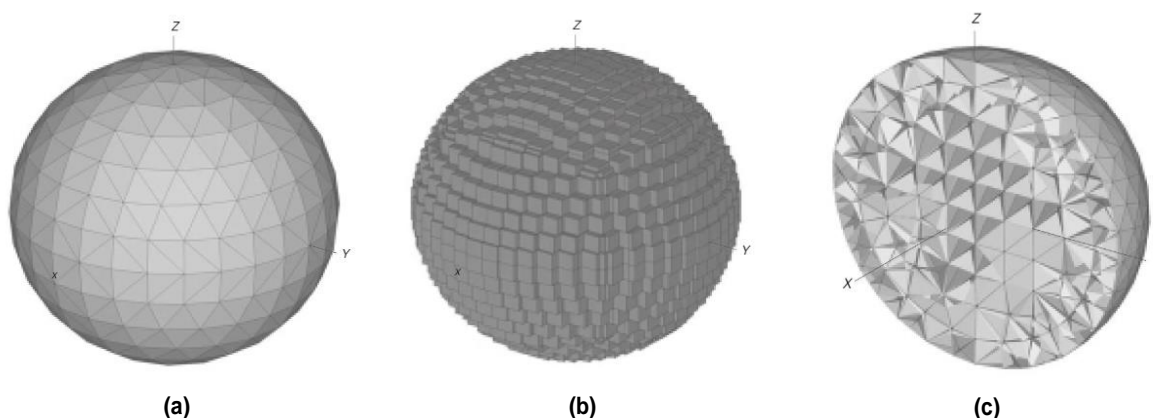


Figura 3.1 – Exemplo do formato da malha de elementos após o processo de segmentação no espaço tridimensional para os métodos numéricos: (a) métodos dos momentos; (b) método das diferenças finitas no domínio dos tempos; (c) método dos elementos finitos [34]

Por forma a obter resultados bastante precisos é importante que as dimensões dos elementos que constituem a malha sejam o mais finos (pequenos) possível. Contudo, tem de existir um equilíbrio quanto ao dimensionamento dos elementos, visto que elementos bastante finos têm uma exigência computacional mais elevada [34]. Quando os métodos numéricos são aplicados à resolução de problemas eletromagnéticos e de rádio frequências é importante que a malha esteja bem dimensionada por forma a representar adequadamente a fase. Na computação eletromagnética existe a regra que diz que a dimensão de um segmento da malha deverá ter no mínimo 10 elementos por cada comprimento de onda [34].

Em seguida serão apresentados os três métodos numéricos mais comuns, sendo cada um descrito matematicamente de forma muito sucinta e sem entrar em grandes detalhes. São, igualmente, identificados os pacotes de *software* existentes no mercado que utilizam cada um destes métodos e qual deles é empregue no COMSOL.

3.2.2 Método dos Momentos

O Método dos Momentos faz uso das equações de Maxwell na sua formulação integral segundo as expressões (3.5) a (3.8). Este método transforma as equações integrais básicas, que, por exemplo, podem descrever a distribuição da corrente ao longo da superfície numa matriz de equações [35].

Inicialmente aplica-se o integral, L , que envolve a função aproximada de Green, $G(\vec{r}, \vec{r}')$, a uma função desconhecida, I , que resultará na função de excitação do sistema, dada por [35]

$$L I = f \quad (3.12)$$

Para determinar a função desconhecida, I , é necessário expandir a mesma numa série de funções conhecidas, u_i (função de expansão), cuja amplitude é desconhecida, I_i , [35]

$$I = \sum_{i=1}^n I_i u_i \quad (3.13)$$

Passando a equação (3.13) para equações lineares é possível determinar a corrente, I , em cada segmento da superfície que se está a analisar, através de [35]

$$[Z] [I] = [V] \quad (3.14)$$

onde $[Z]$ é a matriz das impedâncias, $[I]$ é a matriz das correntes e $[V]$ é a matriz das tensões. Em seguida basta calcular a matriz inversa de $[I]$ para se obter a corrente em cada um dos segmentos [35].

Na figura 3.2 está representado um dipolo de meio comprimento de onda e pretende-se determinar a distribuição de corrente ao longo do mesmo. Através da soma pesada dos coeficientes da solução desconhecida é possível calcular as densidades de corrente (\vec{j}) e/ou as tensões ao longo de todo o domínio [35].

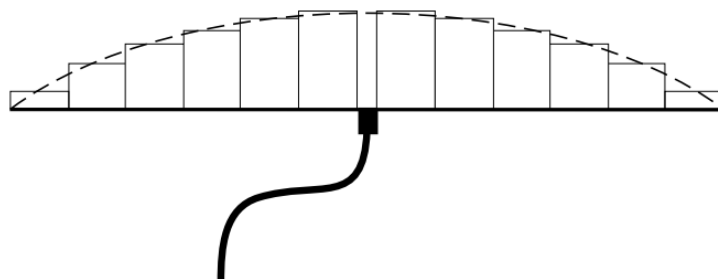


Figura 3.2 – Exemplo da divisão (segmentação) do domínio de modo a calcular a distribuição de corrente, utilizando o método dos momentos [33].

O método dos momentos é utilizado em *software* como o NEC-2, NEC-4 e o FEKO [34].

3.2.3 Método das diferenças finitas no domínio dos tempos

O método das diferenças finitas no domínio dos tempos é um método bastante simples de implementar e tem a vantagem de poder ser aplicado a estruturas não homogêneas. O método FDTD procede à resolução das equações diferenciais através de toda a segmentação do domínio computacional, sendo associado a cada um dos segmentos gerados as equações de Maxwell na sua formulação integral, com as equações (3.1) a (3.4) [35].

No método FDTD os segmentos gerados podem ser cubos ou paralelepípedos [34, 35].

Após a segmentação de todo o domínio, são criadas as componentes $E_x, H_x, E_y, H_y, E_z, H_z$ para o campo eletromagnético associado aquele volume, como demonstrado na figura 3.3 [34,35].

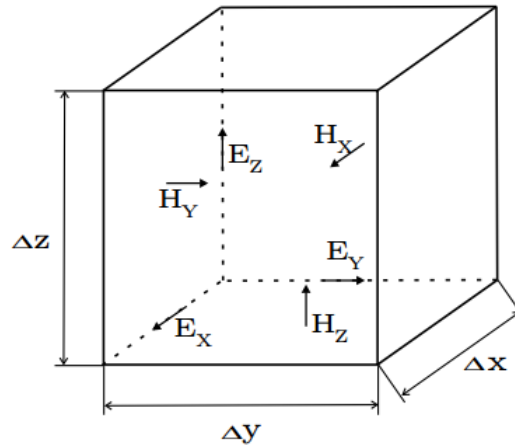


Figura 3.3 – Exemplo de um elemento originado através da segmentação e respetivas componentes de campo, para o método das diferenças finitas no domínio dos tempos [35].

O método mais comum para encontrar a solução no FDTD é através de formulação de Yee [35]. Contudo, de modo a aplicar as equações diferenciais de Maxwell a esta formulação, as derivadas espaciais e temporais deverão ser escritas como derivadas parciais, onde as equações (3.1) e (3.2) ficam,

$$\begin{bmatrix} \frac{\partial H_z}{\partial y} - \frac{\partial H_y}{\partial z} \\ \frac{\partial H_x}{\partial z} - \frac{\partial H_z}{\partial x} \\ \frac{\partial H_y}{\partial x} - \frac{\partial H_x}{\partial y} \end{bmatrix} = \begin{bmatrix} \epsilon \frac{\partial E_x}{\partial t} \\ \epsilon \frac{\partial E_y}{\partial t} \\ \epsilon \frac{\partial E_z}{\partial t} \end{bmatrix} + \begin{bmatrix} J_x \\ J_y \\ J_z \end{bmatrix} \quad (3.15)$$

$$\begin{bmatrix} \frac{\partial E_z}{\partial y} - \frac{\partial E_y}{\partial z} \\ \frac{\partial E_x}{\partial z} - \frac{\partial E_z}{\partial x} \\ \frac{\partial E_y}{\partial x} - \frac{\partial E_x}{\partial y} \end{bmatrix} = \begin{bmatrix} -\mu \frac{\partial H_x}{\partial t} \\ -\mu \frac{\partial H_y}{\partial t} \\ -\mu \frac{\partial H_z}{\partial t} \end{bmatrix} \quad (3.16)$$

O último passo na formulação deverá consistir na substituição das derivadas temporais e espaciais utilizando para tal as diferenças finitas.

Em seguida realiza-se a segmentação recorrendo, para tal, à definição das condições iniciais e condições de excitação, definição das condições de contorno e, por fim, definindo os passos temporais de simulação, Δt , para cada elemento [35],

$$\Delta t \leq \frac{1}{\sqrt{\frac{1}{\Delta x^2} + \frac{1}{\Delta y^2} + \frac{1}{\Delta z^2}} c} \quad (3.17)$$

sendo Δx , Δy e Δz os passos espaciais e c a constante de propagação entre cada nó.

As equações são resolvidas através do cálculo das componentes do campo elétrico num intervalo $\Delta t/2$ e no outro intervalo $\Delta t/2$ são calculadas as componentes do campo magnético [35].

A solução apresentada pelo método FDTD é dada pela soma de todos os valores de \vec{E} e \vec{H} calculados em todo o domínio.

Algumas das ferramentas de software mais relevantes que utilizam o método FDTD são o CST Microwave Studio e o REMCONs XFDTD.

3.2.4 Método dos elementos finitos

O método dos elementos finitos faz uso das equações de Maxwell na sua formulação integral (expressões (3.1) a (3.4)). O método tem como principal característica a divisão do domínio que se pretende estudar num número finito de elementos, onde dependendo do espaço dimensional serão, tipicamente segmentos de reta (1D), triângulos (2D) ou tetraedros (3D) [36-38].

A dimensão espacial do segmento, criado no processo de segmentação, é um critério importante, visto influenciar a velocidade de computação, a flexibilidade na adaptação à geometria do domínio, bem como a precisão dos resultados.

Na figura 3.4(a) pode-se verificar um segmento de 1ª ordem e na figura 3.4(b) está representado um segmento de 2ª ordem, ambos em 3D criados pela segmentação do método dos elementos finitos [34].

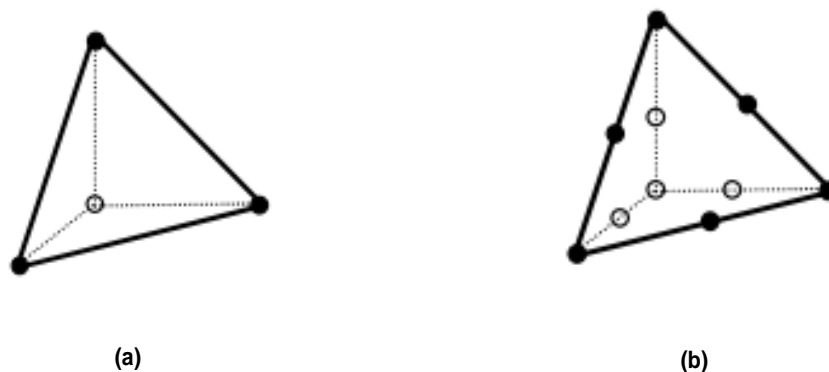


Figura 3.4 – Forma dos elementos criados pelo processo de segmentação para o método dos elementos finitos: (a) elemento de 1ª ordem; (b) elemento de segunda ordem [37].

De modo a encontrar a solução através do método dos elementos finitos é necessário cumprir três etapas. A primeira é a de pré-processamento que, para além da definição da geometria, dos materiais e das condições de contorno, também envolve o processo de dividir em menores sub-regiões a região de análise. Implica, igualmente, a interpolação e posterior derivação das equações de governo de cada um dos elementos (sub-regiões) e, por fim, ainda nesta etapa é necessário juntar todos os elementos segmentados numa região de solução, ou seja, uma malha [34,36].

A segunda etapa é o processamento onde é realizada a resolução do sistema de equações obtido na etapa anterior, e onde habitualmente o utilizador não tem muita influência sobre o processo [34,36].

O pós-processamento é a última etapa e consiste no tratamento da solução obtida. Deste modo, é possível realizar a representação gráfica, manipulando para tal a solução de modo a obter grandezas físicas secundárias para a verificação de parâmetros como a atenuação, fase, impedância, entre outras [34,36].

No processo de segmentação e conseqüente criação da malha de análise é originada uma matriz de contribuições que contém informação da geometria, materiais e fontes de excitação utilizadas no problema [36].

Na figura 3.5(a) pode-se observar a estrutura de um elemento finito com formato triangular, utilizado para análise bidimensional. Contudo, o processo é semelhante quando se trata do espaço tridimensional (tetraedros). Verifica-se que o elemento finito é constituído por três nós (n_1 , n_2 e n_3), que são os vértices do elemento, bem como é possível observar pela figura 3.5(b) onde este elemento se encontra inserido na região de solução, ou seja, na malha [36].

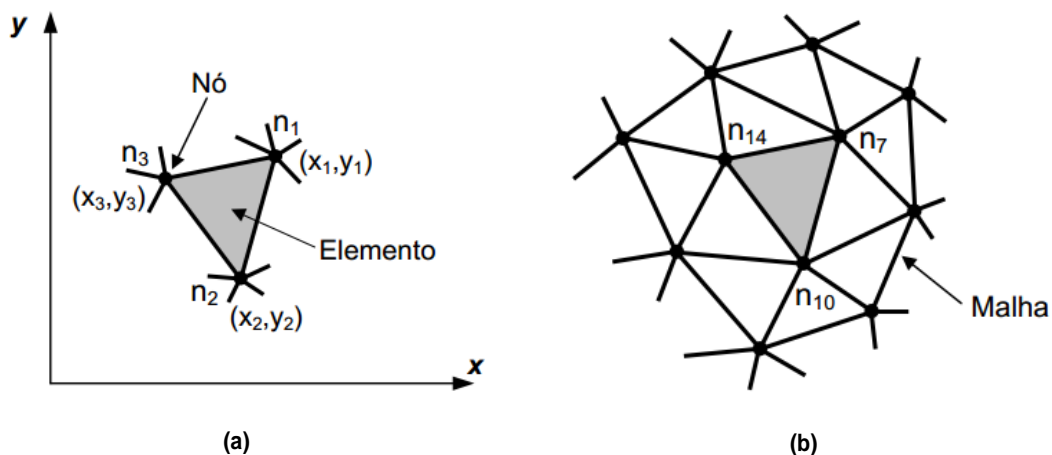


Figura 3.5 – Exemplo de um elemento criado para o espaço bidimensional: (a) elemento isolado; (b) elemento inserido na malha [36].

Um dos grandes problemas deste método está no sistema de coordenadas que é utilizado para realizar os cálculos, sendo que a solução passa por um processo conhecido como mapeamento, que implica passar o elemento para uma posição de referência como é verificado na figura 3.6 [36].

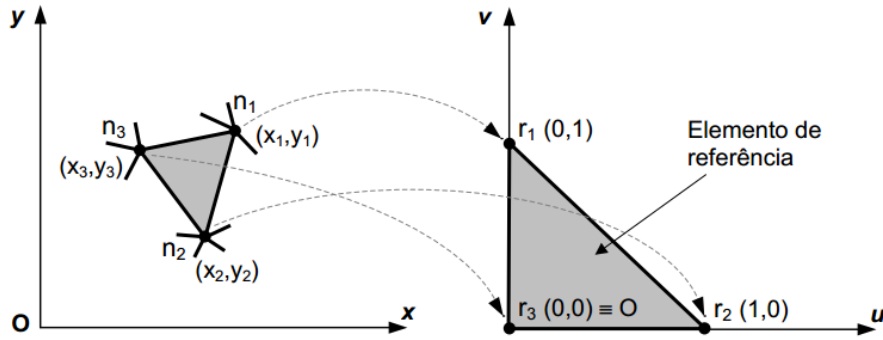


Figura 3.6 – Mapeamento de um elemento na sua posição original para a posição de referência [36].

Para um único elemento é considerada a seguinte matriz de contribuições (S) [34]

$$\begin{bmatrix} \frac{\partial F_i}{\partial V_1} \\ \frac{\partial F_i}{\partial V_2} \\ \frac{\partial F_i}{\partial V_3} \end{bmatrix} = \begin{bmatrix} S_{(1,1)} & S_{(1,2)} & S_{(1,3)} \\ S_{(2,1)} & S_{(2,2)} & S_{(2,3)} \\ S_{(3,1)} & S_{(3,2)} & S_{(3,3)} \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ V_2 \\ V_3 \end{bmatrix} + \begin{bmatrix} Q_1 \\ Q_2 \\ Q_3 \end{bmatrix} \quad (3.18)$$

Para uma malha com diversos elementos finitos a matriz de contribuições, malha de contribuições final que representa a malha de elementos de toda a geometria a analisar, SS , é dada por

$$\begin{matrix} & 1 & 2 & \dots & 7 & \dots & 10 & \dots & 14 & \dots & k \\ \begin{matrix} 1 \\ 2 \\ \vdots \\ 7 \\ \vdots \\ 10 \\ \vdots \\ 14 \\ \vdots \\ k \end{matrix} & \begin{bmatrix} \vdots & & & \vdots & & \vdots & & \vdots \\ \vdots & & & \vdots & & \vdots & & \vdots \\ \vdots & & & \vdots & & \vdots & & \vdots \\ \dots & \dots & \dots & S_{(1,1)} & \dots & S_{(1,2)} & \dots & S_{(1,3)} & \dots & \dots \\ \vdots & & & \vdots & & \vdots & & \vdots & & \vdots \\ \dots & \dots & \dots & S_{(2,1)} & \dots & S_{(2,2)} & \dots & S_{(2,3)} & \dots & \dots \\ \vdots & & & \vdots & & \vdots & & \vdots & & \vdots \\ \dots & \dots & \dots & S_{(3,1)} & \dots & S_{(3,2)} & \dots & S_{(3,3)} & \dots & \dots \\ \vdots & & & \vdots & & \vdots & & \vdots & & \vdots \\ k & & & \vdots & & \vdots & & \vdots & & \vdots \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ V_2 \\ \vdots \\ V_7 \\ \vdots \\ V_{10} \\ \vdots \\ V_{14} \\ \vdots \\ V_k \end{bmatrix} = \begin{bmatrix} Q_1 \\ Q_2 \\ \vdots \\ Q_7 \\ \vdots \\ Q_{10} \\ \vdots \\ Q_{14} \\ \vdots \\ Q_k \end{bmatrix} \end{matrix} \quad (3.19)$$

sendo que o vetor que tem a responsabilidade de modelar as cargas elétricas, bem como as correntes, ou seja, vetor de fontes (Q), é dado por

$$Q = SS \cdot V \quad (3.20)$$

onde V é o vetor dos campos eletromagnéticos desconhecidos.

Os campos impostos são dados pelas condições de contorno de Dirichlet e deverão ser definidas antes de resolver a expressão (3.20).

O método dos elementos finitos pode implementar dois métodos de integração distintos de modo a resolver as equações diferenciais, sendo eles o método residual de Galerkin e o método Variacional. Sendo este último de complexa resolução, é comum utilizar-se o primeiro [34,36-38].

De uma forma sucinta, o método de Galerkin utiliza a diferença entre a solução exata e a solução aproximada, de modo a definir o resíduo. No caso desta aproximação tender para zero a solução obtida terá o mesmo valor que a solução exata [34,36].

O método dos elementos finitos tem a necessidade que se divida todo o domínio do sistema analisado, logo tem de se definir fronteiras artificiais, mesmo que não existam. Por exemplo, caso se pretenda analisar um combinador/divisor de potência pode-se optar por utilizar dois tipos de solução para definir o contorno de limite de simulação, sendo que uma delas consiste em colocar à volta de toda a geometria do sistema uma caixa de metal. Esta é igualmente uma solução utilizada em sistemas reais visto permitirem eliminar as interferências. A outra solução consiste em simular espaço aberto através da utilização de fronteiras artificiais, como por exemplo *Scattering Boundary* ou então Camadas Perfeitamente Adaptadas (PML – *Perfectly Matched Layer*) [34, 36].

Existem alguns pacotes de *software* que utilizam o método dos elementos finitos, sendo os mais relevantes o COMSOL e o Ansoft HFSS.

3.2.5 Comparação entre métodos numéricos

Na tabela 3.1 é apresentada uma comparação, com alguns parâmetros importantes quanto à escolha do melhor método de análise numérico.

Tabela 3.1 – Comparação de alguns parâmetros relevantes de cada um dos métodos numéricos [35].

	MoM	FDTD	FEM
Formulação	Integral	Diferencial	Diferencial
Variáveis de solução	Variáveis de circuito (correntes e/ou tensões)	Variáveis de campo (campos elétricos e/ou magnéticos)	Variáveis de campo (campos elétricos e/ou magnéticos)
Domínio da solução	Domínio das frequências	Domínio dos tempos	Domínio das frequências
Geometria dos elementos	Não ortogonal	Ortogonal	Não ortogonal
Vantagens	Flexibilidade dos elementos	-Facilidade de utilização -Robustez -Lida com materiais complexos	- Flexibilidade dos elementos - Lida com materiais complexos e heterogéneos
Desvantagens	-Necessário conhecimento das funções de Green -É pesado computacionalmente	- Necessita de grande capacidade de armazenamento - Inflexibilidade dos elementos	- Tem de resolver sistemas lineares de grande dimensão

3.3 Software de simulação - COMSOL Multiphysics

O *software* COMSOL Multiphysics, anteriormente denominado de Femlab, foi desenvolvido em 1986 na Royal Institute of Technology (KTH) em Estocolmo na Suécia pelos estudantes Svante Littmarck e Farhad Saeidi [39]. O COMSOL é um *software* proprietário e está disponível para as plataformas Windows, Linux e MacOS [40].

O termo anglo-saxónico *multiphysics* advém da possibilidade deste *software* lidar com vários fenómenos físicos em simultâneo, permitindo resolver sistemas altamente complexos e obter grande precisão nos resultados. As diversas áreas de aplicação vão desde reações químicas, passando pela dinâmica dos fluídos, biociência, acústica, geofísica, eletromagnetismo, propagação de ondas e componentes de rádio frequência [40].

O COMSOL Multiphysics é uma ferramenta interativa para modelação e resolução de vários problemas científicos e de engenharia, utilizando para tal equações diferenciais parciais, que representam todo o modelo que se está a desenvolver [40].

Na figura 3.7 pode-se verificar a interface principal e que aparece inicialmente no momento em que se inicia o programa, sendo composto pelo menu *Model Builder*, *Model Wizard* e a janela de visualização.

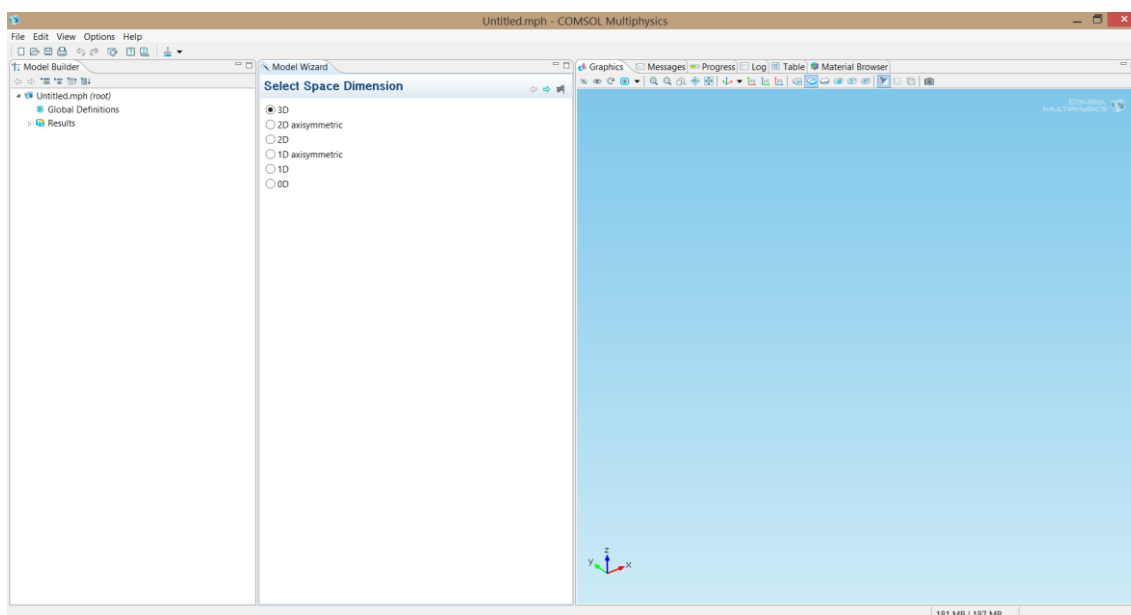


Figura 3.7 – Interface principal da ferramenta Comsol.

No anexo A são descritas as funcionalidades das diversas operações que são parte integrante da interface do COMSOL, tais como a barra de funcionalidades básicas, o *Model Builder*, *Model Wizard* e a janela de visualização das operações tomadas.

3.3.1 Módulo RF do COMSOL

O módulo do COMSOL onde irá incidir o estudo desta dissertação é o RF, sendo que o mesmo providência um ambiente para testar ondas eletromagnéticas, a uma, duas ou três dimensões. O módulo RF tem uma grande utilidade no que concerne ao teste de dispositivos, desde antenas, guias de onda, pistas impressas, fibras óticas, filtros,

combinadores e divisores de potência, circuitos planares, antenas e *phased arrays*, RFID (Radio-frequency identification), nano estruturas, dispositivos biomédicos, etc. [41].

Com o módulo RF do COMSOL é possível realizar várias tarefas e verificar vários parâmetros que são importantes para o desenvolvimento de sistemas em Rádio Frequência. Como exemplo, pode-se determinar os parâmetros S , visualizar o campo eletromagnético e correntes, visualizar o diagrama de radiação, calcular o ganho das antenas, determinar as perdas e dissipação de potência e verificar as condições de contorno. O COMSOL permite, ainda, que se testem sistemas de alimentação quer com portas de carga (*Lumped Ports*), quer com cabos coaxiais ou guias de onda e ainda permite simular resistências, condensadores e bobinas através dos elementos de carregados (*Lumped Elements*) [41].

Contudo, o COMSOL apresenta uma grande desvantagem face a algumas ferramentas de simulação, como por exemplo o ADS (Advanced Design Systems) desenvolvida pela Keysigth/Agilent, que é não simular sistemas com componentes ativos. O ADS dispõe de uma vasta livreria de componentes que podem ser anexados aos circuitos RF que se está a desenvolver enquanto o COMSOL não o permite. No entanto, o COMSOL é o software mais completo para RF disponível na Universidade da Madeira.

3.3.2 Simulação de um combinador/divisor de potência 1:2 no COMSOL

Por forma a demonstrar o dimensionamento de um sistema de rádio frequências no *software* COMSOL, mais propriamente utilizando o módulo RF, e posteriormente avaliar a sua eficácia, foi realizado o estudo de um divisor/combinador de potência com uma entrada e duas saídas, com o circuito representado na figura 3.8.

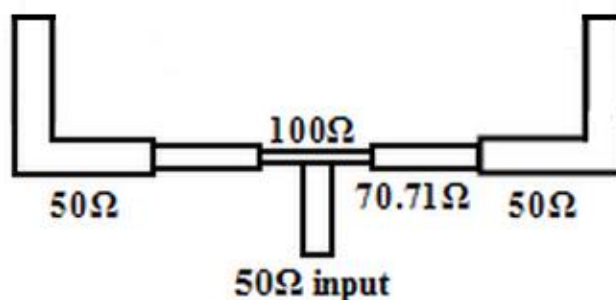


Figura 3.8 – Distribuidor/divisor de potência 1:2 utilizado para realizar a simulação.

De modo a dimensionar e construir o divisor/combinador de potência definiu-se que o mesmo deverá operar com uma frequência central de operação de 2,42 GHz, deverá ser implementado com tecnologia *microstrip* e uma impedância característica de entrada e saída do sistema de $Z_0 = 50 \Omega$.

O substrato da placa é o Duroid 5880, sendo a constante dielétrica de 2,2, a altura de substrato (h) de 1,588 mm, a altura do depósito de cobre (T) de 35 μm e o fator de dissipação ($\tan \sigma$) de 0,0009.

Como existe a passagem de uma para duas pistas, e tendo em conta que se deverá manter a impedância característica da pista com 50 Ω , é necessário que na junção

se tenha 100Ω , uma vez que o paralelo de duas impedâncias de 100Ω é igual a 50Ω . Para converter a pista de 50Ω numa de 100Ω é utilizado o transformador de $\lambda/4$ de impedância por [20]

$$Z_1 = \sqrt{Z_0 R_L} \quad (3.21)$$

onde Z_1 é a impedância do adaptador de $\lambda/4$ e R_L é a impedância da carga, que neste caso é 100Ω , sendo que se obteve o valor de $Z_1 = 70,71 \Omega$. O valor das larguras das pistas foi determinado utilizando a expressão [19]

$$Z_0 = \begin{cases} \frac{60}{\sqrt{\epsilon_e}} \ln\left(\frac{8d}{W} + \frac{W}{4d}\right) & , \text{para } \frac{W}{d} \leq 1 \\ \frac{120\pi}{\sqrt{\epsilon_e} \left[\frac{W}{d} + 1,393 + 0,667 \ln\left(\frac{W}{d} + 1,444\right) \right]} & , \text{para } \frac{W}{d} \geq 1 \end{cases} \quad (3.22)$$

onde ϵ_e é definido por

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + 12 \frac{d}{W}}} \quad (3.23)$$

Realizaram-se os cálculos das larguras das pistas para os três valores de impedância necessários para implementar o combinador/divisor de potência da figura 3.8, tendo-se obtido Z_0 (50Ω) = 4,847 mm; Z_1 ($70,71 \Omega$) = 2,749 mm; R_L (100Ω) = 1,367 mm.

De modo a compreender todos os passos e desenvolver corretamente um sistema que possa ser simulado no COMSOL, o anexo A pode ser consultado.

Iniciou-se a implementação do sistema pela definição do substrato. Para tal, no *work plane* do COMSOL definiu-se um retângulo com 120 mm de largura e 45,675 mm de altura e fixou-se o centro da geometria da placa em $x_w = 0$ e $y_w = 22,838$ mm, como verificado na figura 3.9.



Figura 3.9 – Placa Duroid 5880 dimensionada no COMSOL.

Em seguida foram definidas as pistas e, de modo a facilitar o processo optou-se por fazer a geometria através da construção de um polígono constituído por vários pontos que correspondem aos comprimentos (eixo xw) e às larguras (eixo yw) de cada uma das secções correspondentes às pistas de 50 Ω , 70,71 Ω e 100 Ω .

Pela figura 3.10(a) observa-se que apenas o percurso da esquerda foi criado e para o da direita utilizou-se a operação *mirror*, com o ponto de reflexão a ocorrer em $xw = 0$ e $yw = 0$, sendo refletido o eixo dos xx , logo $xw = 1$, estando o resultado apresentado na figura 3.10(b).

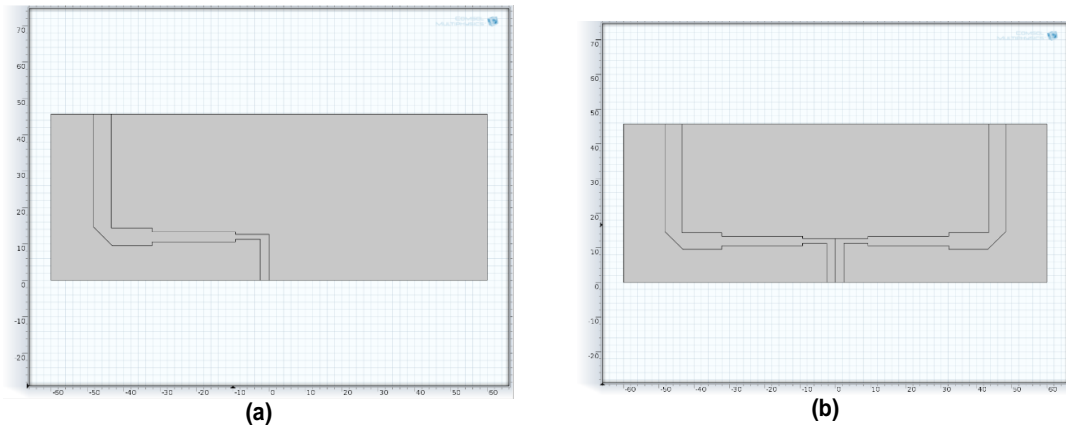


Figura 3.10 – Criação da pista de propagação entre a entrada e a saída: (a) apenas a pista da esquerda; (b) as duas pistas, depois de aplicar a operação *mirror*.

Por fim bastou unir, através da função *Union*, ambas as geometrias de modo a concluir o desenho a duas dimensões.

Como se pretende realizar a análise do sistema a três dimensões, o COMSOL possui uma função que permite passar uma geometria bidimensional para tridimensional, sendo essa mesma função o *Extrude*. Sabendo que a altura do substrato Duroid 5880 é de 1,588 mm, aplicou-se a função *Extrude* obtendo-se o sistema apresentado na figura 3.11(a).

Quanto à construção da geometria apenas falta definir as fronteiras do limite espacial da simulação. Para tal colocou-se a geometria apresentada na figura 3.11(a) dentro de uma caixa, estando o resultado obtido na figura 3.11(b).

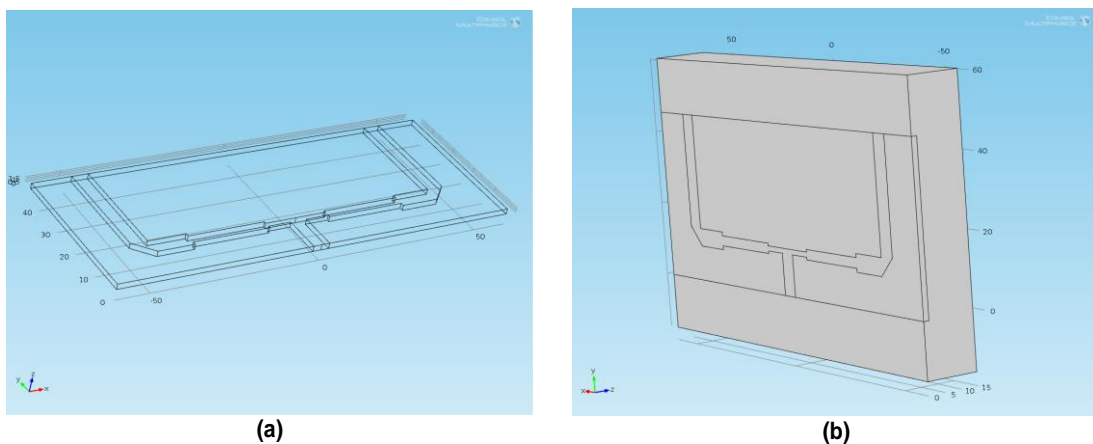


Figura 3.11 – Passagem a geometria do espaço bidimensional para o tridimensional: (a) apenas o domínio do sistema de interesse; (b) com a aplicação da fronteira de limite de simulação.

Concluída a geometria, foram definidos os materiais, com a definição do domínio da caixa o ar (*air*), como destacado a lilás na figura 3.12 (a), e com os restantes domínios da geometria definidos pelos parâmetros necessários para simular Duroid 5880, ou seja, permitividade relativa como 2,2, permeabilidade relativa como 1 e a condutividade elétrica do material como 0, sendo o resultado obtido apresentado na figura 3.12 (b).

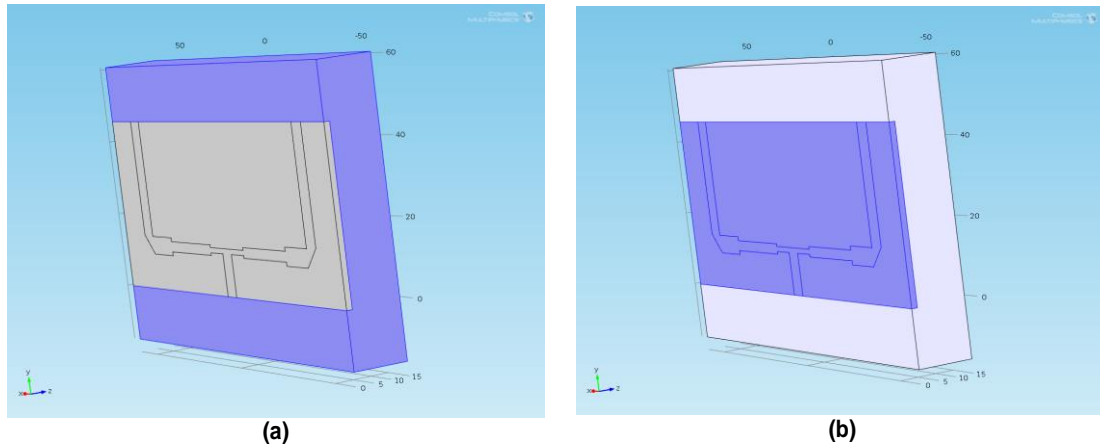


Figura 3.12 – Definição dos materiais da geometria: (a) definição da região da geometria ar (a lilás); (b) definição da região da geometria do substrato Duroid 5880.

Depois de definir os materiais do sistema, foram caracterizados os tipos de propriedades físicas a que os domínios ou os contornos das geometrias estão sujeitos. Tal como os produtos comerciais, que vêm dentro de uma caixa metálica de modo a não sofrer interferências eletromagnéticas, colocou-se o sistema desenvolvido envolto numa caixa metálica. Desta feita, definiu-se as paredes da caixa como condutor elétrico perfeito (*Perfect Electric Conductor*), como mostra a figura 3.13(a). A caixa serve igualmente para definir o limite da simulação. Em seguida, definiram-se a pista condutora e o plano de terra como condutores elétricos perfeitos (figura 3.13(b)).

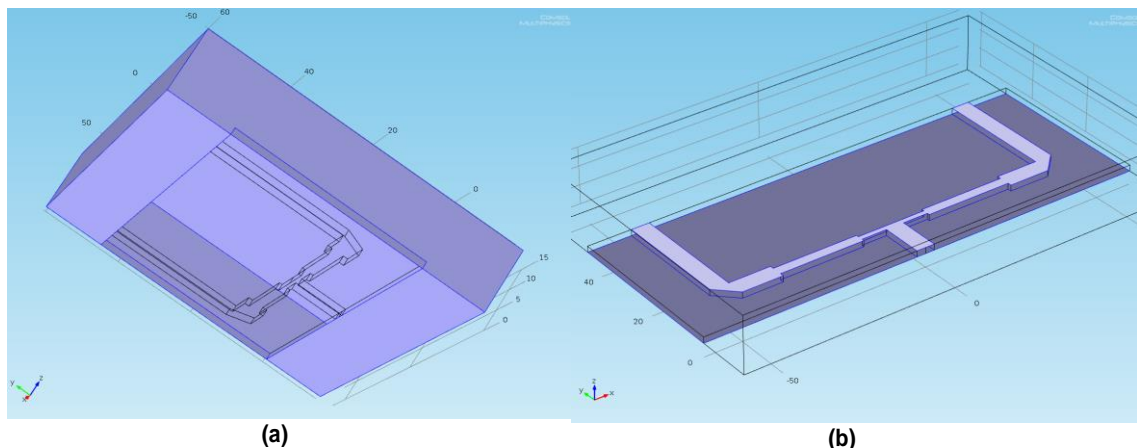


Figura 3.13 – Definição das superfícies de contorno da geometria: (a) fronteira (contorno) que limita a área de simulação; (b) condutores perfeitamente elétricos.

Por fim indicaram-se as portas de entrada e de saída do sistema, como destacado a lilás na figura 3.14, definindo-as como Portas de Carga, e adaptou-se as mesmas a uma impedância de 50 Ω .

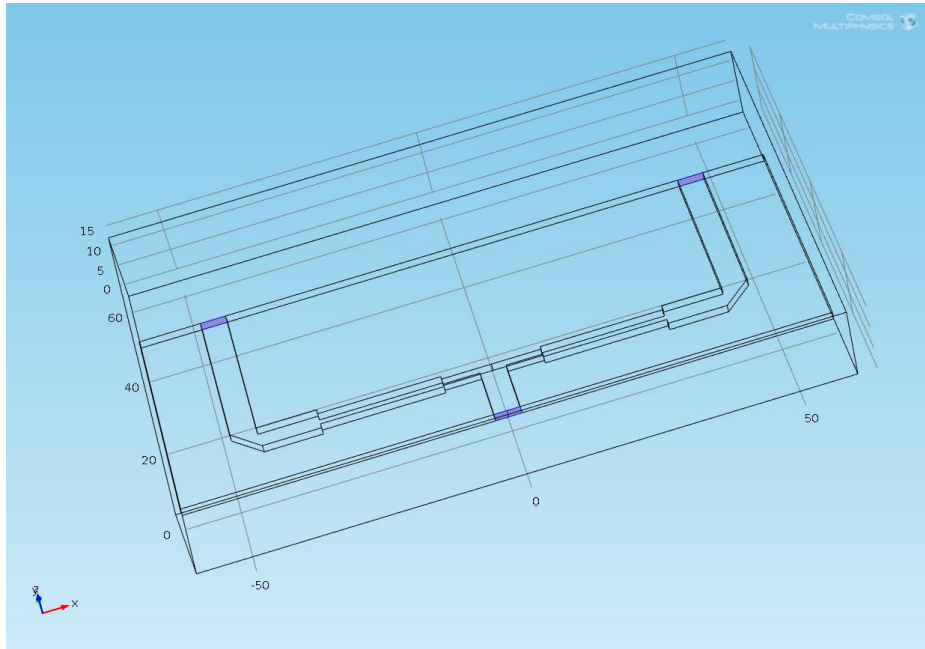


Figura 3.14 - Definição das superfícies de contorno da geometria as portas de entrada e saída do sistema.

O passo seguinte passou por definir a malha de discretização, sendo para tal selecionado elementos tetraédricos (*Free Tetrahedral*). O tamanho máximo de cada elemento deverá ser pelo menos 10 vezes menor do que o comprimento de onda, ou seja, no máximo cada elemento deverá ter 8,358 mm, sendo o resultado obtido o representado na figura 3.15.

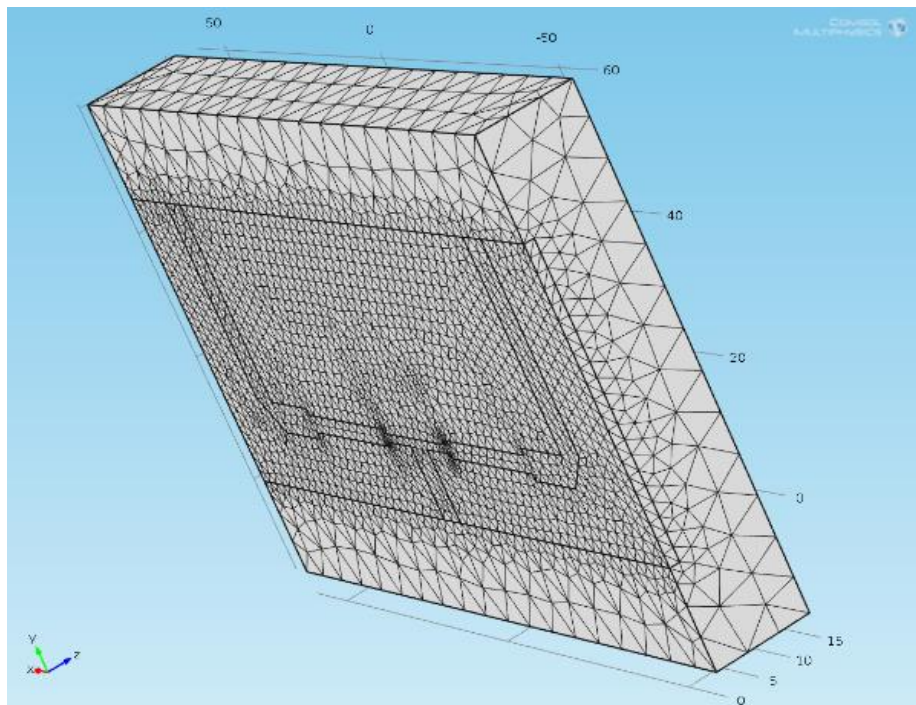


Figura 3.15 – Segmentação de todos os domínios da geometria (malha de tetraedros).

Em relação aos resultados, pode-se observar pela figura 3.16 a distribuição do campo elétrico ao longo das pistas.

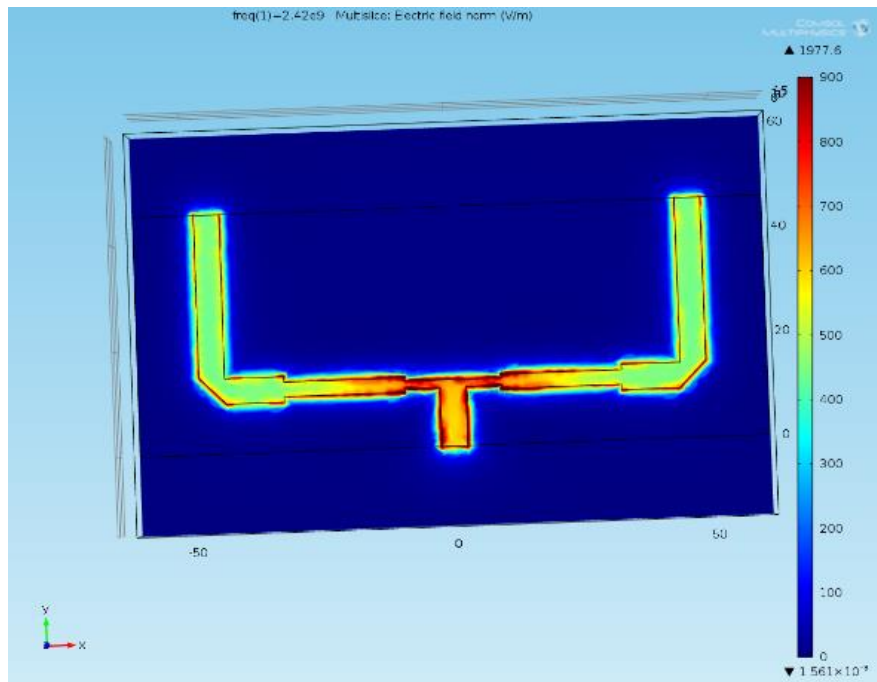


Figura 3.16 – Solução do problema, apresentando o comportamento do campo elétrico.

Como indicado anteriormente, a última etapa de um projeto de desenvolvimento de um sistema RF passa pela análise dos resultados obtidos. Para tal verificaram-se os parâmetros mais preponderantes para este sistema. Foram observados parâmetros como as perdas por retorno (S_{11}), as perdas por inserção em ambas as portas de saída em relação à entrada (S_{21} e S_{31}), bem como as fases do sinal em ambas as saídas ($arg(S_{21})$ e $arg(S_{31})$) em graus, estando os resultados na tabela 3.2.

Tabela 3.2 – Valores obtidos na simulação do combinador/divisor de potência 1X2 no Comsol.

Parâmetros	Valores pretendidos	Valores obtidos	Valores de fase pretendidos	Valores de fase obtidos
S_{11}	≤ -14 dB	-22,424 dB	-	-
S_{21}	-3 dB	-3,235 dB	0°	$6,382^\circ$
S_{31}	-3 dB	-3,271 dB	0°	$6,607^\circ$

Segundo [42], para o sistema estar adaptado, as perdas por retorno deverão ser inferiores a -14 dB. Observa-se pelos valores da tabela 3.2 que as perdas por retorno (S_{11}) são de -22,42 dB [42], indicando que o sistema está bem adaptado. A perda por inserção teórica esperada era de -3 dB em cada uma das portas mais as perdas por propagação nas pistas, sendo que pela tabela 3.2 pode-se confirmar o valor dessas perdas. Verificou-se igualmente que ambas as portas estão equilibradas em termos de perdas.

Quanto às fases, esperava-se que o sistema simulado tivesse uma fase em cada uma das portas de saída de 0° . Os valores obtidos por simulação estão ligeiramente acima do esperados sendo obtido um desvio de cerca de 6° , em relação aos 0° para as quais as portas foram dimensionadas. No entanto, é de destacar no que toca às fases um equilíbrio entre portas de saída.

3.3.3 Desafios na introdução ao COMSOL

Ao longo da aprendizagem do funcionamento da ferramenta de simulação COMSOL surgiram diversos desafios derivados da falta de experiência de operação com ferramentas de simulação eletromagnética, bem como dispor de formas de ultrapassar as dificuldades encontradas.

Ao ter um primeiro contacto com o COMSOL em primeira instância deve-se saber identificar e definir o tipo de sistema que se irá dimensionar e analisar, bem como que parâmetros se pretende retirar do sistema. Saber realizar os passos anteriormente referidos permite uma melhor integração com a ferramenta de simulação, principalmente no COMSOL. Essa sequência segue a mesma lógica apresentada, aquando do estudo dos métodos numéricos, primeiro dimensiona-se a geometria, define-se os materiais, define-se as condições de contorno, discretizam-se todos os domínios da geometria, realiza-se o estudo e por fim analisam-se os resultados.

As equações das condições fronteira aplicadas aos contornos da geometria são pré-definidas pelo próprio COMSOL, sendo que este dá igualmente a possibilidade de se inserir essas equações. Embora este procedimento seja já pré-definido pelo próprio COMSOL, o projetista deverá sempre confirmar se as equações estão de acordo com o que se pretende determinar.

Uma outra ação, deveras importante não só no COMSOL, mas também a ferramentas que utilizam métodos numéricos, é identificar que dimensão espacial será utilizada para desenhar a geometria. Esta ação pode levar à otimização do processo. Caso se opte por 2D perde-se precisão, mas ganha-se em tempo de processamento, ou em 3D ganhando precisão e perdendo no tempo e recursos computacionais utilizados.

A definição da fronteira de simulação é outro aspeto muito importante no projeto, estando dependente do tamanho da área de simulação e do tipo de material pelo qual é constituído. No caso de ser uma caixa metálica a fronteira de simulação deverá ser *Perfect Electric Conductor*. No caso de uma geometria aberta, ou seja, ao ar livre então o melhor será utilizar *Scattering Boundary Condition*.

Como em qualquer ferramenta de simulação eletromagnética, o maior desafio prende-se com a construção da malha, principalmente no que concerne ao tamanho dos elementos que constituem a mesma. É aconselhado que o tamanho máximo do elemento seja $\lambda/10$. Geralmente, quanto mais fina é a malha e, conseqüentemente, mais pequenos são os elementos da mesma, mais aproximado será o resultado esperado. Contudo, dever-se-á ter em conta que quanto mais fina é a malha maior será o tempo e poder de processamento necessários para encontrar a solução.

Outro erro muito comum é o desenho da geometria conter um espaço menor que um elemento da malha, podendo-se resolver o problema diminuindo o tamanho dos elementos da malha ou então eliminando esse espaçamento.

Por fim, no que concerne a desafios verificados no *software* COMSOL, um procedimento que poderá ser relevante realizar aquando do estudo é a constante verificação da convergência dos cálculos realizados com a solução esperada. É possível verificar se o estudo está a convergir para uma solução, através do gráfico de convergência, mais propriamente através do erro.

O erro inicial do estudo tem um valor pré-definido de 400. Ao longo de todas as simulações realizadas na dissertação foi verificado que quando este valor, na 1ª interação, ascendia a valores na ordem das centenas de milhares, os cálculos geralmente nunca iriam tender para a solução final. Esta foi uma observação retirada ao longo dos diversos estudos realizados, não querendo dizer que seja um acontecimento implícito para todos os casos.

O aconselhado a realizar nesta situação é parar a simulação e aumentar o tamanho dos elementos da malha ou então aumentar o poder de processamento, especialmente a memória RAM. Foi o que se realizou em casos em que não foi possível obter a solução através do computador de trabalho (com 4GB de RAM), tendo-se que simular num servidor cuja RAM ascendia a 20 GB.

4. Desenvolvimento e implementação dos circuitos RF

Neste capítulo será apresentado todo o processo de desenvolvimento dos sistemas que se verificaram mais adequados para a realização deste trabalho. Serão implementados sistemas de controlo do diagrama de radiação, distribuição de potência, bem como aqueles que realizam as duas funções em simultâneo, como é o caso da matriz de Butler. Serão apresentados os cálculos, as simulações e as implementações práticas dos circuitos. De referir ainda que o dimensionamento dos circuitos mais importantes deste trabalho podem ser consultados no anexo B.

4.1 Desenvolvimento de sistemas em alta frequência

No desenvolvimento de um sistema de rádio frequência é necessário ter sempre presente que se está a lidar com altas frequências e que o desenvolvimento de sistemas, desde percursos para propagação do sinal RF quer outros que atuam sobre o sinal, implica um estudo cuidadoso e desenvolvimento preciso. O que se irá verificar ao longo do capítulo é que existe uma clara diferença entre um esquemático de um circuito e implementá-lo em baixas frequências e implementá-lo em altas frequências. Por exemplo, para baixas frequências é indiferente se o cabo que transporta a informação tem uma largura de por exemplo 0,5 mm ou 1 mm. Contudo, em altas frequências esta diferença poderá fazer com que uma pista com uma impedância característica de $Z_0 = 50\Omega$ tome um valor diferente, tendo consequências na adaptação do sistema.

Outra situação, que é importante para este trabalho em concreto, é que uma alteração de 1 mm no comprimento de uma pista representa, num substrato de 1,588 mm com $\epsilon_r = 2,2$ a 2,42 GHz, uma diferença de fase de $3,99^\circ$.

Perante estas dificuldades, encontra-se no Anexo C conteúdo importante no que diz respeito ao desenvolvimento de circuitos de alta frequência, como é o caso das descontinuidade e das ligações ao plano de massa.

Por fim, no anexo D poderão ser consultados os procedimentos necessários de modo a realizar os testes e retirar medidas corretamente, incluindo como realizar a fabricação dos cabos.

4.2 Combinadores/divisores de potência

Na secção 2.7 foram apresentados dois tipos de sistemas de alimentação que permitiam a combinação/distribuição dos sinais RF desde o gerador de sinais até aos elementos radiantes, sendo eles os combinadores/divisores de potência com a configuração em série e em paralelo. Como para o produto final pretende-se que a distribuição de potência pelos deslocadores de fase seja a mesma na maioria dos casos, o nível de potência que chega a cada deslocador de fase deve ser o mesmo, então utilizou-se o combinador/divisor de potência em paralelo.

Para este trabalho foi assumido inicialmente que o controlo do feixe de radiação seria exercido sobre quatro elementos radiantes. Desta forma, o combinador/divisor de potência será de 1:4, ou seja, com uma porta de entrada e quatro de saída ou uma porta

de saída e quatro de entrada, dependendo de como se está a operar, se em emissor ou recetor, respetivamente.

Foram implementados dois tipos de combinadores/divisores de potência, o primeiro com a mesma diferença de fase entre as 4 portas de saída e o outro com diferenças de fase entre portas de saída de 45°.

4.2.1 Combinador/divisor de potência sem desvio de fase

Por forma a construir o combinador/divisor de potência sem desvio de fase entre portas de saída, foi necessário garantir as diferentes adaptações de impedância, como foi abordado no capítulo 3.5.

Dimensionou-se o combinador/divisor de potência 1:4 para a placa Duroid 5880 e utilizou-se a equação (3.22) para dimensionar a largura das pistas nas diferentes transições de impedância efetuadas. Apresenta-se na figura 4.1(a) o combinador/divisor de potência simulado no COMSOL, sendo que a partir do mesmo esquema, e através da ferramenta Ultiboard, foi construído o combinador/divisor de potência demonstrado na figura 4.1(b).

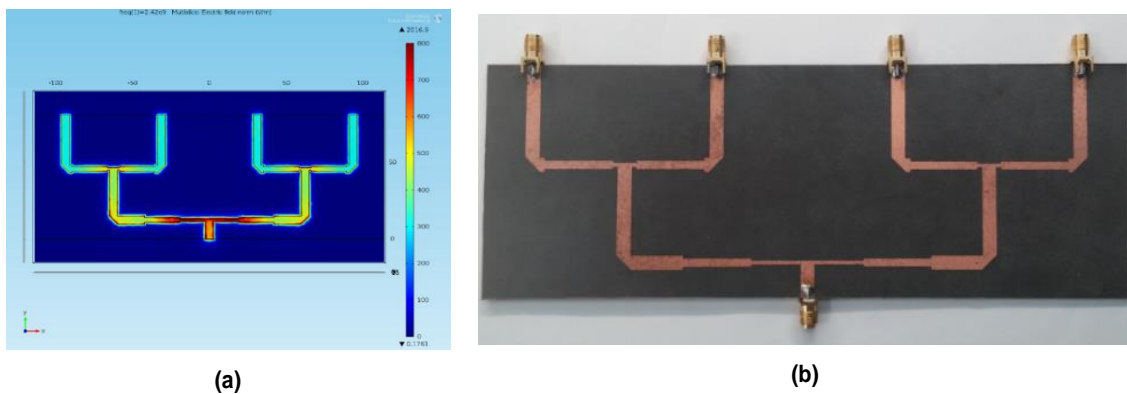


Figura 4.1 – Combinador/divisor de potência 1:4 sem desvio de fase: (a) implementado no COMSOL; (b) sistema construído.

Realizaram-se os testes necessários de modo a obter os parâmetros mais importantes a reter neste sistema, tais como as perdas por inserção e por retorno bem como as fases entre portas, sendo os resultados apresentados na tabela 4.1.

Tabela 4.1 – Resultados dos testes efetuados ao combinador/ divisor de potência 1:4 sem desvio de fase, simulado e construído.

	Perdas por retorno/ Perdas por inserção em (dBs)					Fases em (graus)			
	S_{11}	S_{21}	S_{31}	S_{41}	S_{51}	$\angle S_{21}$	$\angle S_{31}$	$\angle S_{41}$	$\angle S_{51}$
Simulação	-17,56	-6,35	-6,32	-6,39	-6,43	59,5	58,9	58,7	59,0
Construído	-18,52	-6,37	-6,37	-6,41	-6,32	97,38	97,38	98,57	96,36

Como o combinador/divisor de potência implementado tem 4 saídas espera-se obter à saída de cada porta -6 dB. Como se observa na tabela 4.1, quer os valores da simulação quer do sistema construído apresentam os valores em torno dos esperados. Todas as saídas estão em equilíbrio, visto que os valores não sofrem grandes variações

entre portas, sendo que o valor excedente é derivado às perdas por inserção introduzidas. Em termos de perdas por retorno os valores observados na tabela 4.1, quer na simulação quer no sistema construído, são relativamente baixas, significando que pouca potência retorna à fonte, indicando igualmente que a adaptação do sistema foi realizada corretamente. Por fim, no que respeita às fases, apesar de existir discrepâncias entre os valores obtidos na simulação e os do sistema construído este facto é pouco relevante, uma vez que o aspeto importante é o equilíbrio das fases entre as quatro portas de saída.

4.2.2 Combinador/divisor de potência com desvio de fase de 45°

De modo a construir o combinador/divisor de potência com desvio de fase de 45° entre portas de saída realizaram-se os mesmos procedimentos que no combinador/divisor de potência sem desvio de fase. A exceção está nos comprimentos dos percursos entre a porta de entrada e as portas de saída 2, 3 e 4, sendo que os desvios de fase adicionados a cada percurso foram de 45°, 90° e 135°, respetivamente, em relação à porta 1.

Pelos cálculos realizados através da equação (2.1), isto significa que os percursos entre a porta de entrada e as portas 2, 3 e 4 têm mais 11,268 mm, 22,536 mm e 33,804 mm, respetivamente, em relação ao comprimento do percurso associado entre a entrada e a porta de saída 1.

O dimensionamento das pistas foi realizado tendo em conta o material Duroid 5880 e as larguras das pistas foram calculadas da mesma forma que o combinador/divisor de potência sem desvio de fase entre portas. Na figura 4.2(a) apresenta-se o combinador/divisor de potência 1:4 com desvio de fase de 45° entre portas e na figura 4.2(b) está o circuito construído.

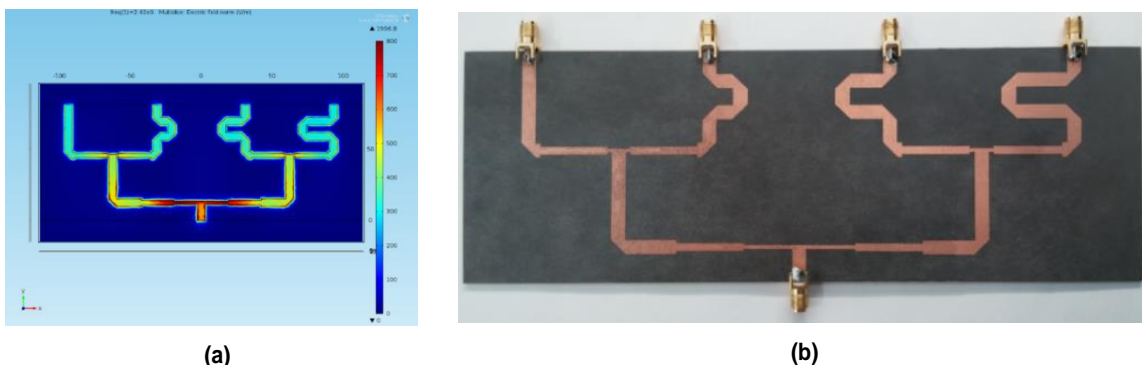


Figura 4.2 - Combinador/ divisor de potência 1:4 com desvio de fase: (a) implementado no COMSOL; (b) construído laboratorialmente.

Foram realizados os testes necessários de modo a obter os parâmetros mais importantes a reter neste sistema, tais como as perdas por inserção e por retorno bem como as fases entre portas, sendo os resultados apresentados na tabela 4.2.

Tabela 4.2 - Resultados dos testes efetuados ao combinador/ divisor de potência 1:4 com desvio de fase, simulado e construído.

	Perdas por retorno/ Perdas por inserção em (dBs)					Fases em (graus)			
	S_{11}	S_{21}	S_{31}	S_{41}	S_{51}	$\angle S_{21}$	$\angle S_{31}$	$\angle S_{41}$	$\angle S_{51}$
Simulação	- 18,53	- 6,50	- 6,05	- 6,08	- 6,93	61,4	14,74	- 31,76	- 78,97
Construído	- 18,59	- 6,42	- 6,44	- 6,81	- 6,32	106,65	59,04	12,98	-34,32

Observando os resultados apresentados na tabela 4.2, é de verificar que existe um bom equilíbrio ao nível das perdas por inserção em cada uma das portas bem como os valores referentes às perdas por retorno. A diferença de fase de 45° entre uma porta de saída e as suas adjacentes foi alcançado, podendo-se observar pela tabela 4.2 que os valores dos desvios são muito aproximados a 45° , sendo que o erro máximo é de $2,21^\circ$, o que representa em termos de percentagem a um erro de 4,91%, ou seja, valor baixo para sistemas de rádio frequências.

4.3 Matriz de Butler

Tal como no caso do combinador/divisor de potência com desvio de fase de 45° entre portas, a matriz de Butler é igualmente uma forma de realizar o desvio de fase de forma passiva. Contudo, esta é mais versátil do que o combinador/ divisor de potência com desvio de fase, uma vez que permite não só combinar/distribuir a potência mas também realizar vários desvios de fase.

Uma matriz de Butler 4X4 significa que alimentando individualmente cada uma das portas de entrada ocorrerá quatro desvios de fase. O desenvolvimento da matriz de Butler 4X4 começou pela simulação em COMSOL dos três circuitos fundamentais à construção da mesma, que são o acoplador híbrido, o *crossover* e o percurso de desvio de fase.

De referir ainda que foi utilizado o substrato FR4, cujas características estão descritas na tabela c.1 que está no Anexo C, uma vez que as placas Duroid 5880 disponíveis em laboratório não tinham área suficiente para acomodar uma matriz de Butler 4X4.

4.3.1 Acoplador Híbrido

O acoplador híbrido é um circuito RF de grande relevância, sendo utilizado para combinar ou dividir sinais RF, e com eficácia possibilita igualmente realizar a separação entre o sinal incidente e o sinal refletido [43]. Na figura 4.3 é apresentado um esquema do funcionamento de um acoplador híbrido. Ao introduzir sinal na porta 1 a potência irá dividir-se equitativamente pelas portas 2 e 3, sendo que a diferença entre as duas portas consiste na diferença de fase do sinal entre as mesmas, de 90° . Já a porta 4 deverá estar isolada, ou seja, deverá chegar muito pouca potência [19].

Pela figura 4.3 verifica-se igualmente que as duas pistas principais de $\lambda/4$ (ligação entre a porta 1 e 2 bem como entre a 3 e 4) estão acopladas entre si por dois braços de $\lambda/4$ [19].

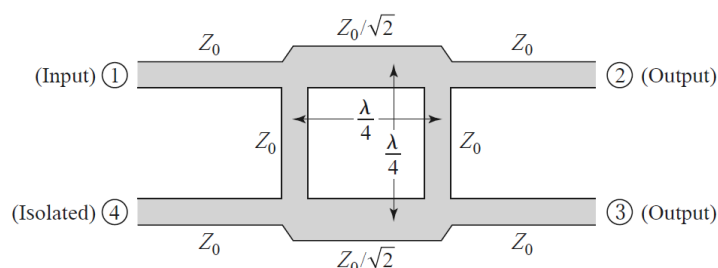


Figura 4.3 – Acoplador Híbrido implementado em linha impressa recorrendo à tecnologia *microstrip* [19].

De modo a realizar uma correta implementação do acoplador híbrido, deve-se garantir que todas as portas estão adaptadas a 50Ω , sendo a impedância característica dos braços em paralelo de Z_0 e dos braços em série de $Z_0/\sqrt{2}$ [19].

Procedeu-se à implementação do acoplador híbrido tendo em conta todas as indicações anteriormente mencionadas e utilizando a equação (3.22) para o cálculo da largura da pista dos respetivos braços. Os braços em paralelo têm uma impedância de 50Ω e os em série de $35,36 \Omega$. Na figura 4.4 está representada a simulação do sistema, sendo possível observar o efeito pretendido, ou seja, tendo sinal nas portas 2 e 3, e a porta 4 em isolamento.

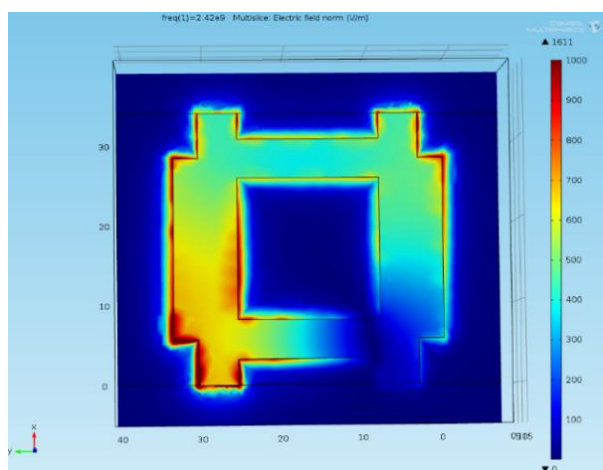


Figura 4.4 – Simulação do acoplador híbrido implementado, quando é injetado sinal na porta 1.

Após a realização da simulação foram retirados os parâmetros fundamentais (tabela 4.3) que descrevem o funcionamento do sistema, entre os quais as perdas por inserção e por retorno, bem como as fases entre a porta 2 e 3, que deverão apresentar uma diferença de 90° .

Tabela 4.3 – Resultados dos testes efetuados ao acoplador híbrido.

	Magnitude (dB)				Fases em graus		
	S_{11}	S_{21}	S_{31}	S_{41}	$\angle S_{21}$	$\angle S_{31}$	desvio
Simulação	-18,96	-3,25	-3,01	-19,19	-121,2	148,6	90,20

O acoplador híbrido é igualmente conhecido na literatura por $3 \text{ dB } 90^\circ \text{ Hybrid Coupler}$. Como o seu nome indica, o seu funcionamento está dependente da potência que é introduzida, por exemplo na porta 1, se divide igualmente pelas portas 2 e 3. Daí o nome de 3 dB . Já os 90° advém da diferença de fase que deverá ocorrer entre as portas 2 e 3. Como se pode observar pela tabela 4.3, obtém-se -3 dB , como era esperado, nas portas de saída 2 e 3, bem como se verifica que entre a porta 2 e a porta 3 tem-se uma diferença de fase de 90° . Na porta 4 obteve-se $-19,19 \text{ dB}$, significando que a porta está de facto em isolamento, bem como se obteve um valor de $-18,96 \text{ dB}$ para as perdas por retorno, significando que pouca potência retorna para a porta de alimentação.

4.3.2 Crossover

Um *crossover* é um circuito que permite que dois sinais eletromagnéticos se cruzem sem que causem interferência entre ambos. Existem várias formas de realizar um *crossover* em circuito impresso. Contudo, a mais simples e prática é juntar em cascata dois acopladores híbridos, como se verifica na figura 4.5.

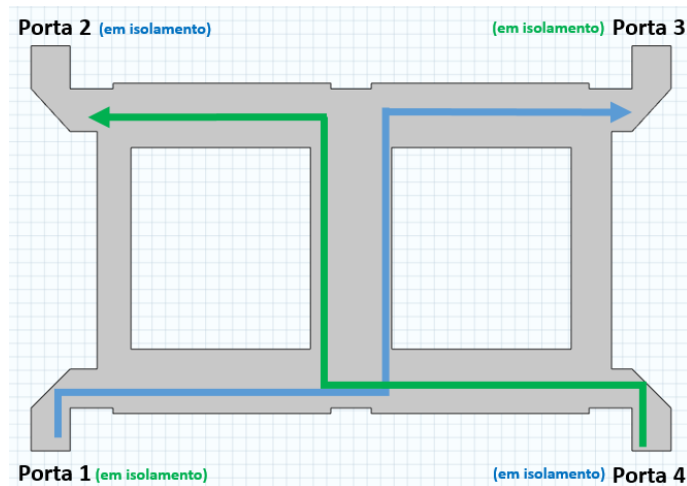


Figura 4.5 – Exemplo de funcionamento de um *crossover*.

Conceptualmente, o seu funcionamento é simples. Por exemplo, caso se introduza sinal na porta 1 o mesmo irá percorrer o circuito por forma a sair apenas na porta 3, sendo que as portas 2 e 4 deverão estar em isolamento. Já no caso de o sinal ser introduzido na porta 4 então o sinal irá percorrer o circuito até à porta 2, estando as portas 1 e 3 isoladas [44].

A implementação do *crossover* em pista impressa poderá ser realizada juntando em cascata dois acopladores híbridos. No entanto, teve-se que alterar a impedância para que na pista vertical entre a união dos dois acopladores híbridos se tivesse o paralelo de 50Ω , ou seja, 25Ω , adaptando-se assim o sistema. Para a implementação do *crossover* foi necessário que o mesmo tivesse as impedâncias indicadas anteriormente e representadas na figura 4.6.

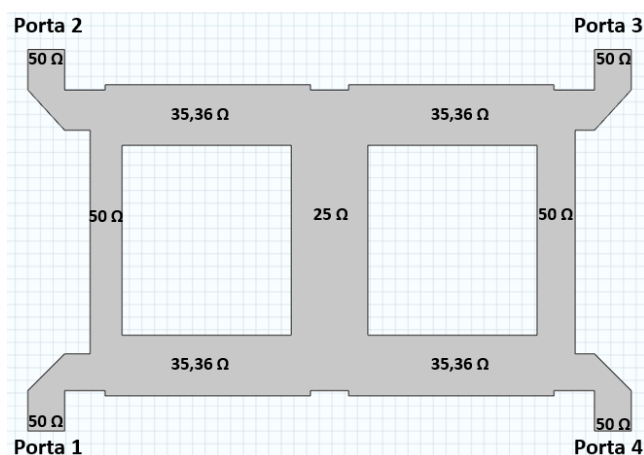
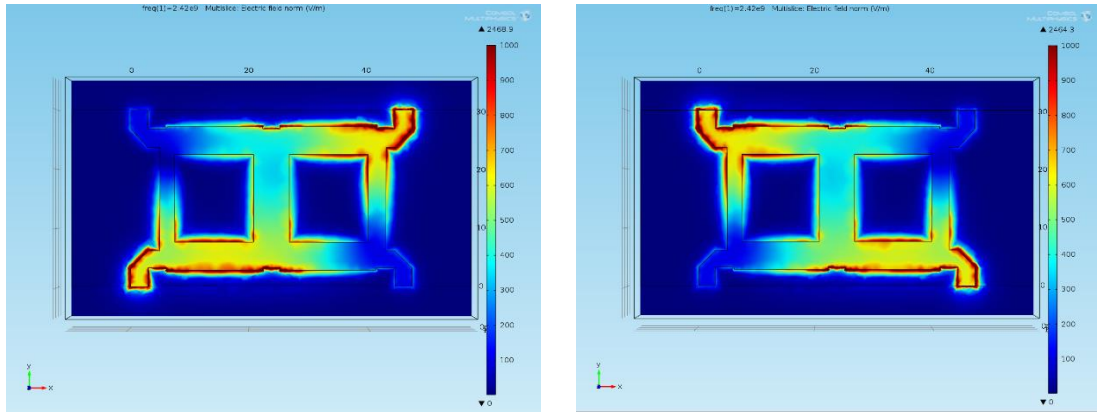


Figura 4.6 – Impedâncias das pistas que se implementou no *crossover*.

Tendo em conta a figura 4.6, dimensionaram-se as larguras das pistas mediante a impedância característica verificada em cada uma das partes do circuito, utilizando para tal a expressão (3.22). Nas figuras 4.7(a) e 4.7(b) são apresentados os campos eletromagnéticos no *crossover*, sendo possível verificar o respetivo percurso que o sinal toma quando injetado na porta 1 ou na porta 4, respetivamente.



(a) (b)
Figura 4.7 – Simulação do *Crossover* implementado: (a) percurso do sinal RF quando o mesmo é injetado na porta 1; (b) percurso do sinal RF quando o mesmo é injetado na porta 4.

A partir das simulações apresentadas nas figuras 4.7(a) e 4.7(b) foi possível retirar alguns parâmetros importantes como as perdas por inserção entre os dois percursos possíveis e o valor da atenuação nas portas que estão em isolamento. Também foram obtidas as perdas por retorno e o comprimento (fase) do percurso entre a porta 1 e 3 e a porta 4 e 2, que deverá ser o mesmo de modo a não introduzir nenhum erro de fase nos níveis posteriores da matriz de Butler. Na tabela 4.4 é possível observar os resultados retirados na simulação do *crossover*.

Tabela 4.4 - Resultados dos testes efetuados ao *crossover* simulado.

	Magnitude (dB)				Fases em graus		
	S_{11}	S_{21}	S_{31}	S_{41}	$\angle S_{21}$	$\angle S_{31}$	$\angle S_{41}$
Porta 1 e porta 3	-15,45	-15,58	-0,39	-15,39	-----	9,62	-----
	S_{14}	S_{24}	S_{34}	S_{44}	$\angle S_{14}$	$\angle S_{24}$	$\angle S_{34}$
Porta 4 e porta 2	-15,39	-0,39	-15,00	-16,146	-----	9,44	-----

O *crossover* é igualmente conhecido como 0 dB *crossover*. Desta forma, o valor de atenuação entre a porta de entrada e a porta de saída deverá ser próximo a 0 dB. As perdas por inserção, S_{31} e S_{24} na tabela 4.4, e as portas que estão em isolamento em cada momento têm valores em consonância com o que se esperava.

Os valores das fases, quando o sinal percorre os dois percursos distintos, estão igualmente em consonância com o esperado, visto os valores estarem muito próximos entre si, sendo a diferença de apenas $0,18^\circ$, evidenciando assim um bom equilíbrio entre fases.

4.3.3 Pista de desvio de fase

O último circuito pertencente à matriz de Butler é a pista de desvio de fase de 45° , sendo que tem a função de introduzir os desvios de fase entre as diversas portas. De modo a dimensionar o desvio de fase de 45° , através de uma pista com um comprimento elétrico correspondente ao atraso que se pretende impor, utilizou-se a equação (2.1). Foi igualmente utilizada a equação (3.22) para calcular a largura da pista tendo em conta o material do substrato da placa, o FR4. De referir que esta pista não deve apresentar um comprimento elétrico de 45° da entrada para a saída, mas sim um atraso na fase de 45° em relação ao sinal da porta 3 do *crossover* (primeiro *crossover* encontrado da entrada para a saída), que pode ser observada na figura 4.5.

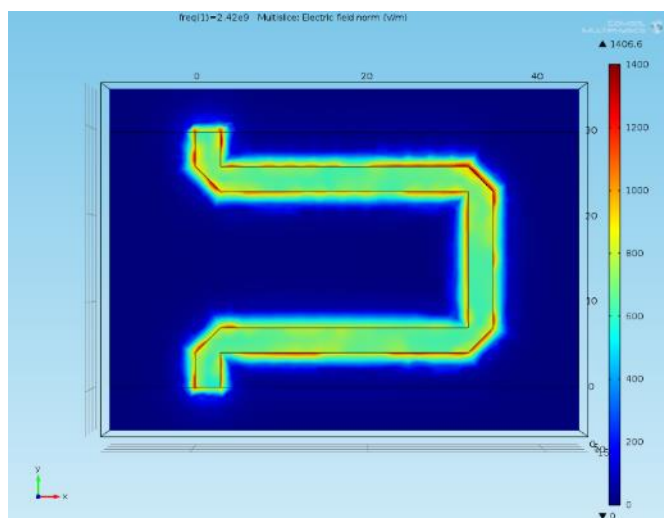


Figura 4.8 - Simulação da pista de atraso com 45° .

No que se refere a testes ao circuito da figura 4.8, é de realçar que os recortes de compensação de descontinuidade não estavam a causar atenuações. Não é apresentado o desvio de fase introduzido uma vez que este depende do circuito a que este está ligado, na malha da matriz de Butler.

Tabela 4.5 - Resultados dos testes efetuados à pista de atraso.

	Magnitude (dB)		Fases em graus
	S_{11}	S_{21}	$\angle S_{21}$
Simulação	-0,04	-20,81	-111,6

Através da tabela 4.5 pode-se observar que a pista de atraso de 45° introduz perdas por inserção e por retorno muito baixa, tal como era pretendido.

4.3.4 Aplicação final da matriz de Butler 4x4

Estudados, dimensionados e testados os três circuitos constituintes da matriz de Butler, foi implementada uma matriz de Butler 4x4, cujas configurações são apresentadas nas figuras 4.9(a), (b), (c) e (d), introduzindo sinal na porta 1, 2, 3 e 4, respetivamente. Utilizou-se o COMSOL como ferramenta de auxílio à criação e teste da matriz de Butler, visto ser necessário realizar ajustes por forma equilibrar as fases que se obtém.

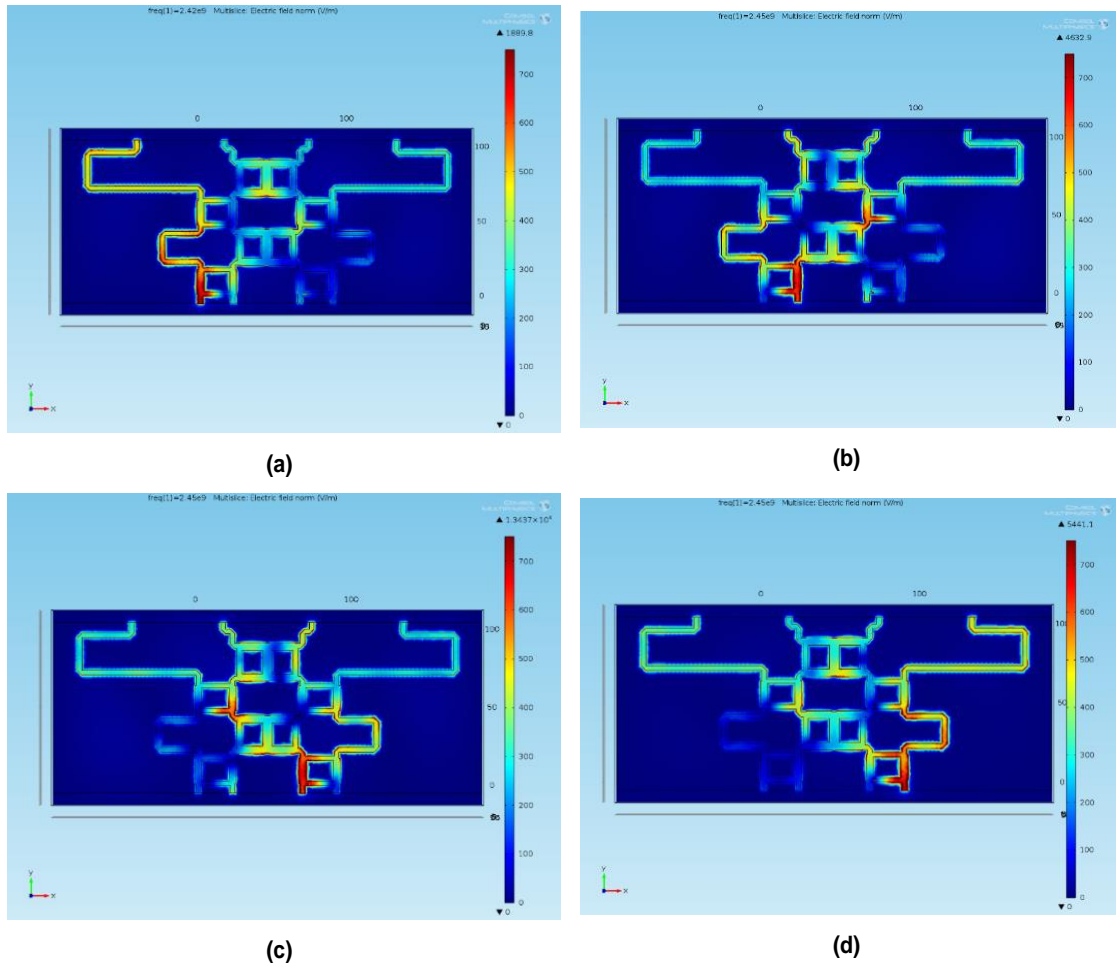


Figura 4.9 – Simulação da matriz de Butler 4X4 implementada, com a propagação do sinal RF da entrada para as 4 saídas: (a) quando injetado sinal na porta 1 (1R); (b) quando injetado sinal na porta 2 (2L); (c) quando injetado sinal na porta 3 (2R); (d) quando injetado sinal na porta 4 (1L).

A figura 4.10 apresenta o circuito construído, igual ao simulado no COMSOL.

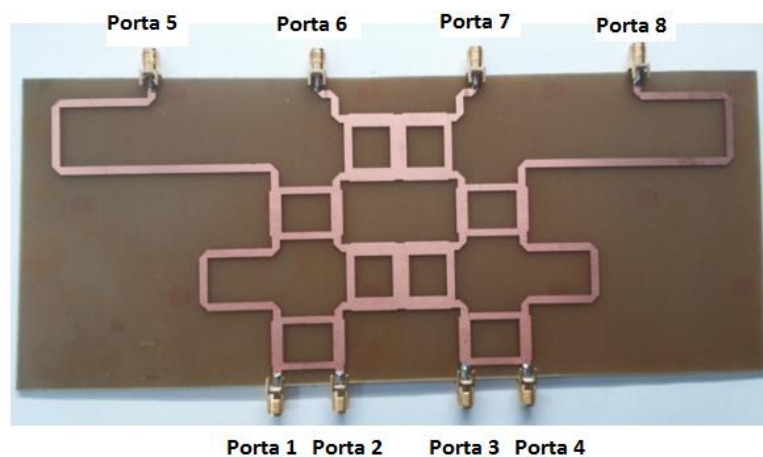


Figura 4.10 – Matriz de Butler construída em FR4.

Foram realizados os testes necessários de modo a obter os parâmetros mais importantes a reter neste sistema, tais como as perdas por inserção e por retorno bem como as fases entre portas de saída mediante a porta em que se está a introduzir sinal, sendo os resultados apresentados na tabela 4.6.

Tabela 4.6 - Resultados dos testes efetuados à matriz de Butler quer em simulação quer ao sistema construído experimentalmente, quando se pretende obter um dos quatro feixes 1R, 2L, 2R ou 1L.

Feixe 1R (Porta1)	Simulação				Construído			
	Magnitude (dB)	Fase em graus	Desvio	Erro	Magnitude (dB)	Fase em graus	Desvio	Erro
S ₁₁	-23,00	-----	-----	-----	-14,53	-----	-----	-----
S ₅₁	-4,01	42,55	-----	-----	-8,19	147,13	-----	-----
S ₆₁	-7,26	0,90	41,65	3,35	-8,02	95,89	51,24	6,24
S ₇₁	-8,03	-45,45	46,35	1,35	-9,08	51,26	44,63	0,37
S ₈₁	-6,00	-85,35	38,90	6,10	-5,63	7,87	43,39	1,61
Feixe 2L (Porta2)	Simulação				Construído			
	Magnitude (dB)	Fase em graus	Desvio	Erro	Magnitude (dB)	Fase em graus	Desvio	Erro
S ₂₂	-21,4	-----	-----	-----	-20,64	-----	-----	-----
S ₅₂	-7,63	-48,16	-----	-----	-8,41	44,56	-----	-----
S ₆₂	-4,53	91,00	137,16	2,16	-7,66	169,81	125,25	9,75
S ₇₂	-5,54	-134,40	134,60	0,40	-7,14	-59,86	130,33	4,67
S ₈₂	-7,27	14,00	148,60	13,60	-9,17	99,33	159,19	24,19
Feixe 2R (Porta3)	Simulação				Construído			
	Magnitude (dB)	Fase em graus	Desvio	Erro	Magnitude (dB)	Fase em graus	Desvio	Erro
S ₃₃	-20,93	-----	-----	-----	-25,49	-----	-----	-----
S ₅₃	-7,20	16,54	-----	-----	-9,21	110,57	-----	-----
S ₆₃	-5,61	-134,70	151,24	16,24	-6,68	-59,72	129,15	5,85
S ₇₃	-4,54	91,60	133,70	1,30	-6,47	167,20	133,08	1,92
S ₈₃	-7,58	-50,80	142,40	7,40	-9,07	34,60	132,60	2,40
Feixe 1L (Porta4)	Simulação				Construído			
	Magnitude	Fase em graus	Desvio	Erro	Magnitude (dB)	Fase em graus	Desvio	Erro
S ₄₄	-22,12	-----	-----	-----	-16,01	-----	-----	-----
S ₅₄	-6,03	-88,65	-----	-----	-11,03	30,05	-----	-----
S ₆₄	-8,02	-45,35	43,30	1,70	-9,17	73,76	43,71	1,29
S ₇₄	-7,29	1,75	47,10	2,10	-8,42	117,12	43,36	1,64
S ₈₄	-3,99	44,50	42,75	2,25	-8,05	160,20	43,08	1,92

Os valores obtidos para as perdas por retorno para as quatro portas estão abaixo de -20 dB o que significa que muito pouca potência está a retornar para fonte, provando assim que existe uma boa integração entre os diversos circuitos que constituem a matriz de Butler.

No que toca às perdas por inserção para todas as combinações possíveis, como se observa pela tabela 4.6, quer na simulação quer no sistema construído, verificam-se desequilíbrios nas potências das portas de saída. Idealmente era esperado -6 dB em cada uma das portas de saída. Consegue-se obter um valor próximo caso se some todas as magnitudes da corrente das portas de saída sendo que na simulação ao somar-se os valores das potências obtidas e dividindo pelo número de portas obtém-se um valor mínimo de atenuação de -6,24 dB e um valor máximo de -6,33 dB, dando em média -6,28 dB. Estes valores significam que, apesar dos desequilíbrios em termos de magnitude das portas, não existem perdas significativas ao longo dos percursos que compõem a matriz de Butler.

Quanto ao circuito implementado experimentalmente, o somatório das potências quando uma das portas de entrada está a ser excitada é de -7,73 dB no mínimo, de -9,17 dB no máximo e em média de -8,22 dB.

Quando se introduz sinal na porta 1 (1R) da matriz de Butler é esperada uma diferença de fase de 45° entre portas. Tendo em consideração a tabela 4.6 verifica-se que o erro mínimo na simulação é de $1,35^\circ$ e máximo de $6,10^\circ$ o que faz com que o erro varie entre os 3% e os 13,56%. No circuito construído laboratorialmente o erro mínimo é $0,37^\circ$ e máximo de $6,24^\circ$ o que faz com que o erro varie entre os 0,82% e os 13,8%.

Quando o sinal é injetado na porta 2 (2L) da matriz de Butler é esperado uma diferença de fase de 135° entre portas. Da tabela 4.6 verifica-se que na simulação o erro mínimo é de $0,40^\circ$ e o máximo é de $13,60^\circ$ o que faz com que o erro varie entre os 0,30% e os 10%. No que concerne ao circuito construído o erro mínimo é $4,67^\circ$ e o máximo é de $24,19^\circ$ o que faz com que o erro varie entre os 3,46% e os 17,92%.

À semelhança da porta 2, quando se injeta sinal na porta 3 (2R) da matriz de Butler é esperado uma diferença de fase de 135° entre portas. Pela tabela 4.6 verifica-se que para esta porta na simulação o erro mínimo é de $1,30^\circ$ e no máximo de $16,24^\circ$ o que faz com que o erro varie entre os 0,96% e os 12,03%. No circuito construído encontra-se um erro mínimo de $1,92^\circ$ e no máximo de $5,85^\circ$ o que faz com que o erro varie entre os 1,42% e os 4,33%.

Quando se injeta sinal na porta 4 (1L) da matriz de Butler é esperado uma diferença de fase de 45° entre todas as portas. Pela tabela 4.6 verifica-se que esta porta na simulação tem um erro mínimo de $1,70^\circ$ e no máximo de $2,25^\circ$ o que faz com que o erro varie entre os 3,77% e os 5%. Já quanto ao circuito construído encontra-se um erro mínimo de $1,29^\circ$ e no máximo $1,92^\circ$ o que faz com que o erro varie entre os 2,87% e os 4,27%.

Em seguida serão comparados valores das magnitudes e fases nas saídas de alguns trabalhos onde foram implementadas matrizes de Butler 4X4, sendo que se escolheu trabalhos com placas e as frequências distintas, como mostra na tabela 4.7.

Tabela 4.7 – Resultados de trabalhos onde foi implementada uma matriz de Butler 4X4.

Referência	Topologia da matriz de Butler	Frequência (GHz)	Perdas por inserção máximas (dB)	Erro de fase Máximo (graus)	Material do substrato
[45]	4X4	5,25	-0,507	8,15	Duroid 5880
[46]	4X4	2,45	-3,31	5,17	FR4
[47]	4X4	2,45 e 5,8	-----	38,405	FR4

Analisando os resultados apresentados na tabela 4.7, a primeira conclusão a que se chega é que é complicado obter uma distribuição de potência uniforme por todas as portas de saída da matriz de Butler. Tal como verificado na matriz de Butler implementada neste trabalho, também o autor de [46] obteve desequilíbrios na distribuição de potência, chegando aos 1,59 dB de diferença entre portas, sendo que para a matriz de Butler implementada a diferença chegou a um máximo de 3,45 dB.

Já o trabalho apresentado em [45], para além de desequilíbrios pouco significativos, obteve igualmente, baixas perdas por inserção, sendo que comparado com as perdas por inserção obtidas neste trabalho e as obtidas em [46] vem demonstrar que existe uma diferença significativa entre implementar um circuito em Duroid 5880 e FR4.

Quanto aos erros nos desvios de fase de todos os trabalhos apresentados na tabela 4.7 e comparando-os com os obtidos na matriz de Butler implementada verifica-se que, para muitas das combinações, consegue-se obter valores próximos dos máximos apresentados por [45] e [47]. Contudo, o valor obtido na porta 8 da matriz de Butler implementada quando se coloca sinal na porta 2 (2L), ou seja, $24,19^\circ$ de erro, é considerado elevado quando se compara com os máximos obtidos por [45] e [47], mas longe do erro máximo apresentado por [46].

Apesar de alguns erros verificados no desequilíbrio das potências nas portas de saída e nas fases, apenas quando se testar a matriz de Butler 4X4 com elementos radiantes agregados é que se poderá retirar reais conclusões acerca do sistema desenvolvido.

4.4 Deslocador de fase

De todas as topologias de deslocadores de fase (*phase shifters*) apresentadas no capítulo 2, a escolhida para ser implementada foi a de linha comutada (*switched line*). Dos três tipos de dispositivos comutadores, os díodos PIN, os HEMT SPDT e os MEMS, optou-se por escolher os díodos PIN e HEMT SPDT devido às razões apresentadas no capítulo 2.

4.4.1 Topologia de linha comutada com díodos PIN

A topologia de deslocadores de fase de linha comutada é conceptualmente a mais simples de implementar, uma vez que o deslocamento de fase é conseguido comutando o sinal RF entre dois percursos, um de referência e outro de atraso [48]. Contudo, como se verá ao longo deste capítulo, apesar de conceptualmente simples a sua implementação representa alguma complexidade, sendo que está dependente de diversos parâmetros.

Como demonstrado na introdução e em referências bibliográficas, uma das grandes dificuldades do desenvolvimento de circuitos RF está na passagem do circuito esquemático para o circuito prático. Um circuito RF comporta diversas regras de desenho dos circuitos, como por exemplo as compensações das descontinuidades. Contudo, as referências bibliográficas tipicamente apenas apresentam o esquema geral do circuito, como é apresentado na figura 4.11 e não a sua implementação laboratorial.

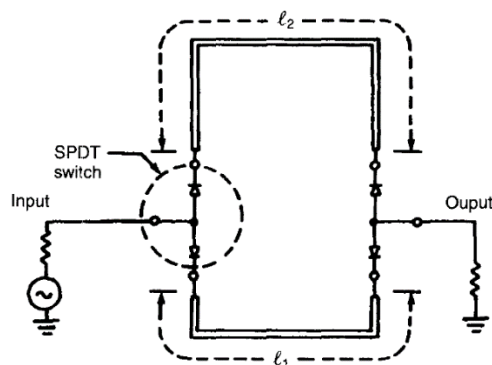


Figura 4.11 – Exemplo de um esquemático de um deslocador de fase de linha comutada de 1 bit [13].

Tendo em conta todos os aspetos mencionados anteriormente, desde correto desenho das pistas de propagação, descontinuidades e díodos PIN, começou-se a implementação do circuito deslocador de fase de linha comutada de 1 bit com um desvio de 180° .

No circuito a implementar utilizou-se as placas Duroid 5880, cujas características podem ser consultadas na tabela c.1, do anexo C. Foi calculado o comprimento da pista de atraso recorrendo à equação (2.1). Para uma pista de referência de 22,536 mm, a pista de atraso de 180° terá um incremento de comprimento de 45,072 mm, tendo um total de 67,608 mm. As larguras das pistas foram determinadas através da equação (3.22).

Obtidas as dimensões das pistas necessárias à implementação do comutador de fase de 180° passou-se à simulação no *software* COMSOL, sendo o resultado apresentado na figura 4.12(a). A construção experimental está representada na figura 4.12(b).

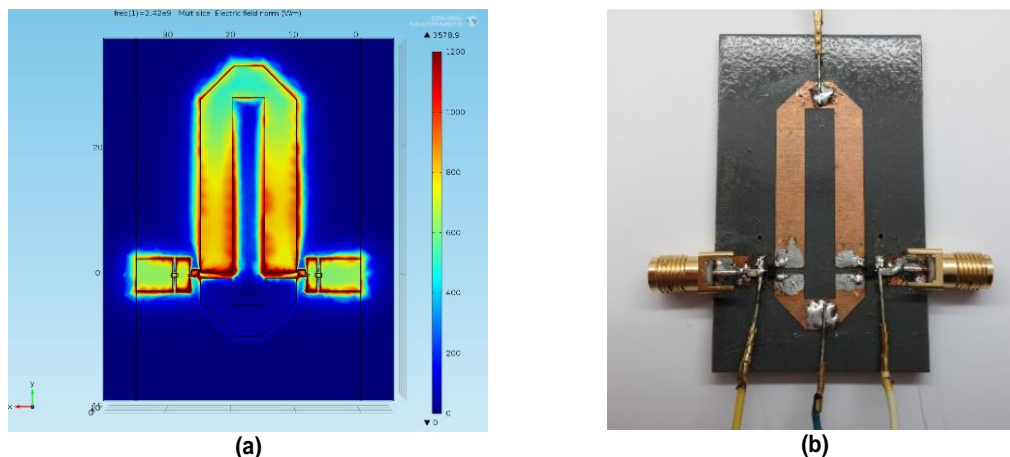


Figura 4.12 – Deslocador de fase de 1-bit com atraso de 180° com topologia de linha comutada: (a) simulado; (b) construído.

Para a polarização dos díodos, é indicado na folha de características do componente [49] que o mesmo pode ser controlado mediante uma corrente que varia entre 10 e 100 mA, para o valor mínimo e máximo, respetivamente. Inicialmente variou-se a corrente, sendo verificado que com 10 mA o diodo começava a conduzir. Depois de várias experiências verificou-se que próximo de 100 mA era quando o diodo tinha melhor desempenho. Contudo, o valor utilizado foi de 30 mA, uma vez que se verificou não existir diferenças significativas no desempenho das perdas por retorno, baixando-se assim igualmente a potência necessária a aplicar no circuito de polarização do diodo PIN.

Também, como indica na folha de características do componente [49], a tensão inversa, V_R , a aplicar de modo a se garantir um bom isolamento, quando associado ao percurso pelo qual não passa sinal, deverá ser entre 0 e 2 V (1,1 V de polarização mais 0,9 V de queda de tensão no diodo). Realizaram-se os testes necessários de modo a retirar os parâmetros mais importantes, tais como as perdas por inserção e por retorno bem como a diferença de fase entre a pista de referência e a de atraso, sendo os resultados apresentados na tabela 4.8.

Tabela 4.8 – Resultados dos testes efetuados ao deslocador de fase de 1-bit com atraso de 180° com topologia de linha comutada, simulado e construído.

	Bit selecionado	Magnitude (dB)		Fases em (graus)		
		S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro
Simulação	0°	-19,22	-0,20	172,29	-----	-----
	180°	-21,08	-0,32	-7,42	180,29	0,29
Construído	0°	-15,60	-5,99	-156,02	-----	-----
	180°	-11,56	-4,31	38,32	194,34	14,34

Analisando os resultados da simulação, que podem ser observados na tabela 4.8, verifica-se que quer para o percurso de referência (0°) quer para o percurso de atraso (180°) as perdas por retorno têm valores dentro do esperado, ou seja, existe pouco sinal que retorna à fonte. As perdas por inserção apresentadas apenas podem ser analisadas do ponto de vista da pista, uma vez que não se tem um diodo PIN que se possa simular. Como seria de esperar, o percurso de atraso tem uma maior atenuação do que o de referência. Já a diferença de fase verificada entre a referência e o atraso está dentro do dimensionado tendo-se obtido uma diferença de fase de 180,29°, sendo o erro de 0,29°.

Quanto aos resultados dos testes realizados ao circuito construído da figura 4.10 (b), os mesmos demonstram ter uma quebra no desempenho em comparação com os resultados obtidos na simulação. Para além de um erro de fase de 14,34° entre o percurso de referência e o de atraso, também as perdas por inserção são mais elevadas do que o que se esperava.

Ao longo dos testes ao circuito construído experimentalmente, verificou-se que grande parte do sinal escapava pelas malhas (circuitos) de polarização do diodo PIN.

Como descrito no capítulo 2.6, para além dos condensadores de bloqueio de sinal DC, foi necessário estudar a utilização de RF *choke* quando se tem no mesmo circuito sinal RF e DC, tendo estes a função de não permitir que o sinal RF escape pelo circuito de polarização do diodo. Os RF *choke* são bobinas de elevada impedância à passagem de sinal RF e baixa impedância ao sinal DC [19].

Apesar de um RF *choke* poder ser realizado através de bobinas convencionais, como as utilizadas em baixas frequências, a solução passou por utilizar *stubs* radiais. A função dos *stubs* radiais é criar um curto-circuito para o sinal RF no ponto de junção com a pista de polarização do diodo, criando assim nesse mesmo ponto um plano de massa virtual [50]. As figuras 4.13(a) e 4.13(b) representam a forma de um *stub* feito em pista impressa, sendo que a colocação na pista de polarização poderá ser em série ou em paralelo.

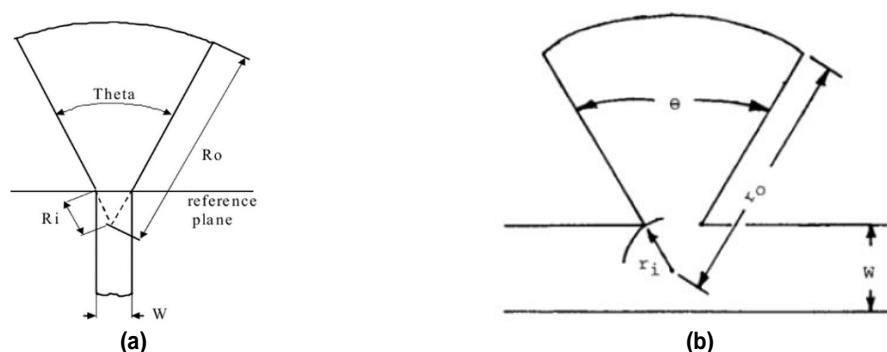


Figura 4.13 – Radial stubs em pista impressa: (a) colocado em série com a pista de polarização (b) colocada em paralelo com a pista de polarização [51, 52].

Segundo [51], não existem formas simples e precisas de realizar um *stub* radial, sendo que segundo o autor deverá ser utilizada ferramentas de simulação por forma a chegar ao formato ideal que produza melhores resultados. Foi precisamente o que se fez para determinar o ângulo de abertura, θ , mais eficiente para o sistema, sabendo-se apenas que o ângulo de abertura deverá ser entre 90° e 180° , sendo mais comum a utilização de 60° ou 90° . Em COMSOL foi observado que um ângulo de 60° , para além de ocupar menor área, produzia um desempenho semelhante ao de 90° .

Em [52] encontram-se as equações que podem ser utilizadas para realizar o desenho do *stub*, colocado em paralelo como verificado na figura 4.13(b). A equação é

$$Z_S = \frac{1}{Y_S} = \frac{120\pi d}{r_i \theta \sqrt{\epsilon_e}} \quad (4.5)$$

onde d é a espessura do substrato, r_i é a parte do raio que fica inserido na pista do *stub* de $\lambda/4$ e ϵ_e é a constante efetiva do dielétrico, sendo dada por,

$$\epsilon_e = \frac{\epsilon_r + 1}{2} + \left(\frac{\epsilon_r - 1}{2} \right) \left(\frac{1}{\sqrt{1 + 12d/W}} \right) \quad (4.6)$$

com ϵ_r a constante relativa do dielétrico e W a largura da pista do *stub*, dada por

$$W = (r_i + r_o) \text{sen} \left(\frac{\theta}{2} \right) \quad (4.7)$$

onde o raio do *stub*, r_o , é dado por,

$$r_o = \frac{\frac{\pi}{2}}{\sqrt{\epsilon_e} \left(\frac{2\pi f}{c} \right)} \quad (4.8)$$

O dimensionamento do *stub* colocado em série implica que se saiba o valor do ângulo θ e r_o , sendo dado por [53]

$$r_i = \frac{W}{2 \text{sen} \left(\frac{\theta}{2} \right)} \quad (4.9)$$

Numa primeira fase testou-se a eficiência destas soluções no que toca a criar o efeito de massa virtual no ponto em que é inserido o *stub* utilizando o COMSOL (figura 4.14 (a)). Em seguida implementou-se o *stub* em metade de um circuito de um deslocador de fase de linha comutada apenas com intuito de verificar a eficácia do mesmo, estando o circuito impresso final obtido em COMSOL na figura 4.14(b).

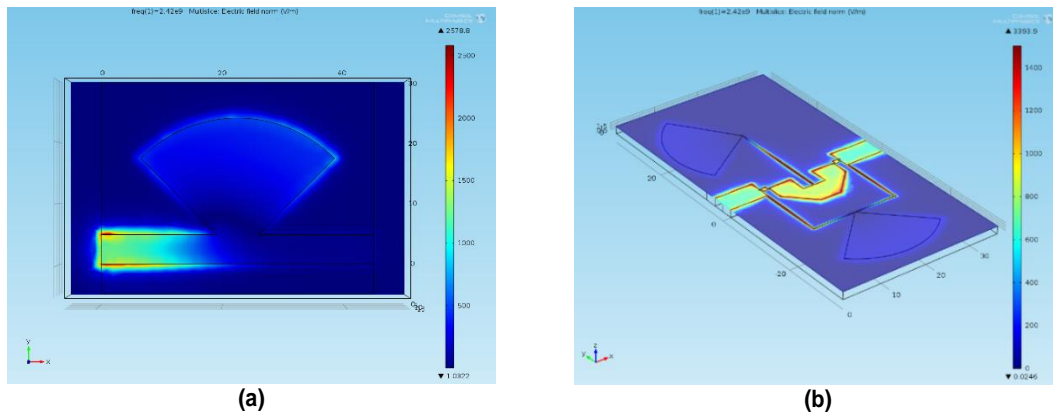


Figura 4.14 – Verificação da eficácia do radial *stub* no COMSOL: (a) numa pista de teste; (b) no circuito desenvolvido.

Retiraram-se os resultados dos testes feitos ao circuito da figura 4.14(a), sendo que se pode concluir que o *stub* tem uma boa eficiência, uma vez que muito pouco sinal passa da entrada para a saída ($S_{21} = -23,57$ dB), como pretendido bem como quase todo o sinal retorna para a fonte, ($S_{11} = -0,39$ dB), o que representa que o sinal está a retornar quase na sua totalidade para o ponto onde foi injetado, tal como se esperava.

Dos testes realizados ao circuito da figura 4.14(b) verificou-se que em termos de perdas por inserção obteve-se $S_{21} = -0,14$ dB e em termos de perdas por retorno tem-se valores de $S_{11} = -22,60$ dB, sendo próximos dos valores que se esperava.

O novo circuito implementado para um deslocador de fase de 1-bit com 180° de defasamento, tendo em conta igualmente as alterações nas pistas descritas no anexo E, é apresentado na figura 4.15.

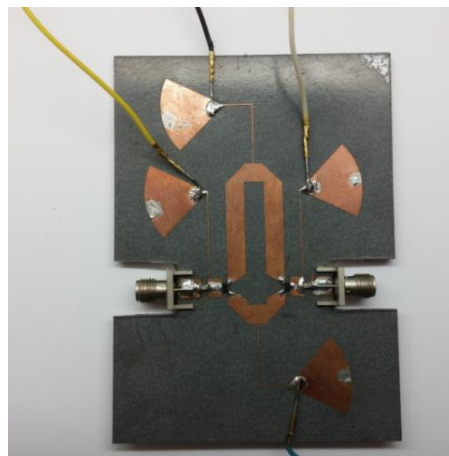


Figura 4.15 - Deslocador de fase de 1-bit com atraso de 180° com topologia de linha comutada já com os *stubs* (RF *choke*) e alterações no desenho das pistas.

As perdas por inserção e por retorno, bem como a diferença de fase entre a pista de referência e a de atraso, estão apresentadas na tabela 4.9.

Tabela 4.9 - Resultados dos testes efetuados ao deslocador de fase de 1-bit com atraso de 180° com topologia de linha comutada já com os *stubs* radiais (RF *chokes*) e alterações no desenho das pistas.

Bit seleccionado	Magnitude (dB)		Fases em (graus)		
	S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro
0°	-19,45	-0,52	-108,13	-----	-----
180°	-21,73	-0,63	73,05	181,18	1,18

Dos valores da tabela 4.9 pode-se verificar que os RF *choke* (*stub* radial) realmente evitaram que o sinal escapasse pelo circuito de polarização dos díodos PIN, resultado verificado pelas perdas por inserção obtidas para o percurso de referência e para o de atraso. As perdas por retorno apresentam igualmente bons resultados para ambos os percursos. Quanto às fases verificou-se que o erro observado no deslocador de fase anterior era de $14,34^\circ$, sendo agora de apenas $1,18^\circ$.

Verificado o correto dimensionamento do circuito de polarização dos díodos e, por consequência, do deslocador de fase com topologia linha comutada de 1-bit, iniciou-se a implementação de deslocador de fase de 4 bits. O procedimento passou por colocar quatro deslocadores de fase de 1-bit em cascata, sendo que as linhas de atraso tem comprimentos distintos entre si. Na figura 4.16(a) é apresentada a simulação do deslocador de fase de 4-bit com a topologia de linha comutada implementado no COMSOL e na figura 4.16(b) é apresentado o circuito construído.

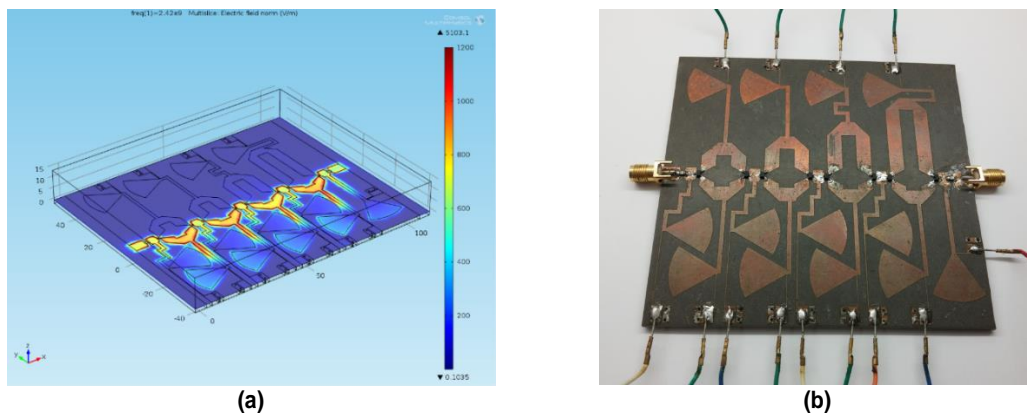


Figura 4.16 - Deslocador de fase de 4-bit com topologia de linha comutada: (a) simulado; (b) construído.

Realizaram-se os testes necessários de modo a retirar os parâmetros mais importantes, tais como as perdas por inserção e por retorno bem como a diferença de fase entre a pista de referência e a de atraso, sendo os resultados apresentados na tabela 4.10.

Tabela 4.10 - Resultados dos testes efetuados ao deslocador de fase de 4-bit com topologia de linha comutada, simulado e construído.

Bit Selecionado	Simulação					Construído				
	Magnitude (dB)		Fases em graus			Magnitude (dB)		Fases em (graus)		
	S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro	S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro
0°	-13,23	-1,05	6,55	-----	-----	-5,31	-10,79	-107,23	-----	-----
$22,5^\circ$	-15,52	-1,05	-22,68	29,23	6,73	-4,74	-10,92	-118,12	10,98	11,61
45°	-7,56	-1,97	-54,53	61,08	16,08	-8,71	-9,74	-148,92	41,69	3,31
$67,5^\circ$	-4,10	-3,40	-77,90	84,45	16,95	-13,22	-8,75	-167,03	59,80	7,70
90°	-6,00	-3,10	-93,50	100,05	10,05	-13,74	-4,05	160,19	92,58	2,58
$112,5^\circ$	-4,22	-4,02	-113,50	120,05	7,55	-16,94	-3,72	136,01	116,76	4,26
135°	-6,25	-3,80	-135,00	141,55	6,55	-10,33	-5,22	118,72	134,05	0,95
$157,5^\circ$	-5,88	-3,89	-153,88	160,43	2,93	-5,95	-6,00	95,23	157,54	0,04
180°	-15,65	-1,20	178,03	188,52	8,52	-4,99	-10,65	72,53	180,24	0,24
$202,5^\circ$	-9,67	-1,57	146,25	220,30	17,80	-4,53	-10,58	61,65	191,12	11,38
225°	-4,80	-3,30	116,60	249,95	24,95	-7,84	-9,15	28,54	224,23	0,77
$247,5^\circ$	-4,92	-2,78	96,45	270,10	22,60	-13,37	-8,48	10,61	242,16	5,34
270°	-4,30	-4,83	83,45	283,10	13,10	-10,36	-4,47	-20,03	272,80	2,80
$292,5^\circ$	-4,99	-4,05	64,22	302,33	9,83	-14,61	-4,18	-45,35	298,12	5,62
315°	-4,27	-6,50	43,93	322,62	7,62	-8,49	-5,94	-63,14	315,91	0,91
$337,5^\circ$	-4,09	-7,05	24,14	342,41	4,91	-5,25	-6,98	-85,98	338,75	1,25

Testou-se a eficiência do circuito comutando entre os vários níveis de fase e avaliou-se o desempenho da junção dos 4 comutadores de fase de linha comutada de 1 bit em cascata. Verificou-se alguns problemas no que concerne às perdas por inserção e por retorno, contudo os valores das fases não apresentam erros relevantes à exceção do desvio de fase de $22,5^\circ$ e o de $202,5^\circ$. O erro ocorria quando o sinal passava pela pista de referência do bit de 90° . Devido à natureza do problema, foi difícil chegar à origem do mesmo. Para tal decidiu-se realizar uma espécie de “*debug*”, sendo que a única forma de o realizar foi através da colocação de fio de cobre ao invés de díodos PIN, de modo a ter a certeza que o problema não seria dos díodos PIN.

Foi verificado que com os fios de cobre a realizarem a função dos díodos PIN o problema se mantinha, concluindo-se que o problema poderia estar no desenho das pistas do deslocador de fase. Desta forma, decidiu-se isolar o bit de 90° e testar o seu funcionamento, como apresentado pelas figuras 4.17(a) e 4.17(b), representando, respetivamente, o circuito simulado e o construído.

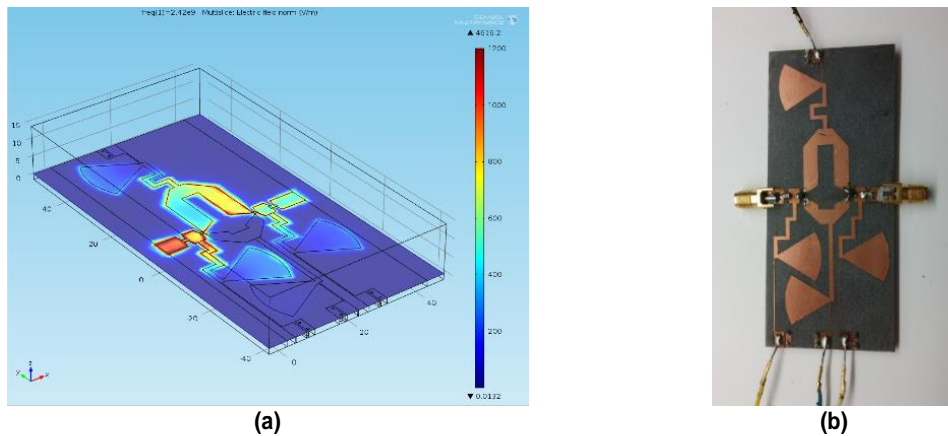


Figura 4.17 - Deslocador de fase de 1-bit com atraso de 90° com topologia de linha comutada, isolado dos restantes bits de modo a detetar o possível erro: (a) simulação; (b) construído.

Através dos resultados da tabela 4.11 notou-se que o problema se mantinha.

Tabela 4.11 - Resultados dos testes efetuados ao deslocador de fase de 1-bit com atraso de 90° com topologia de linha comutada.

	Bit selecionado	Magnitude (dB)		Fases em (graus)		
		S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro
Simulação	0°	-0,19	-31,74	165,00	-----	-----
	90°	-4,94	-1,89	81,94	83,06	6,94
Construído	0°	-6,43	-7,56	-90,41	-----	-----
	90°	-7,56	-0,63	-176,01	85,6	4,4

Foram realizadas diversas pesquisas e em [13], [19] e [48] encontrou-se uma possível explicação para o problema referente ao bit de 90° , sendo o fenómeno que originou tais perdas conhecido por ressonância. Segundo os autores este, é precisamente um dos problemas que podem ocorrer na topologia de linha comutada, sendo que o mesmo ocorre devido ao percurso que está associado ao pino do díodo que está no seu estado de isolamento (OFF) ter um comprimento elétrico de múltiplos de $\lambda/2$.

Foi exatamente esse o fenômeno observado e que no caso do deslocador de fase implementado ocorria precisamente no bit de 90°, uma vez que todos os percursos de referência têm 90°, para realizar o desvio de 90° a pista de atraso fica com 180°, ou seja, $\lambda/2$. Segundo [13], [19] e [48], estas ressonâncias levam à perda de sinal e deslocamento da fase, provocando erros de fase, tal como verificado anteriormente.

No novo desenho das pistas do deslocador de fase de 4-bits evitou-se que as mesmas tivessem comprimentos que sejam iguais a múltiplos de $\lambda/2$, optando-se por acrescentar 30° em todas as pistas do deslocador de fase de 4 bits. Com este aumento nenhuma das pistas, de referência e de atraso ficaram com o comprimento igual a múltiplos de $\lambda/2$. Na figura 4.18(a) é apresentado o resultado obtido em COMSOL do novo circuito e na figura 4.18(b) é apresentado o circuito implementado.

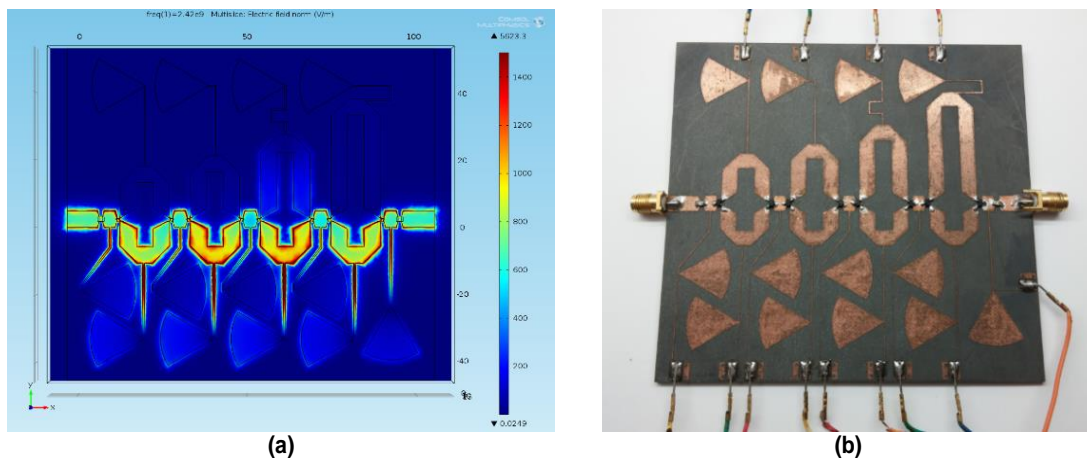


Figura 4.18 - Deslocador de fase de 4-bit com topologia de linha comutada implementado com díodos PIN, com nenhum dos percursos com comprimento de $\lambda/2$: (a) simulado; (b) construído.

Na tabela 4.12 encontram-se os resultados obtidos para o deslocador de fase de 4 bits com topologia de linha comutada implementado com díodos PIN, que contempla percursos diferentes de $\lambda/2$.

Tabela 4.12 - Resultados dos testes efetuados ao deslocador de fase de 4-bit com topologia de linha comutada, simulação e construído.

Bit Selecionado	Simulação					Construído				
	Magnitude (dB)		Fases em graus			Magnitude (dB)		Fases em (graus)		
	S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro	S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro
0°	-24,09	-0,22	47,38	-----	-----	-8,12	-2,38	113,84	-----	-----
22,5°	-11,44	-0,55	20,95	26,43	3,93	-15,46	-2,02	88,19	25,65	3,15
45°	-4,58	-2,23	-11,73	59,11	14,11	-12,22	-2,89	72,76	41,08	3,92
67,5°	-2,84	-3,56	-33,30	80,68	13,18	-8,14	-3,42	49,37	64,47	3,03
90°	-3,32	-3,16	-48,24	95,62	5,62	-15,45	-2,94	16,55	97,29	7,29
112,5°	-1,88	-5,21	-74,70	122,08	9,58	-12,12	-2,80	-4,79	118,63	6,13
135°	-1,67	-5,62	-80,50	127,88	7,12	-12,43	-2,14	-19,79	133,81	1,19
157,5°	-1,12	-7,14	-97,50	144,88	12,62	-9,85	-2,64	-38,54	152,38	5,12
180°	-22,52	-0,34	-140,22	187,60	7,60	-8,86	-2,66	-70,37	184,21	4,21
202,5°	-12,98	-0,57	-167,00	214,38	11,88	-14,07	-2,11	-94,01	207,85	5,35
225°	-4,19	-2,61	159,50	247,88	22,88	-11,32	-2,90	-112,04	225,88	0,88
247,5°	-2,57	-4,03	137,50	269,88	22,38	-8,33	-3,59	-135,44	249,28	1,78
270°	-2,24	-3,38	125,50	281,88	11,88	-15,45	-2,71	-165,54	279,38	9,38
292,5°	-1,81	-5,50	99,00	308,38	15,88	-12,11	-2,82	175,89	297,95	5,45
315°	-0,62	-5,86	93,00	314,38	0,620	-12,03	-2,15	156,29	317,55	2,55
337,5°	-1,08	-7,40	77,00	330,38	7,12	-9,47	-2,28	138,75	335,09	2,41

Os resultados das perdas por inserção melhoraram, principalmente quando o atraso de 90° está no estado OFF como se estava à espera, devido ao facto de não ter pistas com múltiplos de $\lambda/2$. Passou-se de valores médios de perdas por inserção de -7,48 dB para valores de -2,65 dB, representando uma melhoria de desempenho de 64,6%. Foram igualmente obtidas melhorias para as perdas por retorno, passando-se de uma média de -9,27 dB, para uma média de -11,59 dB, representando uma melhoria de desempenho de 20%. Por fim, quanto aos erros de fase obtidos verifica-se que anteriormente tinha-se uma média de 3,92°, sendo que se passou para uma média de 4,12°, o que representa uma ligeira diminuição no desempenho da obtenção da fase pretendida, embora esta perda de desempenho seja quase insignificante, uma vez que representa apenas 5%. Contudo, o erro máximo de fase diminuiu.

Em seguida comparar-se-á os resultados obtidos para o deslocador de fase com topologia de linha comutada implementado com díodos PIN com outros trabalhos semelhantes e com deslocadores de fase comerciais, estando os resultados na tabela 4.13.

Tabela 4.13 - Resultados de trabalhos onde foram implementados deslocadores de fase com vários bits, para várias frequências, diversas topologias, e implementados em placa ou em circuito integrado.

Ref.	N. de bits	Freq. (GHz)	Perdas por inserção máximas (dB)	Perda por retorno mínimas (dB)	Erro de fase máximo (graus)	Tecnologia do dispositivo de comutação	Topologia do deslocador de fase	Implementado em placa ou circuito integrado (IC)
[54]	5	banda S e banda C	-6,7	-10	7	HEMT	filtro passa tudo	IC
[55]	6	1,4 – 2,4	-4,55	-10	6,2	HEMT	low pass/high pass	IC
[56]	4	2,3 – 3,8	-4,0	-13	9	MESFET	low pass/high pass	IC
[57]	3	2,45	-6,2	-13,5	17,2	FET	linha comutada	placa
[58]	4	2,45	-6,5	-12,6	8,9	díodos PIN	linha comutada	placa
[59]	3	10	-0,49	-12,2	5	MEMs	linha comutada	placa
[60]	4	8,1 – 8,5	-12,5	-----	8,2	díodos PIN	linha comutada	placa

Observando os resultados da tabela 4.13 e comparando-os com os obtidos para o deslocador de fase de 4 bits com topologia de linha comutada com díodos PIN que foi implementado neste trabalho, a primeira conclusão que se retira é que, excluindo o deslocador de fase de 3 bits implementado em [59], o sistema implementado apresenta melhor desempenho em termos de perdas por inserção. O valor mais elevado que se obteve para perdas por inserção foi de -3,59 dB. Contudo, o deslocador de fase implementado em [59] utiliza MEM como dispositivo de comutação sendo que este tem perdas inferiores aos díodos PIN.

Em termos de perdas por retorno o valor mínimo obtido, ou seja, para o pior caso foi de -8,12 dB, o que comparando com os trabalhos apresentados na tabela 4.13 resulta em pior desempenho, mas próximo desses resultados.

No que diz respeito aos resultados de erros de fases verifica-se através da tabela 4.12 que o deslocador de fase de 4 bits implementado apresenta um erro máximo de $9,38^\circ$. Este valor está muito aproximado com os verificados nos trabalhos [56], [58] e [60], sendo muito inferior ao apresentado em [57].

Realizou-se igualmente uma pesquisa por deslocadores de fase comerciais, sendo que se encontrou dois fabricantes de referência sendo eles a MACOM (modelo MAPS) e a Hittie (modelo HMC), estando os principais parâmetros dos mesmos indicados na tabela 4.14.

Tabela 4.14 – Parâmetros principais de deslocadores de fase de 4 e 6 bits digitais comerciais.

Ref.	Modelo	Freq. (GHz)	N.de bits	Perdas por inserção típicas (em dB)	Perdas por inserção máximas (em dB)	Perdas por retorno mínimas (em dB)	Erro de fase máximo (em graus)	Custo unitário (€)
[61]	HMC 936LP6E	1,2 – 1,4	6	-5	-7	-16	10	70,41
[62]	MAPS 010143	1,4 – 2,4	4	-3,2	-5,8	-10	4,7	17,77
[63]	MAPS 010163	1,4 – 2,4	6	-5	-6	-11	8	49,12
[64]	MAPS 010164	2,3 – 3,8	6	-3,2	-4,5	-15	11	55,29
[65]	HMC 647LP6E	2,5 – 3,1	6	-4	-6,5	-16	15	63
[66]	HMC 648LP6E	2,9 – 3,9	6	-5	-8	-16	15	86,42
[67]	HMC 649LP6E	3 - 6	6	-8	-10,5	-13	10	93,06
[68]	MAPS 010145	3,5 – 6	4	-5	-6,5	-12	8	24,23

Verifica-se pela tabela 4.14 que retirando o deslocador de fase [62] e [64] todos os restantes apresentam pior desempenho no que concerne às perdas por inserção. Em relação às perdas por retorno todos os deslocadores de fase apresentados na tabela 4.14 apresentam melhor desempenho do que o que foi desenvolvido neste trabalho. Contudo, [62] e [63], na qualidade de produtos comerciais, apresentam valores de perdas por retorno que estão no limiar do que é considerado maus resultados, demonstrando a dificuldade em se conseguir realizar uma boa adaptação com este tipo de circuito.

Por fim, em termos de erros de fase máximos verifica-se que apenas [62], [63] e [68] apresentam melhores resultados do que o deslocador de fase desenvolvido neste trabalho.

Mais uma vez é importante referir que mesmo os sistemas comerciais apresentam erros de fase máximos que podem ascender a 15° , como é o caso de [65] e [66]. Para [65] e [66] é especialmente preocupante tal erro uma vez que o menor passo de um deslocador de fase de 6 bits é de $5,625^\circ$, logo poderá não ser possível conseguir implementar passos de $5,625^\circ$ e $11,25^\circ$ uma vez que o erro é superior aos mesmos.

Na tabela 4.14 é igualmente possível observar os custos unitários de cada um dos deslocadores de fase digitais comerciais, sendo que custam entre 17,77€ e os 93,06€. O preço está dependente da frequência e do número de bits, sendo que os de 6 bits são

consideravelmente mais caros que os de 4 bits. Para adaptar os componentes com as pistas de transmissão de sinal (50Ω) e tendo em conta o *layout* das placas de testes (evaluation boards) fornecidas pelo fabricante, verificou-se que de modo a não utilizar *stubs* na adaptação de impedância ter-se-ia que utilizar tecnologia CPW (*Coplanar Waveguide*). Esta tecnologia apresenta perdas superiores à tecnologia *microstrip* (pista impressa), bem como é necessário utilizar placas cujo substrato teriam que ter uma espessura bastante reduzida, sendo uma hipótese a placa Duroid 4350.

Uma placa Duroid 4350 com dimensões de 45,72 cm por 30,48 cm tem um custo de cerca de 270 € ao passo que uma placa Duroid 5880 para as mesmas dimensões tem um custo de 188 €.

Embora a placa Duroid 4350 tenha um maior custo, tem a seu favor o facto dos deslocadores de fase digitais comerciais ocuparem uma área de 3 cm por 3 cm (segundo as dimensões utilizadas na *evaluation board*) ao passo que o deslocador de 4 bits com a topologia de linha comutada com díodos PIN desenvolvido apresenta uma dimensão de 10,5 cm por 10,5 cm.

Foram estudadas várias formas de mitigar os erros de verificados, bem como para o baixo desempenho das perdas por retorno, sendo que em seguida passar-se-á a enumerá-las:

1: Segundo [48], ocorre uma desadaptação de impedâncias, principalmente quando ocorre uma mudança de fase do sinal o que faz com que a impedância característica da linha varie. Uma das soluções poderá passar pela adaptação de impedâncias. Contudo, é de difícil execução sem um *software* apropriado que permita simular o díodo PIN.

2: Em [19] o autor identifica as descontinuidades (com tecnologia *microstrip* e CPW) como um dos grandes problemas de realizar o projeto das pistas de propagação. O autor refere que estas mesmas descontinuidades introduzem reactâncias parasitas, o que provoca degradação na performance do circuito e origina erros quer na amplitude quer na fase do sinal, bem como leva à ocorrência de desadaptações quer na entrada quer na saída. Mesmo realizando a compensação das descontinuidades como apresentado na secção C.2 do Anexo C, poder-se-á continuar a ter erros [18].

Segundo [17], as desadaptações de impedância, causadas pelo degrau de impedância, são igualmente um problema pois têm implicações diretas na precisão de obtenção de uma fase exata. A solução que [17] apresenta é garantir que cada um dos bits que compõem o deslocador de fase tenha bons valores de perdas por retorno para cada um dos bits individualmente. Sendo exatamente o que foi realizado quando se construiu os vários bits do deslocador de fase antes de os colocar em cascata, contudo não foi suficiente para eliminar por completo os erros.

3: Um isolamento deficiente quando se pretende que o díodo PIN esteja no seu estado OFF, ou seja, que não passe nenhuma corrente pelo mesmo, poderá levar à degradação do sinal e por consequência originando erros de fase e de amplitude [28] [13].

O isolamento de um díodo PIN é o rácio de potência que é entregue à carga numa situação ideal quando o mesmo está no estado ON e a potência que é realmente entregue à carga quando está no estado OFF, ou seja, no estado de alta impedância [13].

Existem formas de melhorar o isolamento sendo que as mesmas estão relacionadas com a topologia de montagem do díodo PIN. Sendo que se poderia optar pela solução de montagem SPDT, exemplificada na figura 2.21. Contudo, em laboratório não se dispunha de díodos PIN individuais, como é requerido para a montagem. Esta montagem tem igualmente a desvantagem de inserir mais perdas por inserção, apesar de melhorar as perdas por retorno.

4: O facto do díodo PIN ser do tipo refletivo ou não refletivo, pode levar a diferentes desempenhos do sistema, sendo que quando é refletivo o pino do díodo que está no estado OFF fica no “ar”. Quando não é refletivo, esse mesmo pino geralmente fica conectado a uma resistência com o mesmo valor da impedância característica da pista a que está conectado o pino que está no estado ON, ou seja, 50Ω , que por sua vez está ligada à massa. A função desta resistência é absorver a energia RF do sinal quando o díodo PIN está no seu estado de isolamento (OFF).

Os díodos utilizados são do tipo refletivo, o que quer dizer que parte da potência volta para trás. Contudo, os mesmos apresentam menores perdas por inserção do que os não refletivos.

5: Segundo [17], as capacidades parasitas (C_j) do díodo PIN, impõem um desvio de fase na onda quando se propaga pelo mesmo. Em [17] é afirmado que espaçar os díodos PIN um dos outros poderá compensar este efeito. Contudo, como já referido anteriormente não se dispunha de díodos PIN individuais em laboratório.

4.4.2 Topologia de linha comutada com HEMT SPDT

Como referido no capítulo 2 deste trabalho, para além dos díodos PIN e dos MEMS (que não fazem parte do estudo), foram igualmente estudados os transístores HEMT, principalmente com topologia SPDT.

Para a construção do deslocador de fase de linha comutada seguiu-se a abordagem utilizada para o deslocador de fase de linha comutada implementado com díodos PIN. Contudo, em termos de desenho do circuito de altas frequências, existem alguns pormenores que são diferentes, a começar pelo mais evidente que é o facto de os HEMTs SPDTs, ao contrário dos díodos PIN, não necessitarem de RF *chokes*. Por seu lado, deverá existir uma separação do sinal de controlo entre dois SPDT distintos, de modo a que o sinal de controlo de um transístor não polarize indevidamente o outro transístor. Como se verificará em seguida, foram utilizados condensadores para o efeito.

Uma outra diferença no desenho das pistas do deslocador de fase de linha comutada com díodos PIN para aquele que utiliza HEMT SPDT é que este último necessita de uma via para o plano de massa num dos pinos do componente. Então projetou-se um deslocador de fase de 1-bit com 180° de desfasamento, cujas ligações ao plano de massa eram comuns, proporcionando massa aos dois componentes em simultâneo, realizando uma única via para o plano de massa. Como se observa na figura 4.19, existe a via para o plano de massa, comum com os dois SPDT, bem como os sinais de controlo de ambos os díodos estão separados por condensadores como mencionado anteriormente.

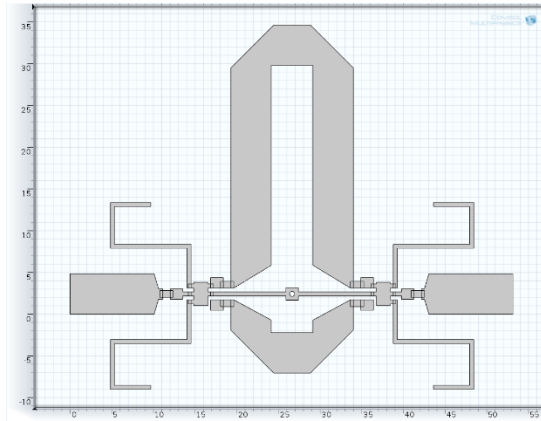
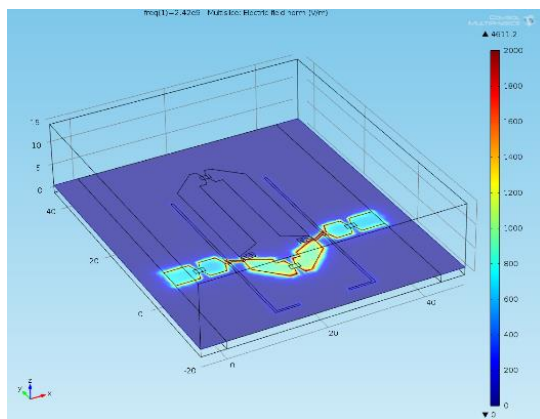


Figura 4.19 – Deslocador de fase de 1-bit com 180° de defasamento de linha comutada implementado com HEMT SPDT, com ligação comum dos dois SPDT ao plano de massa.

Após simular no COMSOL o comportamento do circuito deslocador de fase, da figura 4.19, o mesmo foi implementado, sendo utilizado para o efeito o HEMT SPDT HMC545E da Hittie [69]. Ao testar o deslocador de fase verificou-se que o mesmo apresentava uma atenuação mais elevada do que a esperada, sendo que, segundo a folha de características do fabricante, é esperada uma atenuação entre 0,3 dB e os 0,5 dB por cada SPDT.

Como falha mais plausível considerou-se o circuito da ligação às massas. Foi decidido procurar uma solução para o problema, sendo a mesma encontrada em [70], onde o autor refere como importante o diâmetro da via, passando pelo tamanho da pista em torno da via para o plano de massa, bem como o comprimento a que está a via até ao perno do componente que necessita de estar ligado ao plano de massa. Tendo em conta esta informação avançou-se para a reformulação da pista e vias para a massa, sendo que o novo desenho do deslocador com HEMT SPDT está representado na figura 4.20(a) em COMSOL e na figura 4.20(b) o circuito experimental.



(a)



(b)

Figura 4.20 - Deslocador de fase de 1-bit com topologia de linha comutada implementado com os HEMT SPDT: (a) simulado; (b) construído.

Pode-se verificar igualmente pelas figuras 4.20(a) e figura 4.20(b) que, para além da melhoria no desenho das pistas que ligam ao plano de massa, também melhorou-se o aproveitamento dos condensadores diminuindo em dois o número de utilizados por bit. Na tabela 4.15 encontram-se os resultados obtidos quer em simulação quer na prática.

Tabela 4.15 - Resultados dos testes efetuados ao deslocador de fase de 1-bit com topologia de linha comutada, implementado com os HEMT SPDT, quer simulado quer construído.

	Bit selecionado	Magnitude (dB)		Fases em (graus)		
		S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro
Simulação	0°	-16,54	-0,22	130,31	-----	-----
	180°	-11,44	-0,57	-49,83	179,86	0,14
Construído	0°	-10,56	-1,49	-171,63	-----	-----
	180°	-8,99	-1,87	1,24	189,61	9,61

Verifica-se através dos resultados apresentados na tabela 4.15 que os valores das perdas por inserção melhoraram consideravelmente. Contudo, em termos de desvio de fase observou-se que o mesmo continha um erro em relação ao esperado de 9,61°.

Decidiu-se implementar um deslocador de fase de 2 bits, de 22,5° e 45° de atraso, com HEMT SPDT, estando representado na figura 4.21(a) em COMSOL e na figura 4.21(b) o experimental.

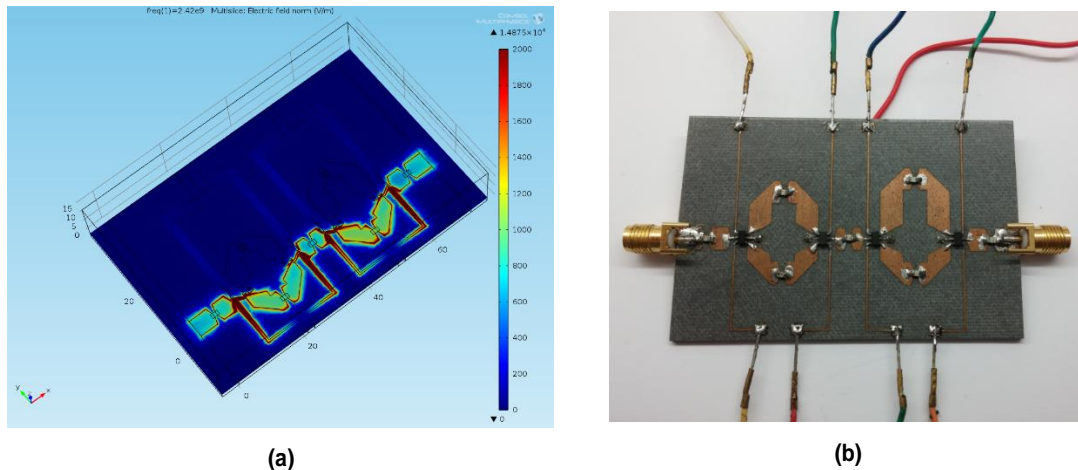


Figura 4.21 – Deslocador de fase de 2-bit com topologia de linha comutada implementado com os HEMT SPDT: (a) simulado; (b) construído.

Retiraram-se os resultados simulados e experimentais, estando os mesmos apresentados na tabela 4.16.

Tabela 4.16 - Resultados dos testes efetuados ao deslocador de fase de 2-bit com topologia de linha comutada, implementado com os HEMT SPDT, quer simulado quer construído.

Bit Selecionado	Simulação					Construído				
	Magnitude (dB)		Fases em graus			Magnitude (dB)		Fases em (graus)		
	S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro	S_{11}	S_{21}	$\angle S_{21}$	Desvio	Erro
0°	-16,45	-0,50	-25,15	-----	-----	-9,08	-6,61	-64,45	-----	-----
22,5°	-17,94	-0,59	-52,32	27,17	4,67	-16,19	-2,84	-77,33	12,88	9,62
45°	-8,85	-1,25	-81,60	56,45	11,45	-8,47	-6,39	-111,97	47,52	2,52
67,5°	-5,45	-2,35	-106,30	81,15	13,65	-12,04	-3,05	-135,11	70,66	3,16

Observando os resultados da tabela 4.16 verifica-se a existência de erros relevantes, nomeadamente no que concerne às perdas por inserção para o sistema

implementado, bem como erros nos desvios de fase em relação ao pretendido, quer em simulação quer na prática.

Foi também implementado um deslocador de fase de 4 bits, representado na figura 4.22(a) em COMSOL e na figura 4.22(b) o experimental.

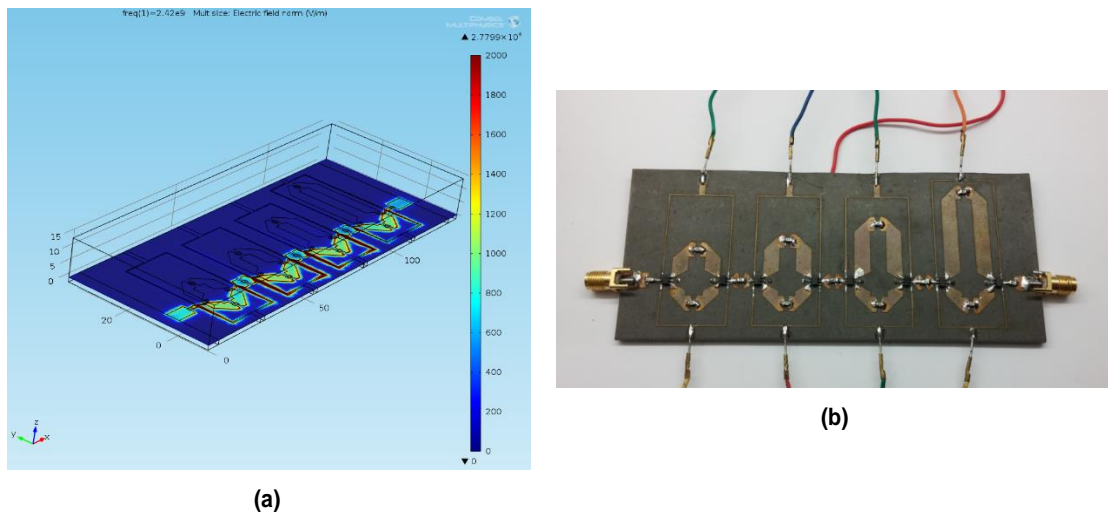


Figura 4.22 - Deslocador de fase de 4-bit com topologia de linha comutada implementado com os HEMT SPDT: (a) simulado; (b) construído.

Verificou-se que os problemas encontrados no deslocador de fase de 2 bits mantiveram-se, sendo que se chegou a obter perdas por inserção superiores a -30 dB em alguns casos. As perdas por retorno apresentavam para algumas combinações valores próximos de -1,5 dB indicando que o sistema estava muito desadaptado, sendo impossível quantificar os valores dos passos de desvio de fase visto os valores não estarem a seguir um padrão.

Após algumas pesquisas por trabalhos que utilizassem o componente HMC545E e que o implementasse para realizar deslocamento de fase, encontrou-se em [57] um deslocador de fase de 3 bits (45° , 90° e 180°) cujos principais resultados foram apresentados na tabela 4.13.

Inicialmente ponderou-se que o problema poderia estar relacionado com a proximidade existente entre a pista de sinal de alta frequência e as pistas de controlo dos SPDT. Contudo em [57] observa-se a mesma proximidade entre pista, excluindo-se assim que o problema fosse derivado ao acoplamento entre pistas.

Na folha de características do componente HMC545E [69], o mesmo indica que todas as portas por onde passa sinal de altas frequências estão adaptadas para 50Ω , excluindo-se que o problema seja devido a desadaptações inerentes à própria impedância do componente.

O desenho do deslocador de fase implementado contém um estreitamento brusco entre a pista de altas frequências e a porta de entrada de sinal do próprio componente, sendo a mesma inevitável. Verifica-se uma passagem da largura da pista de 4,847 mm (50Ω) para 0,48 mm ($145,57 \Omega$). Esta desadaptação provocada por uma descontinuidade em degrau tão pronunciada poderá estar na ocorrência dos erros verificados. A solução passaria pela utilização de um *stub* em paralelo com a pista de sinal de alta frequência,

localizada a uma determinada distância da porta do dispositivo que permitisse anular os efeitos da desadaptação. Contudo, não é possível realizar esta operação uma vez que é necessário ter acesso a um *software* adequado para dimensionar o *stub*, como por exemplo diagramas de Smith. Como tal não existe no COMSOL, decidiu-se por continuar o estudo de circuitos que permitem o controlo do diagrama de radiação apenas com os díodos PIN.

4.5 Atenuadores

Nesta secção pretende-se descrever os procedimentos tomados para implementar os atenuadores que foram estudados neste trabalho.

Foi feita uma pesquisa em bibliografias de implementação de atenuadores RF de modo a saber-se teoricamente qual seria a melhor solução de atenuador a implementar, T ou π . Verificou-se alguma dificuldade em encontrar informação sobre a melhor topologia, sendo que unicamente em [71] se encontrou uma resposta, não muito conclusiva. O autor refere que depende muito da quantidade de atenuação que se pretende obter, bem como dos valores das resistências que se dispõem mencionado, por exemplo, que para uma atenuação que utilize baixos valores de resistência talvez a melhor solução seja utilizar a topologia em π .

Uma vez que a informação disponibilizada não foi suficiente decidiu-se implementar as duas topologias e retirar as próprias conclusões.

Uma vez verificada qual a melhor topologia, para o valor de atenuação pretendido, a mesma será utilizada para implementar um sistema que dará a possibilidade de escolher entre um percurso com atenuação e um sem atenuação. Foi igualmente implementado um atenuador variável, utilizando para tal o componente HSMP-3816.

4.5.1 Atenuador com topologia em T

Começou-se por estudar a implementação de atenuadores com topologia em T, como foi descrito na figura 2.18(a). Pretendeu-se implementar um atenuador de 20 dB. Utilizando as equações (2.20), (2.21) e (2.22), realizou-se o dimensionamento das resistências de modo a obter o valor de atenuação pretendido. Para uma adaptação à impedância característica de 50 Ω , calculou-se a largura da pista para o material Duroid 5880 através da equação (3.22). Para uma atenuação de 20 dB foram obtidos os seguintes valores para as resistências: $R_1 = 40,91 \Omega$; $R_2 = 40,91 \Omega$; e $R_3 = 10,10 \Omega$. Como não se disponha tais valores foram utilizadas duas resistências de 82 Ω , que em paralelo dá um valor próximo aos 40,91 Ω , e duas de 22 Ω , que em paralelo dá um valor próximo de 10,10 Ω .

Implementou-se duas configurações de disposição das resistências, configuração 1 e configuração 2. Na figura 4.23(a) está demonstrada a configuração 1 e na figura 4.23 (b) está a configuração 2 para implementar o atenuador em T, ambos os desenhos em COMSOL. Na figura 4.23(c) está a construção da configuração 1 e na figura 4.23(d) está a construção da configuração 2 do atenuador em T.

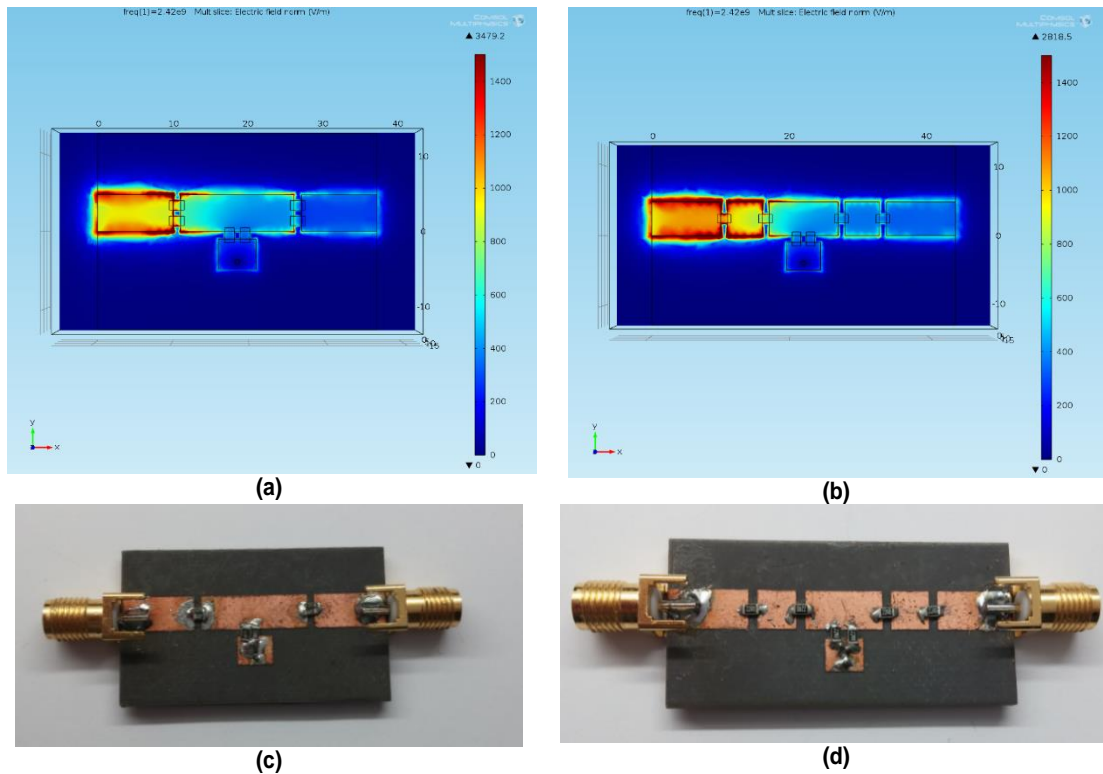


Figura 4.23 – Atenuador com topologia em T realizada em duas configurações distintas: (a) configuração 1 simulada; (b) configuração 2 simulada; (c) configuração 1 construído; (d) configuração 2 construído.

Foram obtidos os resultados dos parâmetros mais importantes para este sistema, como as perdas por inserção, ou seja, o valor da atenuação, e as perdas por retorno, estando os resultados na tabela 4.17.

Tabela 4.17 – Resultados dos testes efetuados ao atenuador com topologia em T simulado e construído, em duas configurações de resistências distintas.

	Configuração 1		Configuração 2	
	Magnitude (dB)		Magnitude (dB)	
	S_{11}	S_{21}	S_{11}	S_{21}
Simulação	-6,15	-7,01	-2,19	-11,13
Construído	-7,18	-10,70	-5,39	-13,56

Pode-se verificar que com a configuração 2 tem-se um melhor desempenho em termos de atenuação do sinal, mas ainda não atingiu o valor de -20 dB desejado, quer na simulação quer o sistema construído.

Verificou-se pelas figuras 4.23(a) e 4.23(b) um fenômeno curioso, estando o sinal RF de alguma intensidade, a vaguear nas extremidades da pista, passando assim para a saída do circuito. Decidiu-se testar o aumento da área de ligação ao plano de massa, bem como a largura da via para o mesmo, para o atenuador T com a configuração 2, obtendo-se o circuito da figura 4.24(a). Na figura 4.24(b) pode-se observar que já não existe tanta passagem de campo eletromagnético nas extremidades da pista como era anteriormente observado na figura 4.23(b).

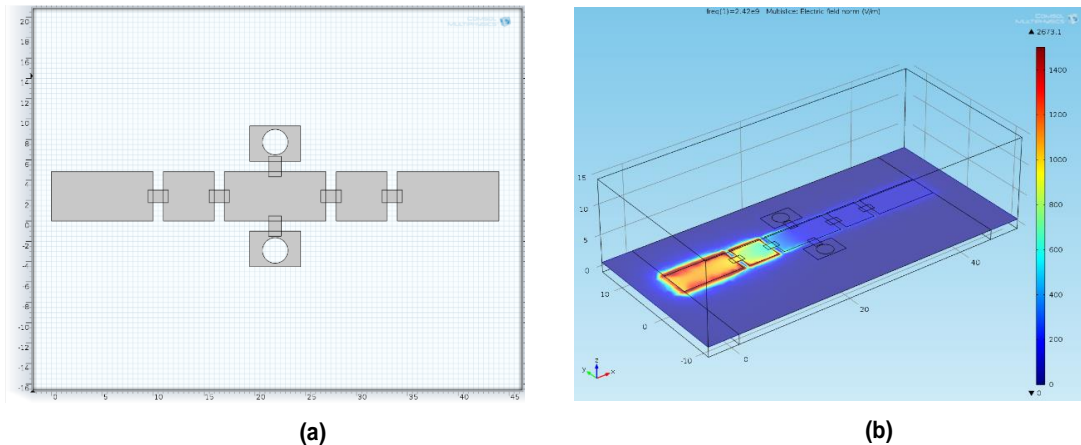


Figura 4.24 – Retificação aplicada a configuração 2: (a) esquemático microstrip; (b) simulação.

A alteração realizada na topologia do atenuador T com a configuração 2, e que pode ser observada na figura 4.24(a), veio a melhorar o desempenho do atenuador, uma vez que se passou dos -11,13 dB de atenuação verificados anteriormente para -16,13 dB. Embora ainda fique aquém dos -20 dB desejados, conseguiu-se uma melhoria de -5 dB, provando que uma boa ligação ao plano de massa em circuitos RF pode trazer melhorias no desempenho. Contudo, como referido no início desta secção, quando se tem valores de resistência pequenos (10,10 Ω), para uma topologia de atenuador em T, é complicado obter os valores de atenuação elevados (por exemplo -20dB), devendo-se então utilizar a topologia em π .

4.5.2 Atenuador com topologia em π

A topologia em π , representada na figura 2.18 (b), foi dimensionada para ter um valor de atenuação de -20 dB. Utilizando as equações (2.23), (2.24) e (2.25), foram obtidos os valores das resistências necessárias à implementação do atenuador. Os valores são: $R_1 = 61,1 \Omega$, $R_2 = 61,1 \Omega$ e $R_3 = 247,5 \Omega$. Duas resistências de 510 Ω em paralelo permitiu obter um valor próximo de 247,5 Ω e duas de 120 Ω em paralelo possibilitou obter 61,1 Ω .

O circuito foi implementando em Duroid 5880 e os cálculos das pistas de 50 Ω utilizam a equação (3.22).

Na figura 4.25(a) está representado o circuito do atenuador em π em COMSOL e na figura 4.25(b) está o circuito construído.

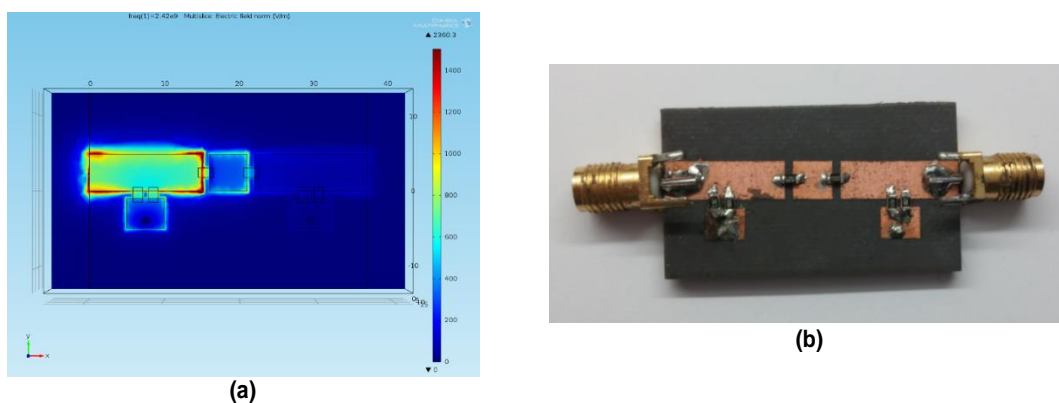


Figura 4.25 - Atenuador com topologia em π : (a) simulado; (b) construído.

Quer o atenuador em π implementado no COMSOL, quer o implementado na prática apresentam o valor para o qual foi dimensionado, ou seja, em torno dos 20 dB de atenuação, tal como se pode observar na tabela 4.18.

Tabela 4.18 - Resultados dos testes efetuados ao atenuador com topologia em π simulado e construído.

	Magnitude (dB)	
	S_{11}	S_{21}
Simulação	-9,57	-20,30
Construído	-18,55	-21,49

A principal diferença verificada foi nas perdas por retorno sendo que na simulação obteve-se -9,57 dB e o construído que apresenta -18,55 dB, o que é uma discrepância ainda considerável, mas com bom desempenho para o circuito experimental, que era o pretendido.

4.5.3 Atenuador comutável

Para a realização do atenuador comutável, como apresentado na secção 2.5.2, teve-se que escolher uma das duas topologias dimensionadas e implementadas anteriormente, sendo que pelos resultados obtidos foi escolhida a topologia em π .

Devido ao bom desempenho do HEMT SPDT, quando utilizado para realizar um deslocador de fase de 1 bit, decidiu-se utilizá-lo para realizar a comutação entre a pista sem atenuação e a pista de atenuação que irá conter o atenuador com a configuração π . A facilidade de implementação do circuito de polarização do HEMT SPDT foi igualmente preponderante na escolha, visto que o mesmo não necessita de RF *choke*, permitindo diminuir as dimensões do circuito.

Tendo em conta que todos os componentes necessários à implementação do atenuador comutável já estavam dimensionados, partiu-se para o desenho em COMSOL de todo o sistema, representado na figura 4.26(a). Na figura 4.26(b) está o circuito implementado na prática.

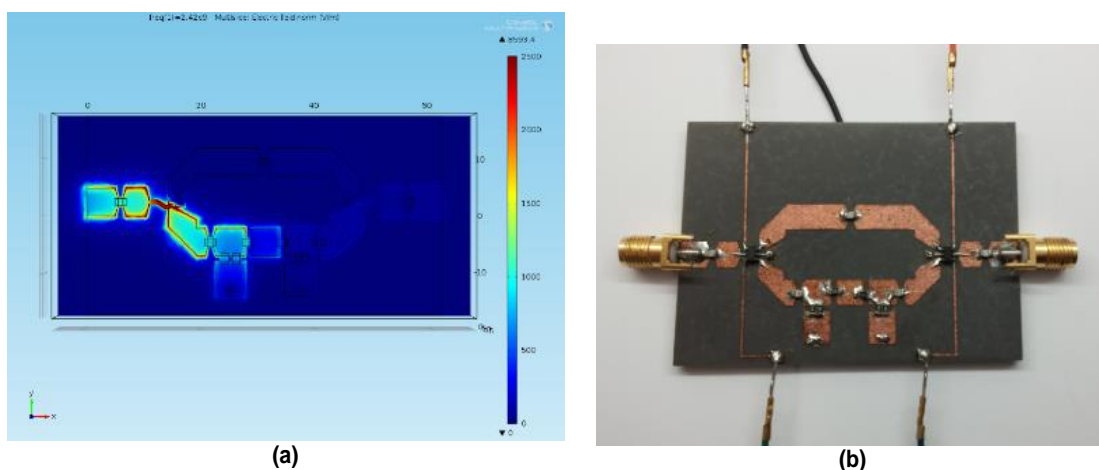


Figura 4.26 – Atenuador comutável com a topologia em π : (a) simulado; (b) construído.

Testou-se o funcionamento dos circuitos das figuras 4.26(a) e 4.26(b). Os valores referentes à simulação indicam que, quando o sinal passa no percurso sem atenuação, o sinal é atenuado de 2,64 dB, tendo-se obtido um valor muito próximo na prática, 2,48 dB. Já quando o sinal passa pelo percurso com atenuação, na simulação foi obtida uma atenuação de 20,73 dB e na prática de 23,57 dB. Estes resultados demonstram o funcionamento esperado, que se pretendia obter, contudo o ideal teria sido que se obtivesse perdas mais baixas quando o sinal passa pelo percurso sem atenuação.

4.5.4 Atenuador variável com topologia em π

É possível implementar um atenuador com topologia em π não só através de resistências mas também recorrendo a díodos PIN. A vantagem dos díodos PIN é que permitem realizar a variação da atenuação, sendo que experimentalmente se dispunha em laboratório de um componente que é um atenuador com topologia em π com díodos PIN, o HSMP-3816 [72]. Na figura 4.27(a) é apresentado o *layout* do circuito para utilização do HSMP-3816, indicado pelo fabricante, e na figura 4.27(b) está o circuito implementado na prática.

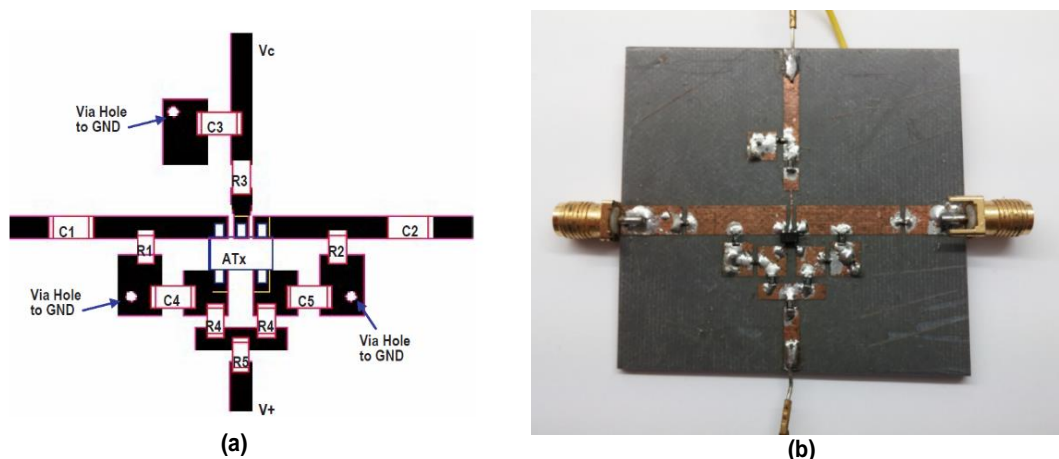


Figura 4.27 – Atenuador variável com configuração em π , utilizando o HSMP-3816: (a) layout sugerido pelo fabricante [72]; (b) construído.

Na tabela 4.19, são apresentados os valores dos componentes necessários à implementação do atenuador variável com configuração em π (HSMP-3816).

Tabela 4.19 – Valores dos componentes necessários à implementação do atenuador variável com configuração em π (HSMP-3816) [72].

Componente	Valor
R1,R2	560 Ω
R3	330 Ω
R4	1500 Ω
R5	680 Ω
C1-C5	47000 pF

Procederam-se aos testes do atenuador variável com topologia em π aplicando $V_+ = 5V$ e variando-se a tensão de controlo, V_C , entre 0 V (atenuação máxima) e 20 V (atenuação mínima), estando os resultados apresentados na tabela 4.20.

Tabela 4.20 - Resultados dos testes efetuados ao atenuador variável com topologia em π - HSMP-3816 construído.

Tensão de controlo aplicada (V)	Construído			
	Magnitude (dB)		Fases em graus	
	S_{11}	S_{21}	$\angle S_{21}$	Desvio
0	-2,99	-21,87	-62,32	108,47
1	-6,24	-18,39	-133,84	36,95
2	-11,39	-10,53	-163,16	7,63
3	-15,13	-7,87	-167,09	3,70
4	-18,14	-6,55	-168,54	2,25
5	-20,31	-5,80	-169,24	1,55
6	-21,59	-5,30	-169,65	1,14
7	-22,25	-4,95	-169,98	0,81
8	-22,38	-4,69	-170,20	0,59
9	-22,30	-4,48	-170,34	0,45
10	-22,06	-4,32	-170,42	0,37
11	-21,80	-4,18	-170,53	0,26
12	-21,55	-4,07	-170,55	0,24
13	-21,29	-3,98	-170,58	0,21
14	-21,02	-3,91	-170,69	0,10
15	-20,83	-3,83	-170,71	0,08
16	-20,64	-3,78	-170,68	0,11
17	-20,42	-3,73	-170,76	0,03
18	-20,24	-3,67	-170,77	0,02
19	-20,10	-3,63	-170,78	0,01
20	-20,05	-3,60	-170,79	-----

Apesar do componente HSMP-3816 funcionar na gama de frequência deste trabalho (2,42 GHz), a folha de características do mesmo não apresenta resultados para essa frequência.

Contudo, observando os resultados apresentados na tabela 4.20, verifica-se que os mesmos seguem a mesma tendência dos valores apresentados na folha de características do componente. Por exemplo a um 1 GHz o atenuador variável, segundo a folha de características, tem perdas por inserção mínimas de -3 dB e perdas por retorno mínimas de -22 dB. Os valores que se obteve experimentalmente, a 2,42 GHz, foram -3,60 dB para as perdas por inserção mínimas e -20,05 para as perdas por retorno mínimas. Esperando-se esta ligeira degradação na performance uma vez que a frequência também é superior.

Contudo, caso se pretenda colocar um atenuador variável num circuito de *beamforming* analógico, um valor de 3,60 dB de perdas é elevado, uma vez que para o melhor caso o atenuador está a introduzir perdas superiores a metade da potência. A integração de um circuito deste tipo num sistema de controlo do diagrama de radiação teria que ser com auxílio de uma solução como a apresentada na secção 4.5.3, ou seja, quando não se pretende atenuação, o sinal passa por um percurso sem atenuador.

5. Testes e resultados em agrupamentos de antenas

No capítulo anterior dimensionou-se, implementou-se e testou-se os circuitos para o controlo do diagrama de radiação de um agrupamento de antenas.

Neste último capítulo é pretendido obter os diagramas de radiação, avaliando as soluções apresentadas no capítulo anterior, no que concerne ao desvio do feixe de radiação numa determinada direção. Será, igualmente, realizada uma comparação entre resultados obtidos na prática com os teóricos e de simulação.

5.1 Agrupamento com controlo da fase

Na tabela 5.1 são apresentadas as 13 combinações de atrasos, possíveis de implementar com os sistemas desenvolvidos, entre as portas de saída do sistema de deslocamento de fase e que estão conectadas a 4 antenas do tipo monopolo. Pode-se, ainda, verificar qual o desvio de fase teórico que o lóbulo principal do diagrama de radiação deverá ter mediante as diversas combinações e cujos resultados foram alcançados através da equação [2.1] que se encontra no capítulo 2.

Tabela 5.1 – Combinações de atrasos de fase nas quatro portas de saída dos sistemas implementados de modo a que se obtenha um desvio de fase do lóbulo principal do diagrama de radiação.

Nº da combinação	Atraso de fase efetuado na porta 1	Atraso de fase efetuado na porta 2	Atraso de fase efetuado na porta 3	Atraso de fase efetuado na porta 4	Desvio de fase pretendido no lóbulo principal do diagrama de radiação
1	0°	135°	270°	405°	45°
2	0°	112,5°	225°	337,5°	37,5°
3	0°	90°	180°	270°	30°
4	0°	67,5°	135°	202,5°	22,5°
5	0°	45°	90°	135°	15°
6	0°	22,5°	45°	67,5°	7,5°
7	0°	0°	0°	0°	0°
8	67,5°	45°	22,5°	0°	352,5°
9	135°	90°	45°	0°	345°
10	202,5°	135°	67,5°	0°	337,5°
11	270°	180°	90°	0°	330°
12	337,5°	225°	112,5°	0°	322,5°
13	405°	270°	135°	0°	315°

Na figura 5.1 está ilustrado o desvio do feixe de radiação que se espera obter mediante as 13 combinações. Os diagramas de radiação obtidos em cada um deles serão posteriormente abordados.

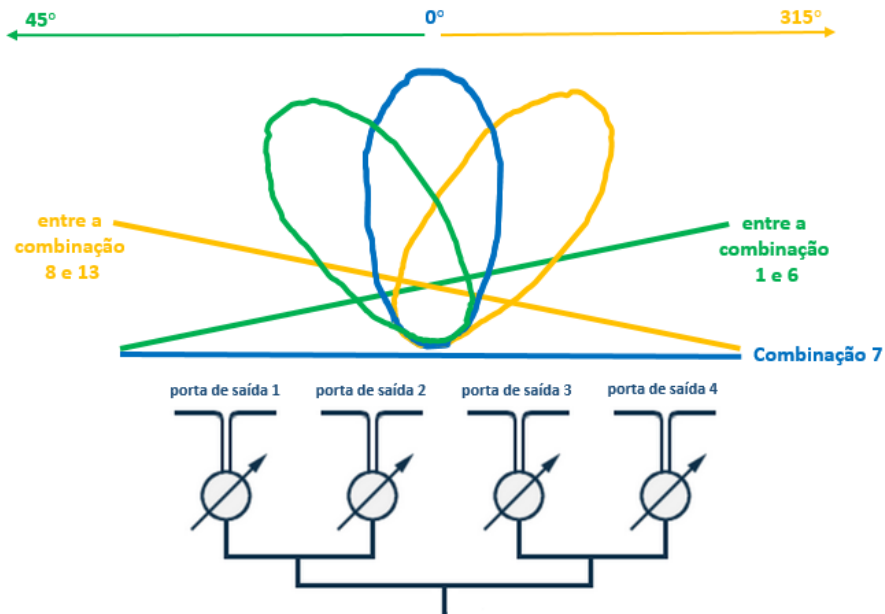


Figura 5.1 – Ilustração do desvio de fase no diagrama de radiação mediante as várias combinações de atrasos de fase nas quatro portas de saída.

De notar que as combinações 1 e 13 da tabela 5.1 apenas serão testadas com a matriz de Butler, uma vez que a combinação dos quatro deslocadores de fase conjuntamente com um combinador/divisor de potência apenas permite um máximo de atraso de fase entre portas de saída de $112,5^\circ$. Já a matriz de Butler 4X4 permite até um máximo de 135° de atraso entre portas de saída.

Antes de se apresentar os resultados obtidos, simulados em COMSOL e obtidos experimentalmente numa câmara anecoica, poder-se-á consultar o Anexo F que contém informação mais detalhada acerca de como se realizou o agrupamento linear de 4 antenas do tipo monopolo em COMSOL. Está igualmente descrito no Anexo F uma ilustração do procedimento que foi realizado na câmara anecoica de modo a obter os diagramas de radiação dos sistemas implementados.

5.2 Antena monopolo

De modo a verificar o desvio do feixe de radiação, foram utilizadas antenas do tipo monopolo, como apresentado na figura 5.2.



Figura 5.2 – Antena monopolo para aplicações na banda de frequências ISM.

Na figura 5.3(a) está o diagrama de radiação horizontal e na figura 5.3(b) está o diagrama de radiação vertical, medidos na câmara anecoica.

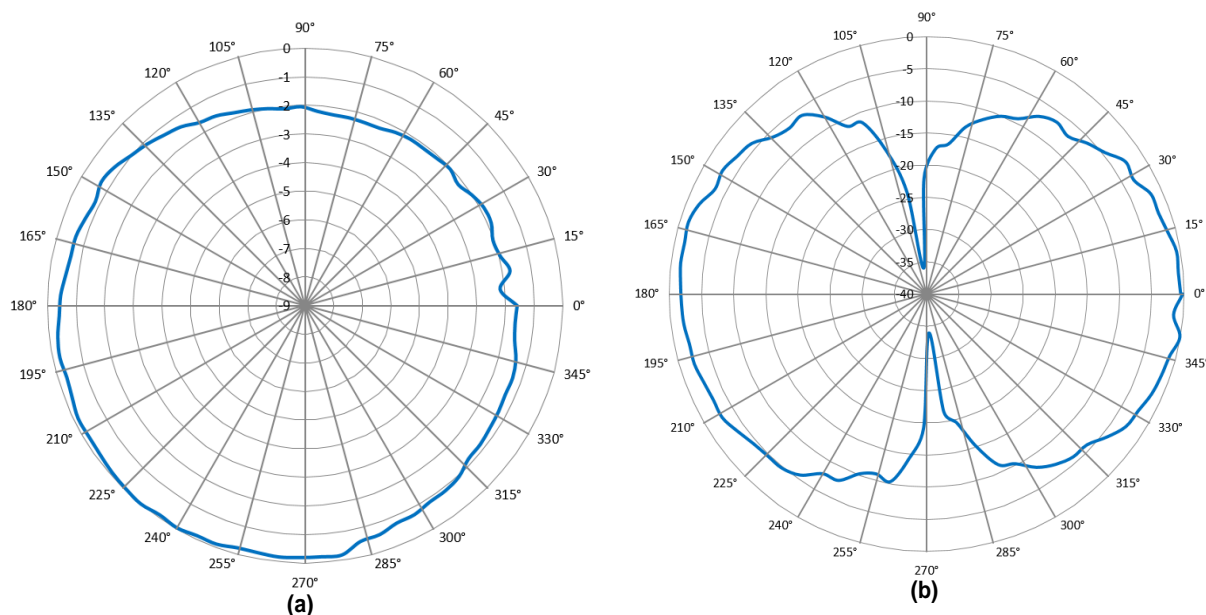


Figura 5.3 - Diagramas de radiação para uma antena do tipo monopolo: (a) horizontal; (b) vertical.

Observando os diagramas de radiação horizontal e vertical da antena monopolo verifica-se que os mesmos estão de acordo com o esperado. Contudo, verifica-se que a radiação não é totalmente uniforme no azimute, apresentando um valor de atenuação em relação ao máximo, numa das direções de 2,3 dB. No diagrama de radiação vertical observa-se o que se pretende, ou seja, dois lóbulos principais pronunciados com mínimos na orientação da antena.

5.3 Agrupamento linear de 4 antenas sem atraso entre portas

Para se obter uma referência de um agrupamento linear de 4 antenas sem desvio do feixe de radiação, utilizou-se um combinador/divisor de potência 1:4, com 4 antenas monopolo acopladas às saídas do mesmo, como se pode ver pela figura 5.4.

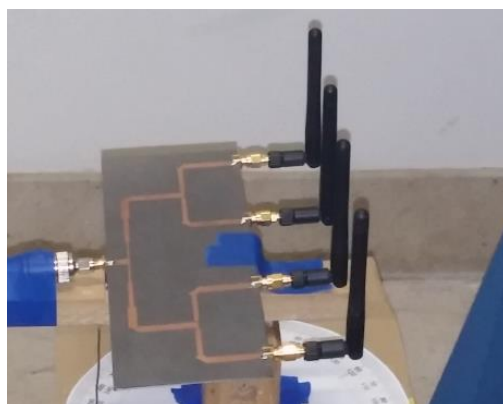


Figura 5.4 – Combinador/ divisor de potência 1:4 sem atraso entre portas, acoplado a quatro antenas do tipo monopolo.

No COMSOL implementou-se um agrupamento linear de 4 antenas monopolo, dimensionadas para 2,42 GHz. Como referido no capítulo 2, consegue-se alterar o diagrama de radiação através do espaçamento entre elementos. No anexo G são apresentados os diagramas de radiação para $67,5^\circ$ de desfasamento entre portas e espaçamento de $0,4\lambda$, $0,5\lambda$ e $0,6\lambda$, de modo a se observar as variações produzidas no diagrama de radiação.

Na prática implementou-se o combinador/divisor de 1:4 de modo a que os elementos ficassem a uma distância de $0,5\lambda$ entre si, sendo a distância que permite um melhor compromisso entre largura do feixe e o desvio do mesmo. Na figura 5.5(a) observa-se o diagrama de radiação de um agrupamento linear ideal de 4 antenas sem desvio de fase. Na figura 5.5(b) observa-se o diagrama de radiação prático.

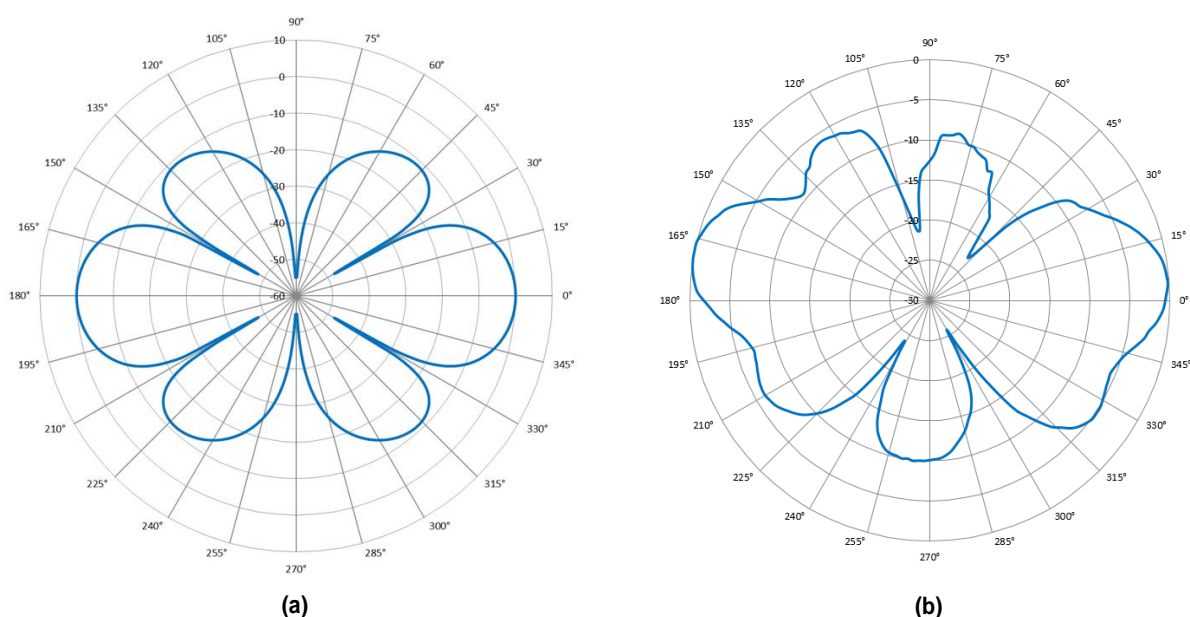


Figura 5.5 – Diagramas de radiação para um combinador/ divisor de potência acoplado a quatro antenas do tipo monopolo: (a) teórico; (b) obtido experimentalmente.

Comparando o diagrama de radiação prático com o teórico verifica-se que os lóbulos principais estão orientados na mesma direção. O desvio prático é de 4° , explicado pela dificuldade em centrar o sistema com o feixe emitido pela parabólica e cujo esquema pode ser encontrado na figura F.4 do anexo F.

5.4 Agrupamento linear de 4 antenas com atraso de 45° entre portas

O agrupamento aqui descrito apresenta as portas desfasadas de 45° , o que corresponde à combinação 5 apresentada na tabela 5.1. É, assim, esperado obter um desvio no diagrama de radiação correspondente a 15° .

Utilizou-se o combinador/divisor de potência 1:4 com atraso de 45° entre portas apresentado na secção 4.4.2, estando nas portas de saída quatro antenas do tipo monopolo, como mostra a figura 5.6

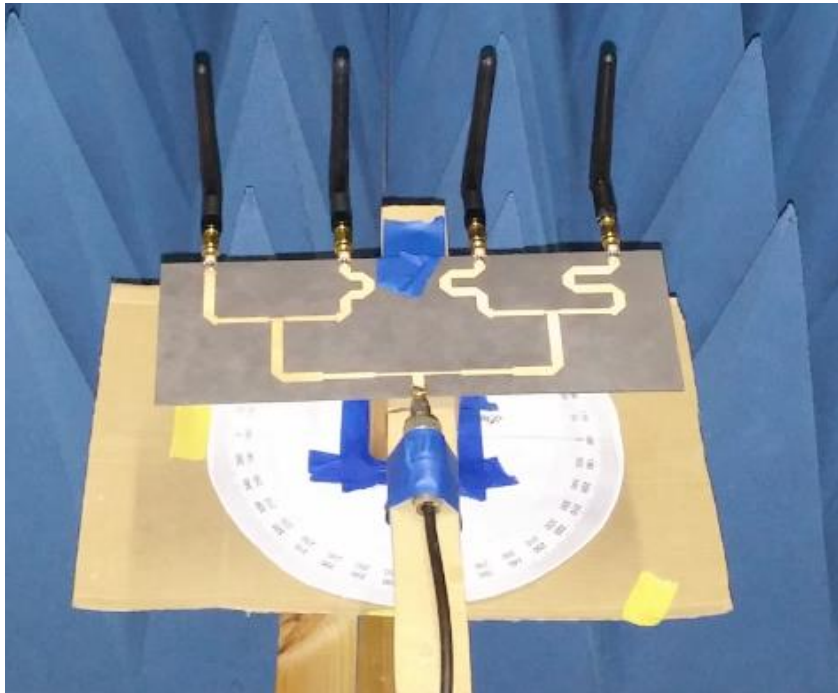


Figura 5.6 - Combinador/ divisor de potência 1:4 com atraso de 45° entre portas, acoplado a quatro antenas do tipo monopolo.

Na figura 5.7(a) pode-se observar o diagrama de radiação teórico e na figura 5.7(b) o diagrama de radiação obtido experimentalmente.

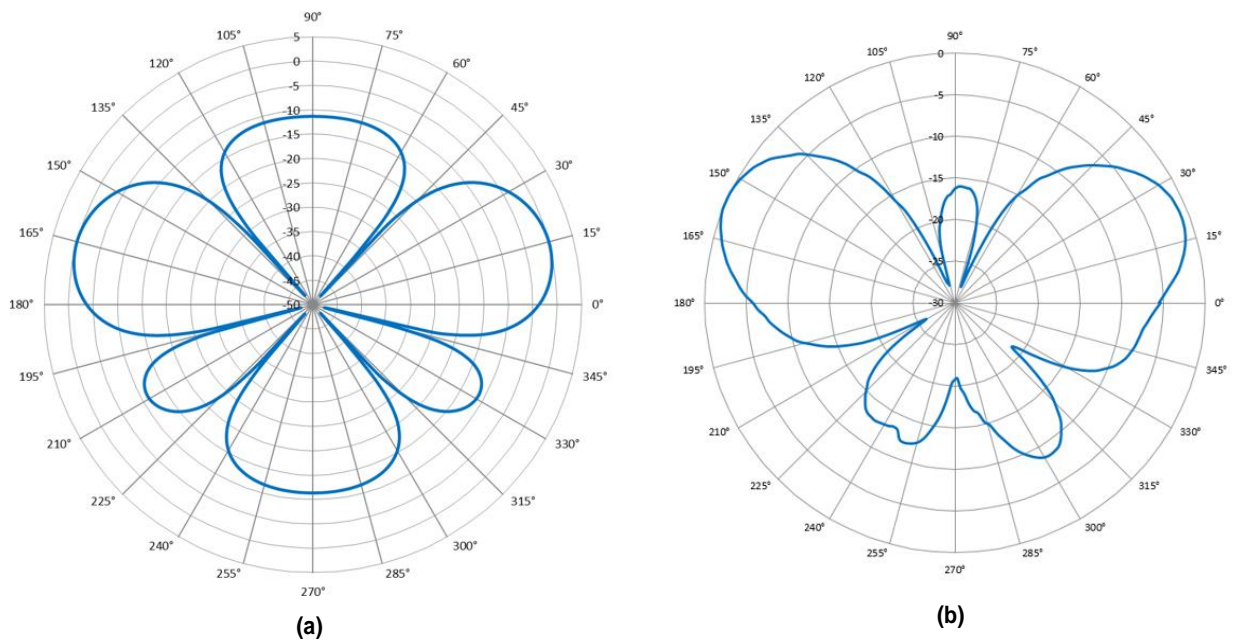


Figura 5.7 - Diagramas de radiação para um combinador/ divisor de potência com atraso entre portas de 45° , acoplado a quatro antenas do tipo monopolo: (a) teórico; (b) obtido na prática.

Comparando o diagrama de radiação prático com o teórico, verifica-se que efetivamente o feixe foi desviado na direção desejada. O desvio de fase apresenta um erro de 5° em relação a 0° , mas apenas 1° em relação ao agrupamento sem desvio do feixe.

5.5 Matriz de Butler 4X4

No capítulo 4.5 foi apresentado todo o desenvolvimento para a construção de uma matriz de Butler 4X4, onde foram obtidos os valores das fases nas portas de saída da matriz de Butler. Nesta secção pretende-se apresentar os diagramas de radiação resultantes dos desvios de fase, utilizando-se a matriz de Butler acoplada a 4 antenas monopolo, como verificado na figura 5.8.

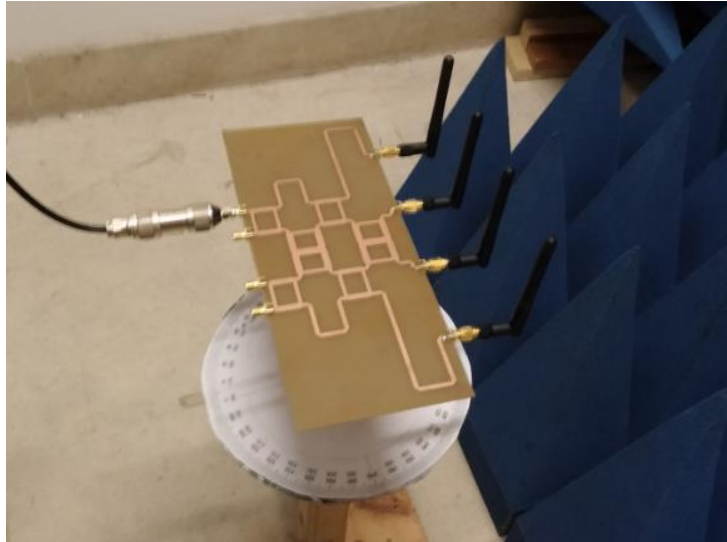


Figura 5.8 – Matriz de Butler 4X4 acoplada a 4 antenas do tipo monopolo.

Na matriz de Butler 4X4, quando se introduz sinal na porta de entrada 1 ou 4 espera-se obter uma diferença de fase entre portas de 45° , resultando na combinação 5 da tabela 5.1, caso o sinal seja colocado na porta 1, ou na combinação 9 da tabela 5.1, caso o sinal seja colocado na porta 4. Na figura 5.9(a) e na figura 5.9(b) estão representados os diagramas de radiação teóricos e práticos, respetivamente, para quando se insere sinal na porta 1.

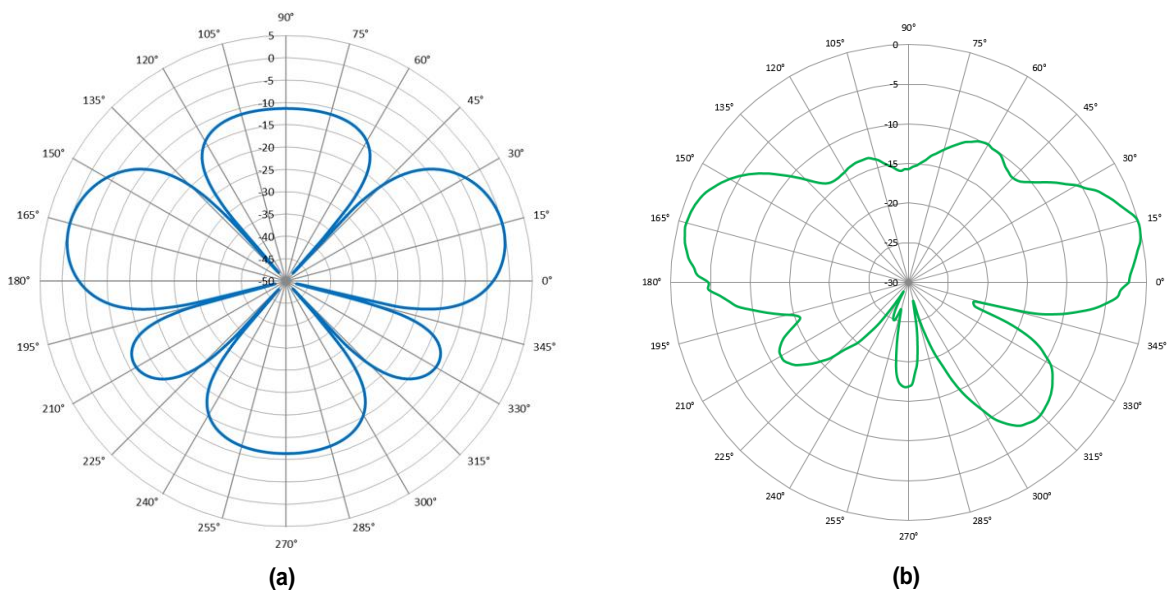


Figura 5.9 – Diagrama de radiação originado quando é aplicado sinal na porta 1 da matriz de Butler: (a) teórico; (b) prático.

Na figura 5.10(a) e figura 5.10(b) estão representados os diagramas de radiação teórico e prático, quando se insere sinal na porta 4.

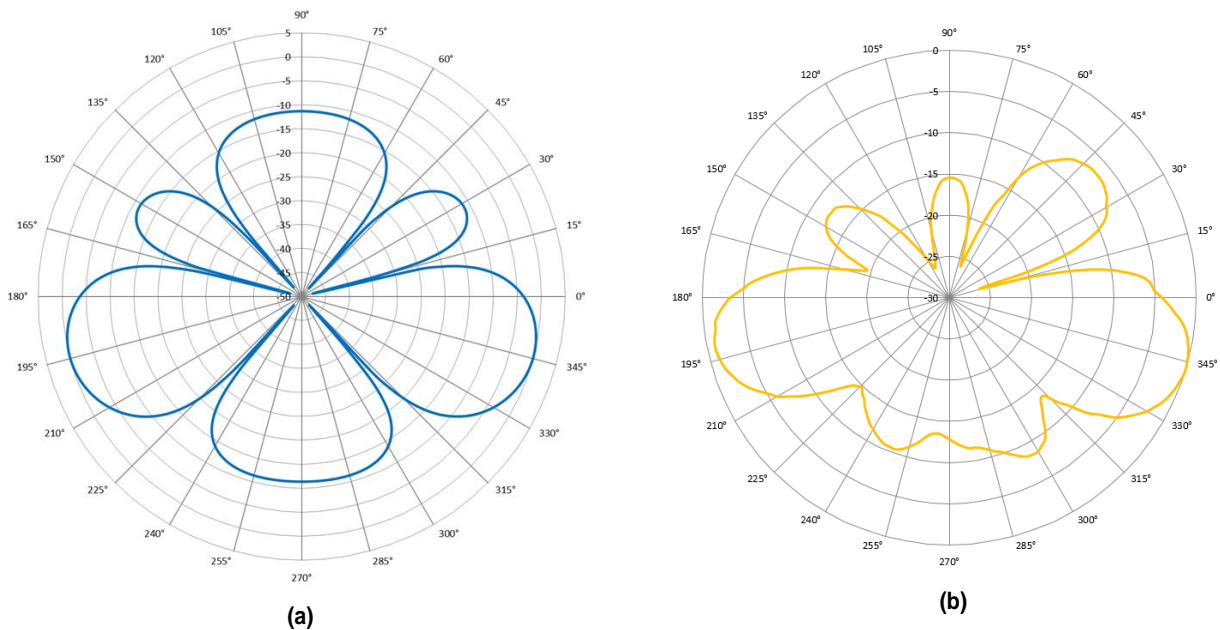


Figura 5.10 - Diagrama de radiação originado quando é a aplicado sinal na porta 4 da matriz de Butler: (a) teórico; (b) prático.

Quando se insere sinal na porta 2 ou 3 da matriz de Butler 4X4 espera-se que exista uma diferença de fase entre portas de 135° , podendo resultar na combinação 13 da tabela 5.1, caso o sinal seja colocado na porta 2, ou então na combinação 1 da tabela 5.1, caso o sinal seja colocado na porta 3. Na figura 5.11(a) e figura 5.11(b) estão representados os diagramas de radiação teórico e prático, quando se insere sinal na porta 2.

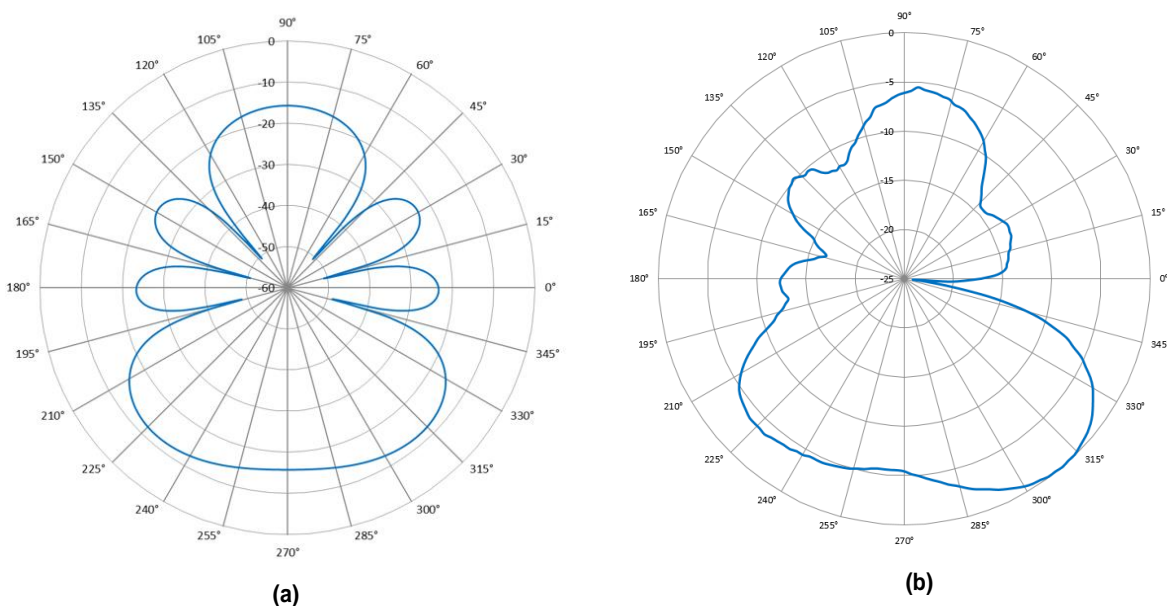


Figura 5.11 - Diagrama de radiação originado quando é a aplicado sinal na porta 2 da matriz de Butler: (a) teórico; (b) prático.

Na figura 5.12(a) e figura 5.12(b) estão representados os diagramas de radiação teórico e prático, quando se insere sinal na porta 3.

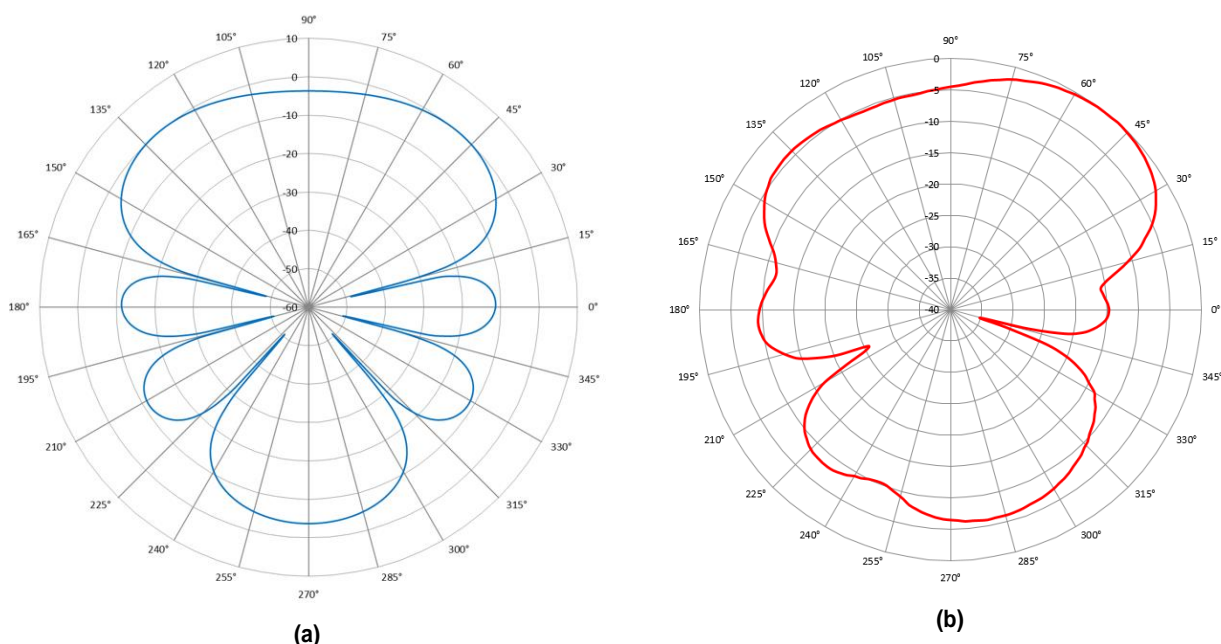


Figura 5.12 - Diagrama de radiação originado quando é aplicado sinal na porta 3 da matriz de Butler: (a) obtido através do COMSOL; (b) prático.

Na tabela 5.2 estão representados os resultados obtidos para a matriz de Butler acoplada a 4 antenas monopolo.

Tabela 5.2 - Resultados teóricos, obtidos em simulação e obtidos na prática para a matriz de Butler 4X4.

	Desvio de fase do feixe de radiação obtido, quando se coloca sinal numa das portas de entrada da matriz de Butler 4X4			
Porta de entrada	Porta 1	Porta 2	Porta 3	Porta 4
Valor teórico	15°	315°	45°	345°
Valor prático	14°	310°	48°	343°

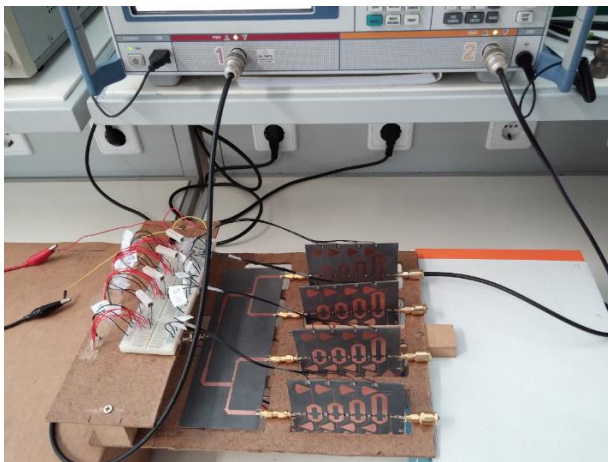
Ao comparar-se os diagramas de radiação teóricos e práticos, verifica-se que estes últimos seguem a mesma orientação em termos de lóbulos principais para as quatro combinações em relação aos teóricos. Os valores que se observam na tabela 5.2 corroboram a afirmação anterior, sendo que o maior erro obtido nos diagramas de radiação verifica-se na porta de saída 2, sendo 5° em relação a 0°.

5.6 Deslocador de fase de 4 bits com topologia de linha comutada

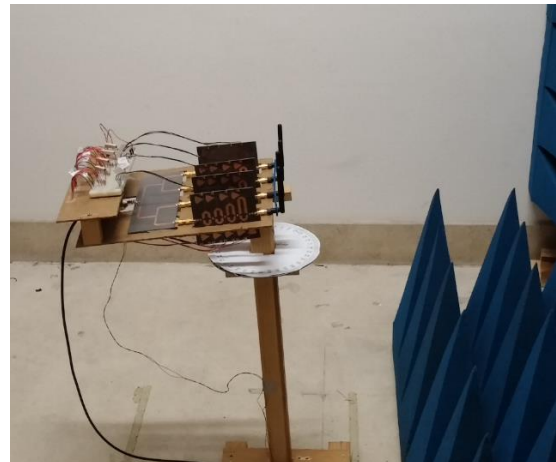
Nesta secção pretende-se apresentar os diagramas de radiação obtidos pela combinação de quatro deslocadores de fase de 4 bits. De modo a distribuir sinal de forma equitativa em todos os deslocadores de fase foi utilizado um combinador/divisor de

potência 1:4, sendo que este introduz o mínimo de diferença de fase nas suas portas de saída.

Na figura 5.13(a) pode-se observar o sistema final criado de modo a realizar os testes necessários à avaliação do fluxo de potência e perdas, com recurso ao analisador vetorial de redes, e na figura 5.13(b) apresenta-se o circuito final em testes na câmara anecoica para obtenção dos diagramas de radiação.



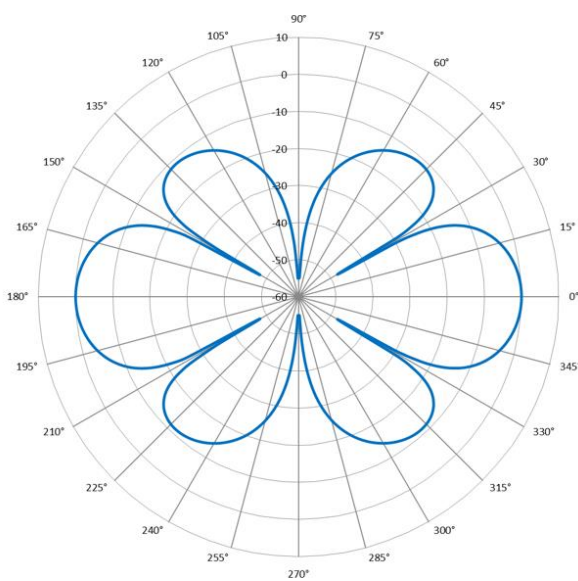
(a)



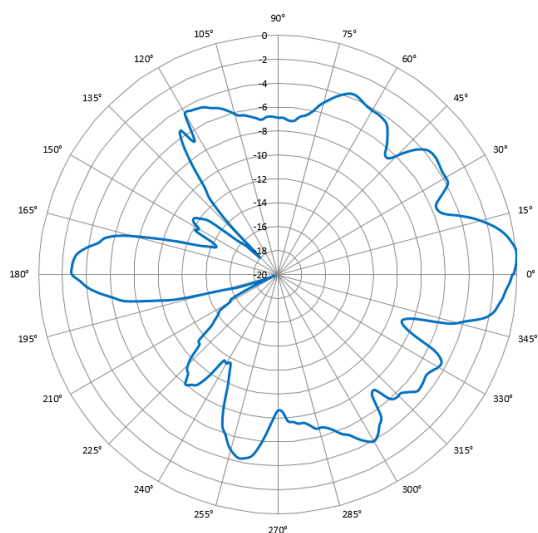
(b)

Figura 5.13 – Quatro deslocadores de fase de 4 bits acoplados a um combinador/ divisor de potência na entrada e na saída acoplados a 4 antenas do tipo monopolo: (a) em testes no analisador vetorial de redes; (b) em testes na câmara anecoica.

O menor passo que se consegue obter entre portas de um deslocador de fase de 4 bits é $22,5^\circ$. Nas figuras 5.14(a) e 5.14(b) são apresentados os diagramas de radiação teórico e prático, respetivamente, para uma diferença de fase entre portas de 0° , correspondendo à combinação 7 da tabela 5.1.



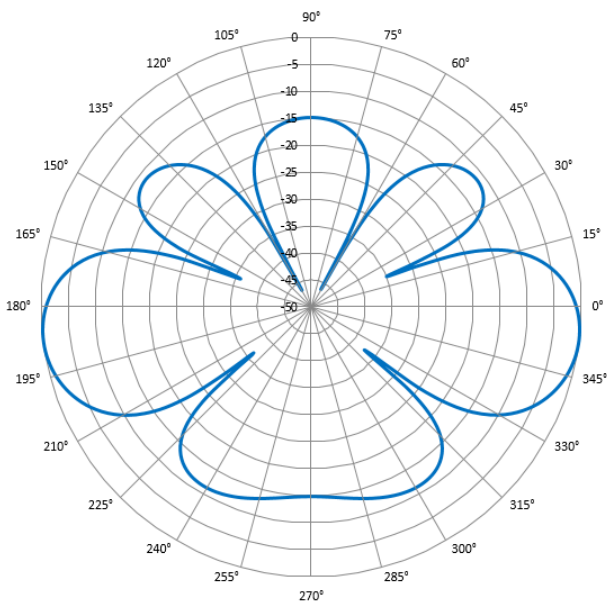
(a)



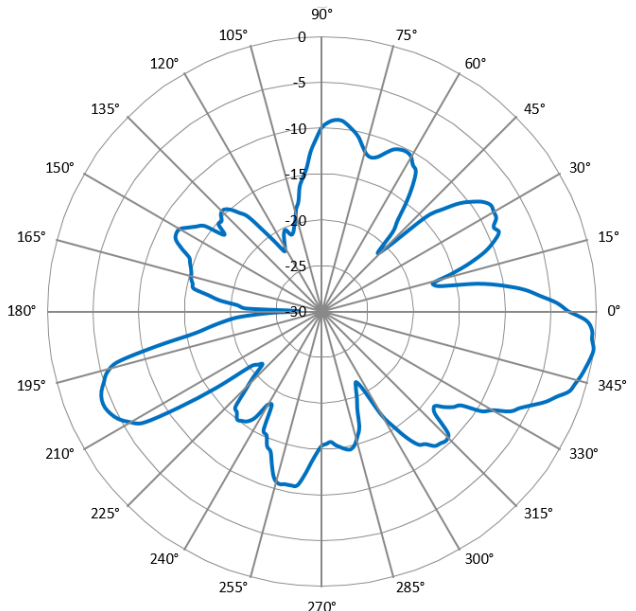
(b)

Figura 5.14 – Diagrama de radiação obtido para quando deslocador de fase tem atrasos de 0° entre portas de saída: (a) teórico; (b) prático;

Nas figuras 5.15(a) e 5.15(b) são apresentados os diagramas de radiação teórico e prático, respectivamente, para uma diferença de fase entre portas de $22,5^\circ$, correspondendo à combinação 8 da tabela 5.1.



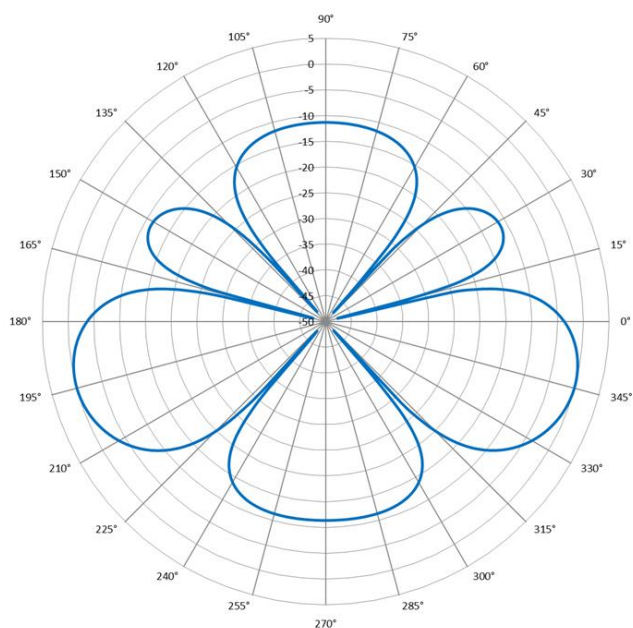
(a)



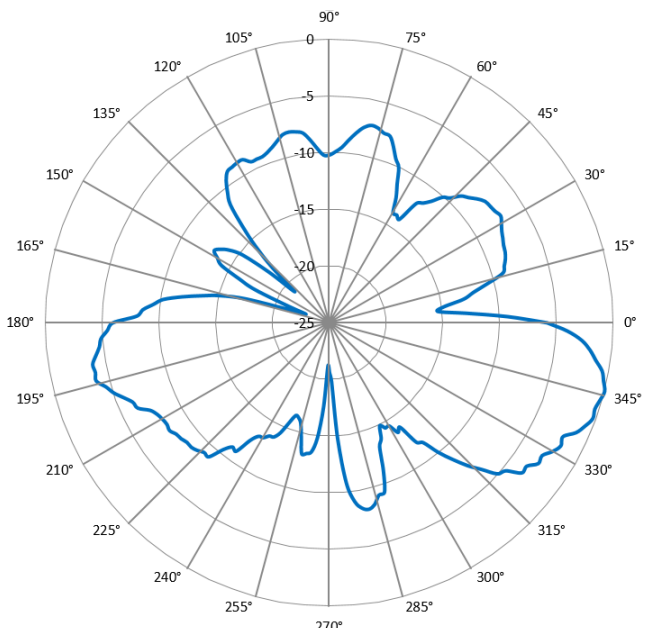
(b)

Figura 5.15 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de $22,5^\circ$ entre portas de saída: a) teórico; b) prático;

Nas figuras 5.16(a) e 5.16(b) são apresentados os diagramas de radiação teórico e prático, respectivamente, para uma diferença de fase entre portas de 45° , correspondendo à combinação 9 da tabela 5.1.



(a)



(b)

Figura 5.16 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de 45° entre portas de saída: (a) teórico; (b) prático;

Nas figuras 5.17(a) e 5.17(b) são apresentados os diagramas de radiação teórico e prático, respectivamente, para uma diferença de fase entre portas de $67,5^\circ$, correspondendo à combinação 10 da tabela 5.1.

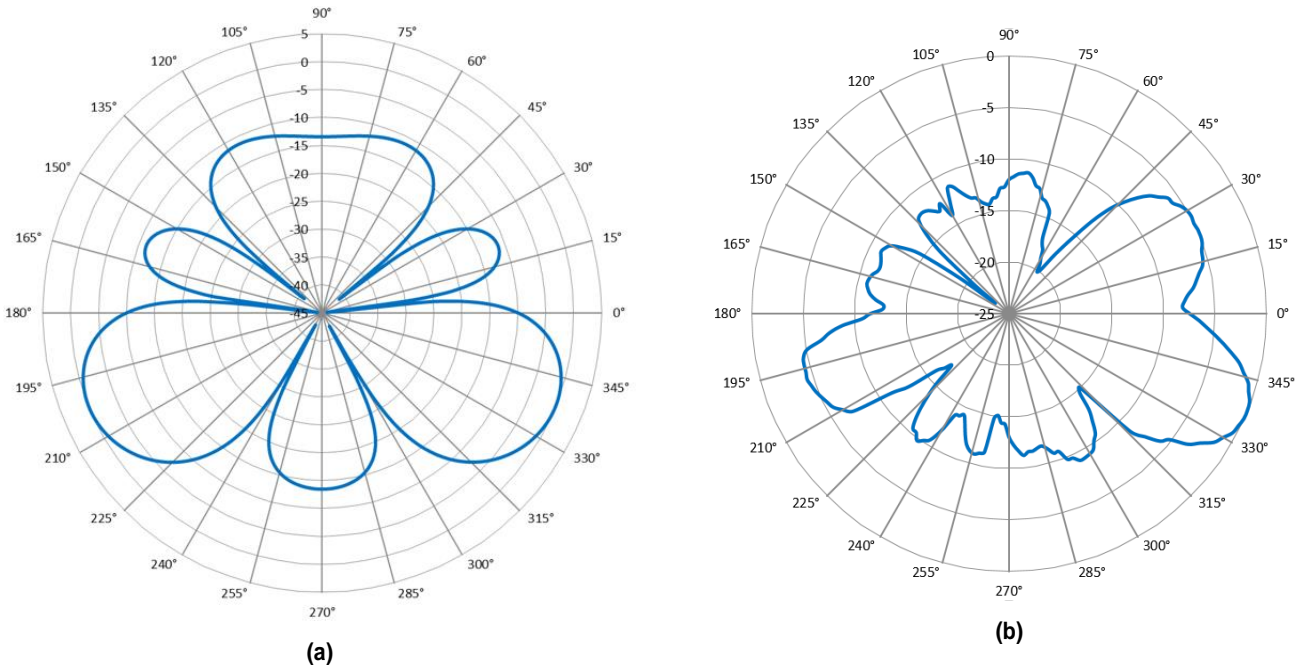


Figura 5.17 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de $67,5^\circ$ entre portas de saída: (a) teórico; (b) prático;

Nas figuras 5.18(a) e 5.18(b) são apresentados os diagramas de radiação teórico e prático, respectivamente, para uma diferença de fase entre portas de 90° , correspondendo à combinação 11 da tabela 5.1.

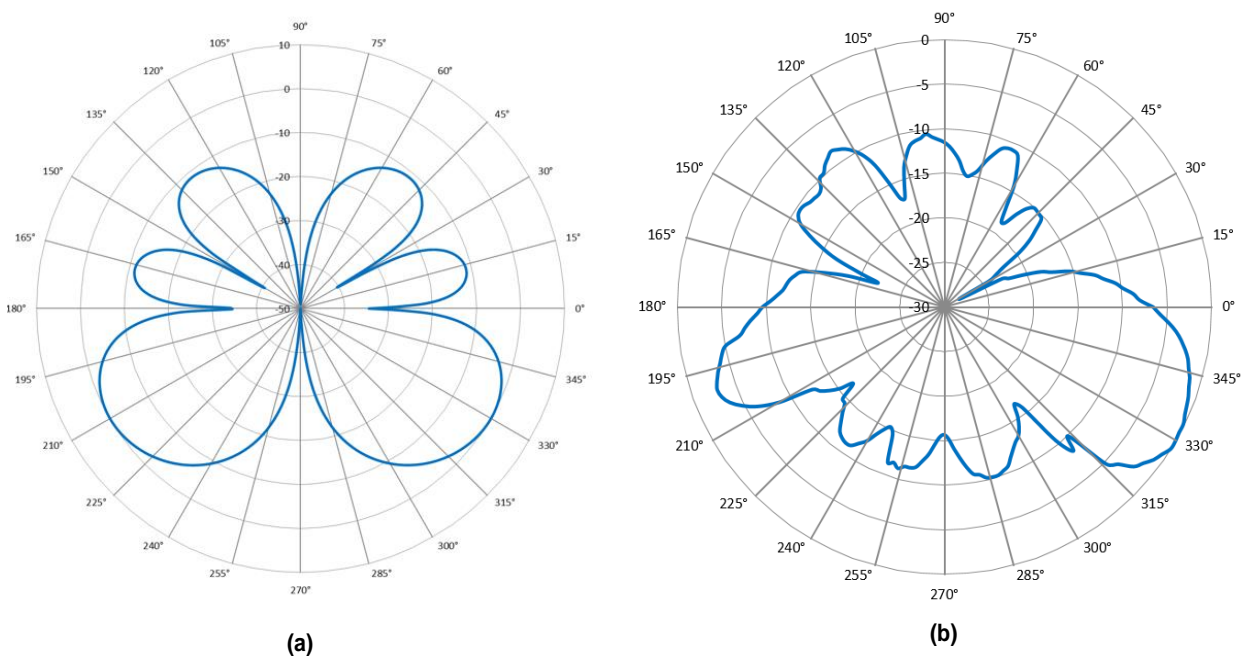


Figura 5.18 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de 90° entre portas de saída: (a) teórico; (b) prático;

Nas figuras 5.19(a) e 5.19(b) são apresentados os diagramas de radiação teórico e prático, respectivamente, para uma diferença de fase entre portas de $112,5^\circ$, correspondendo à combinação 12 da tabela 5.1.

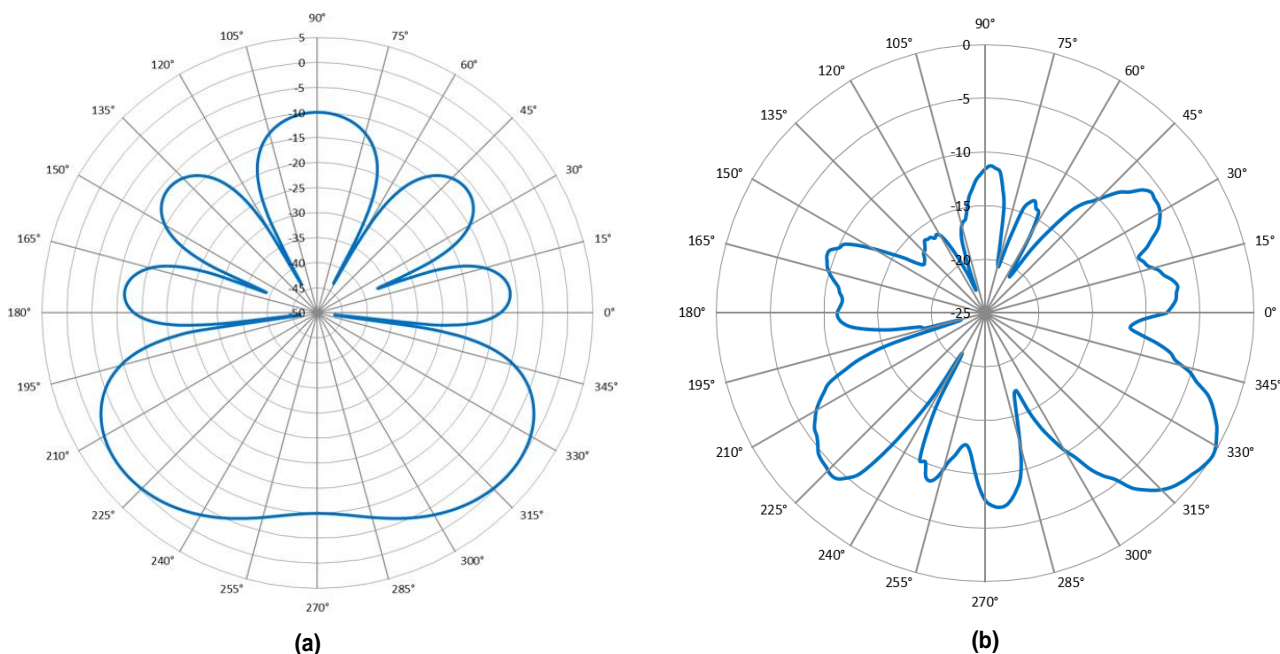


Figura 5.19 - Diagrama de radiação obtido para quando deslocador de fase tem atrasos de $112,5^\circ$ entre portas de saída: (a) teórico; (b) prático;

Na tabela 5.5 são apresentados os desvios de fase e os resultados obtidos para cada combinação.

Tabela 5.3 - Resultados teóricos, obtidos em simulação e na prática para os quatro deslocadores de fase de 4 bits acoplados a um combinador/ divisor de potência na entrada e a quatro antenas monopolo à saída.

	Desvio de fase do feixe de radiação					
	0°	$22,5^\circ$	45°	$67,5^\circ$	90°	$112,5^\circ$
Atraso entre portas de saída	0°	$22,5^\circ$	45°	$67,5^\circ$	90°	$112,5^\circ$
Valor teórico	0°	$352,5^\circ$	345°	$337,5^\circ$	330°	$322,5^\circ$
Valor prático	4°	352°	346°	336°	332°	327°

Ao comparar os resultados, verifica-se que o feixe é orientado para a direção frontal com um erro baixo. No que diz respeito aos lóbulos que apontam para trás, ou seja, os intervalos compreendidos entre $[90^\circ, 180^\circ, 270^\circ]$, verificou-se que os mesmos foram afetados pela estrutura de alimentação e controlo dos deslocadores de fase de 4-bits, como era de esperar. Observando os resultados da tabela 5.3 verifica-se que o erro máximo ocorre no atraso de $112,5^\circ$ entre portas de saída, tendo um valor de $4,5^\circ$ em relação ao teórico. Também o atraso de 0° entre portas tem um erro de 4° em relação aos resultados teóricos. Para os atrasos entre portas de 45° , $67,5^\circ$ e 90° foram obtidos erros de 1° e 2° e para $22,5^\circ$ entre portas o erro foi de $0,5^\circ$.

É de salientar que em algumas das combinações os lóbulos secundários têm valores relativamente elevados, devido à influência da estrutura de alimentação e circuitos de controlo dos deslocadores de fase. No entanto, no contexto dos objetivos do trabalho, foram realizados os testes necessários à avaliação dos circuitos de deslocamento do feixe.

6. Conclusões e trabalhos futuros

Com este capítulo pretende-se apresentar as conclusões do estudo, desenvolvimento e implementação de sistemas que permitem o controlo do diagrama de radiação para um agrupamento de antenas. No final serão sugeridos alguns trabalhos futuros que poderão contribuir para uma continuação deste.

6.1 Conclusão

Este trabalho teve como principal objetivo o estudo de circuitos de altas frequências, que permitissem realizar o controlo do diagrama de radiação de um agrupamento linear de antenas. O estudo começou pela comparação entre *beamforming* analógico e o *beamforming* digital, tendo este último maiores vantagens. Contudo, estudos indicaram que uma combinação entre *beamforming* analógico e *beamforming* digital poderá ser o futuro a seguir.

Foi exatamente sobre o *beamforming* analógico e formas de o realizar que recaiu o estudo deste trabalho, tendo-se abordado os principais circuitos de alta frequência que podem compor o sistema, nomeadamente os *phased arrays*.

De entre todas as topologias de deslocadores de fase que utilizam elementos ativos para realizar a comutação, a escolhida foi a topologia de linha comutada (*switched-line*). Esta opção deve-se essencialmente ao facto de ser simples de implementar, mas sobretudo pelo facto de que a degradação das perdas por inserção não afetam o desvio de fase, como se verificou neste trabalho.

A topologia da malha de alimentação escolhida foi a paralela, uma vez que permite uma distribuição uniforme de potência por todos os deslocadores de fase, bem como pelo facto da malha em série ser de natureza acumulativa, ou seja, acumula erros de deslocadores de fase anteriores.

Não só deslocadores de fase com componentes ativos foram estudados e implementados neste trabalho. A matriz de Butler faz parte dos circuitos passivos que permitem realizar o controlo do diagrama de radiação. Foi necessário, ao longo do seu desenvolvimento, estudar-se o funcionamento do acoplador híbrido e do *crossover*, uma vez que os mesmos fazem parte da sua malha.

Em termos de atenuadores, foram estudados a topologia em T e a topologia em π , tendo-se testado posteriormente um atenuador comutável, onde num dos seus braços se utilizou o atenuador de -20 dB que demonstrou melhor desempenho.

Neste trabalho foi verificada a importância de utilizar uma ferramenta de simulação eletromagnética, para auxiliar no desenvolvimento dos circuitos para altas frequências. Contudo, o COMSOL demonstrou ter uma lacuna que viria a se verificar fundamental no desenvolvimento dos deslocadores de fase, que é o facto de não se conseguir simular componentes ativos, como por exemplo díodos PIN. Esta não é apenas uma lacuna do módulo RF do COMSOL, mas sim de muitas ferramentas eletromagnéticas, como as mais conhecidas, HFSS e CST Microwave. Numa breve pesquisa verificou-se que o ADS (Advanced Design Systems) e o AWR Microwave Office são os mais adequados quando se lida com componentes ativos. Contudo não se dispunha de tais *softwares*.

Por consequência, teve-se que recorrer a uma pista metálica, para simular um díodo em condução e a ausência de pista para quando se pretende que o mesmo não está polarizado ou inversamente polarizado. Contudo, verificou-se que, para os circuitos que faziam uso de componentes ativos, os resultados obtidos na prática tinham algumas diferenças comparativamente aos resultados obtidos em simulação.

Apesar disto, e como foi necessário realizar um estudo dos fenômenos associados às pistas impressas, nomeadamente as descontinuidades, verificou-se que para estas tarefas, que não implicavam o uso de componentes ativos, o COMSOL ajudou a melhorar o desempenho ao nível das perdas por inserção, perdas por retorno e erros de fase. Isto foi verificado quando se testaram diversos desenhos de um deslocador de fase de 1-bit e foi-se realizando algumas compensações das descontinuidades até obter o circuito com melhor desempenho. Em termos de desenho de circuitos implementados no deslocador de fase com topologia de linha comutada, permitiu igualmente que fosse verificado o funcionamento de um RF *choke*, sendo para tal utilizada a sua implementação em pista impressa, um *stub* radial. Este componente demonstrou ser de grande importância no sistema desenvolvido, não permitindo que o sinal escapasse pelo circuito de polarização.

O COMSOL foi igualmente útil quando se desenharam os circuitos que compõem a matriz de Butler, como foi o caso do acoplador híbrido e do *crossover*, sendo que em simulação obteve-se os resultados idênticos aos esperados.

Quando se testaram os atenuadores, verificou-se que o COMSOL, à semelhança do que aconteceu na prática, também deu um valor de atenuação baixo para o atenuador em T, contudo verificou-se que este não era um problema do *software* mas sim do valor das resistências que se utilizava consoante a topologia do atenuador.

Uma vez desenhados e testados todos os circuitos que se pretendia estudar para a realização do controlo do diagrama de radiação, passou-se à sua implementação prática. Começou-se por implementar dois tipos de combinador/divisor de potência, um sem desvio de fase e outro com desvio de fase progressivo de 45° entre portas de saída. Os valores obtidos nos diagramas de radiação demonstram que foram bem dimensionados, sendo que o ligeiro erro de fase verificado era inerente ao enquadramento que se conseguia obter com a antena parabólica da câmara anecoica.

A matriz de Butler 4X4, estudada e implementada neste trabalho, teve um bom desempenho ao nível das perdas por retorno, sendo que se obteve um valor máximo de -14,53 dB, um mínimo de -25,49 dB e um valor médio de -19,17 dB, o que mostra uma boa adaptação do sistema. Ao nível das perdas por inserção, obteve-se um valor máximo de -11,03 dB e um valor mínimo de -5,63 dB e em média -8,21 dB, tendo mais 2,21 dB de perdas por inserção em relação ao esperado.

Ao nível dos erros de fase, obteve-se um erro mínimo de 0,37°, um valor máximo de 24,19° e em média 5,15°. Contudo, deve-se ter em conta que a matriz de Butler foi implementada em FR4, sendo possível melhorar o seu desempenho através de placas Duroid 5880.

Mesmo assim, comparando os resultados obtidos com outros trabalhos que implementaram igualmente uma matriz de Butler 4X4, também se verificou nos mesmos alguma dificuldade em garantir o equilíbrio na distribuição de potência pelas 4 portas de

saída. Em alguns casos o desempenho foi muito inferior ao que se obteve para o desvio de fase.

Ao analisar os diagramas de radiação obtidos através de um agrupamento de linear de 4 antenas em conjunto com a matriz de Butler, verificou-se para as 4 combinações possíveis que para além do feixe principal apontar na direção pretendida, o erro máximo obtido para o desvio do feixe foi de apenas 5° .

Ao longo do processo de criação de um deslocador de fase de 4 bits obteve-se alguns problemas cuja natureza dificultou a sua pronta resolução. Desde a fuga de sinal RF pelo circuito de polarização dos díodos, às ressonâncias verificadas no bit de 90° , sendo estes desafios inerentes ao desenvolvimento de circuitos para altas frequências.

Ultrapassados os problemas ocorridos, obteve-se para o deslocador de fase de 4bits perdas por inserção mínima de -2,02 dB, máxima de -3,59 dB e em média de -2,65 dB. No que concerne às perdas por retorno obteve-se um valor máximo de -15,46 dB, mínimo de -8,12 e em média de -11,59 dB. Quanto aos erros de fase verificou-se um erro máximo de $9,38^\circ$, mínimo de $0,88^\circ$ e em média de $4,12^\circ$.

Numa análise detalhada aos resultados, englobando comparações com sistemas implementados em outros trabalhos e também com sistemas comerciais, verificou-se que os valores obtidos poderiam ser considerados bons.

Ter igualmente presente que já eram esperados alguns desequilíbrios no que diz respeito à potência do sinal à saída do deslocador de fase para as diversas fases comutadas. Já tinha sido verificado, aquando do estudo do estado da arte de controlo do diagrama de radiação para a topologia de linha comutada, que uma das desvantagens de colocar em cascata múltiplos bits era precisamente originar variação nas perdas por retorno, que por consequência iria igualmente resultar em maiores perdas por inserção e acumulação de erros de fase. Contudo, foi verificada a grande vantagem desta topologia, sendo que, mesmo com degradação do desempenho no que respeita às perdas por inserção, tais não afetam o desvio de fase. Verifica-se tal situação para o melhor caso no que respeita a perdas por inserção, ou seja, -2,02 dB, o erro de fase foi de $3,15^\circ$. Para o pior caso no que respeita às perdas por inserção, ou seja, -3,59 dB, para essa combinação o erro de fase foi de $1,78^\circ$. Estes valores corroboraram a vantagem dos deslocadores de fase de linha comutada.

Analisando os diagramas de radiação obtidos para os deslocadores de fase de 4 bits verificou-se que para todos os casos testados o feixe principal desviou para a direção pretendida com um erro máximo de $4,5^\circ$.

Quando se compara, para controlo do diagrama de radiação, uma solução passiva (matriz de Butler 4X4) com uma solução ativa (deslocador de fase de 4 bits com topologia de linha comutada com díodos PIN) verifica-se que para além de menor erro, também se consegue mais passos de fase.

6.2 Trabalhos futuros

Ao longo deste trabalho tomaram-se as decisões necessárias, para que se obtivesse um sistema com o melhor desempenho possível, tendo em conta tanto os recursos financeiros, materiais e tecnologias que se dispunha. Contudo, seria interessante num futuro trabalho testar algumas soluções:

- Testar a topologia passa-alto/passa-baixo e comparar o seu desempenho com a topologia estudada neste trabalho, a de linha comutada;
- Implementar a topologia de linha comutada através de MEMS;
- Utilizar os atenuadores testados neste trabalho em conjunto com os deslocadores de fase de 4 bits de modo a ter controlo sobre a fase e magnitude da corrente, para impor nulos nas direções dos interferidores.

7. Bibliografia

- [1] Ericsson, Ericsson Mobilty Report – on the Pulse of Networked Society, Estocolmo, Junho de 2013, [Online], URL: <http://www.ericsson.com/res/docs/2013/ericsson-mobility-report-june-2013.pdf>, Consultado em: 3 de Março de 2014.
- [2] Cisco, Cisco Visual Networking Index: Global Mobile Data Traffic Forecast Update, Estados Unidos da América, Fevereiro de 2013, [Online], URL: http://www.cisco.com/c/en/us/solutions/collateral/service-provider/visual-networking-index-vni/white_paper_c11-520862.pdf, Consultado em: 3 Março de 2014.
- [3] Ericsson, 5G Radio Acess – Research and Vision, Junho de 2013, [Online], URL: <http://www.ericsson.com/res/docs/whitepapers/wp-5g.pdf>, Consultado em: 5 Março de 2014.
- [4] Balanis, C. A. e Ioannides, P. I., *Introduction to Smart Antennas*, Arizona State University : Morgan & Claypool, 2007.
- [5] Blaunstein, N. e Christodoulou, C. G., *Radio Propagation and Adaptive Antennas for Wireless Communication Links – Terrestrial, Atmospheric and Ionospheric*, Hoboken, New Jersey: John Willey & Sons, 2007.
- [6] Litva, J., Kwok T. e Lo, Y., *Digital Beamforming Wireless Communications*, Norwood, MA: Artech House, Inc., 1996.
- [7] Using Digital Signal Processing for Weighting – Beamforming Digital, [Online], URL: http://techon.nikkeibp.co.jp/english/img2/nea_0211comnet-1fig5.gif, Consultado em: 29 Março 2014.
- [8] Ohira, T., “Analog Smart Antennas: An Overview”, ATR Adaptive Communications Research Laboratories, IEEE, 2002.
- [9] Farzaneh, S. e Sebak, A., “A Novel Amplitude-Phase Weighting for Analog Microwave Beamforming”, IEEE Transactions on Antennas and Propagation, Vol. 57, Nº 7, pp. 1997-2008, Julho 2006.
- [10] Soer, M. e Struiksmá, R., “Reconfigurable receiver front-end – Analog beamforming”, STARS consortium, Universidade de Twente.
- [11] Stevanovic, I. Skirivervik, A. e Mosig J., *Smart Antenna Systems for Mobile Communications*, Relatório Final, Laboratório de Eletromagnetismo e Acústica, Escola Politécnica Federal de Lausane, Janeiro 2003.
- [12] Fourikis N., *Phased Array-Based Systems and Applications*, Nova Iorque: John Wiley & Sons, 1997.
- [13] Bahl, I. A. e Bhartia, P., *Microwave Solid State Circuit Design*, 2ª edição, Nova Jersey: John Wiley & Sons Inc., 2003.
- [14] Skolnik, M., *Introduction to Radar Systems*, 3ª edição, Nova Iorque: McGraw-Hill, 2002.
- [15] Volakis, J., *Antenna Engineering Handbook*, 4ª edição, Nova Iorque: McGraw-Hill, 2007
- [16] Selvaraj, J., *Phase shifter design & Research study and verification of wide band phase shifter circuits*, Tese de Mestrado, KTH Information and Communication Technology, Estocolmo - Suécia, 2012.
- [17] Maloratsky, L., *Passive RF & Microwave Integrated Circuits*, Oxford: Newnes, 2004.

- [18] Sarkas, I., *Analysis and Design of W-Band Phase Shifters*, Tese de Mestrado, Universidade de Toronto, Toronto - Canadá, 2010.
- [19] Pozar, D., *Microwave Engineering*, 4ª edição, John Wiley & Sons Inc, 2011.
- [20] Haupt, R., *Antenna Arrays – A computational Approach*, Nova Jersey, John Wiley & Sons Inc, 2010.
- [21] Mailloux, R., *Phased Array Antenna Handbook*, 2ª edição, Norwood, Artech House Inc, 2005.
- [22] Chang, K., *RF and Microwave Wireless Systems*, Norwood, Nova Iorque, John Wiley & Sons Inc, 2000.
- [23] Rabinovich, V. e Alexandrov, N., *Antenna Arrays and Automotive Applications*, Norwood, Springer, 2013.
- [24] Younis, A., “Design and Simulation 4x4 Butler Matrix Array for ISM-Band”, Universidade de Thi-Qar, Journal of Mobile Communication, 2012.
- [25] WeiB, M., Digital Antennas, Multistatic Surveillance and Reconnaissance: Sensor, Signals and Data Fusion, pp. 1 à 29, Alemanha, 2009.
- [26] Azevedo, J. A., Apontamentos de Agrupamentos de Antenas, CCCEE, Universidade da Madeira, Funchal 2013.
- [27] Vendelin, G., Pavio, A., Rohde, U., *Microwave circuit design using linear and nonlinear techniques*, 2ª edição, Nova Jersey, John Wiley & Sons Inc, 2005.
- [28] W. E. Doherty, R. D. Joos, “The PIN diode circuit designers handbook”, Microsemi Corp., California, 1992.
- [29] Hewlett Packard, Applications notes of PIN diodes, Novembro de 1999, [Online], URL: <http://www.qsl.net/n9zia/wireless/pdf/an922.pdf>, Consultado em: 02 de Abril de 2014.
- [30] V. Kaper, R. Thompson, T. Prunty, and J.R. Shealy, “Monolithic AlGaIn/ GaN HEMT SPDT switch”, Symp. A Q. J. Mod Foreign Lit., no. 2, pp 83-86, 2004
- [31] Balanis, C., *Modern Antenna Handbook*, Massachusetts, John Wiley & Sons Inc, 2008.
- [32] Ehyai, D., *Novel Approaches to the Design of Phased Array Antennas*, Dissertação de Doutorado, Universidade do Michigan, Michigan – Estados Unidos da América, 2011.
- [33] M. Barba, J. E. Page, and J. a. Encinar, “Planar C-Band Antenna with Electronically Controllable Switched Beams,” *Int. J. Antennas Propag.*, vol. 2009, pp. 1–7, 2009.
- [34] Davidson, D. B., *Computational Electromagnetics for RF and Microwave Engineering*, 2ª edição, Reino Unido: Cambridge University Press, 2011.
- [35] Ekman, J., *Electromagnetic Modeling Using the Partial Element Equivalent Circuit Method*, Tese de Doutorado, Universidade de tecnologia de Lulea, Lulea - Suécia, 2003.
- [36] Silveira, J. L., Modelagem numérica 3D de problemas de compatibilidade eletromagnética utilizando o método TLM-TD, Tese de Doutorado, Universidade Federal de Santa Catarina, Florianópolis – Brasil, 2002.
- [37] Meunier, G., *The Finite Element Method for Electromagnetic Modeling*, Londres: ISTE, 2008.
- [38] Jin, J., *The Finite Element Method in Electromagnetics*, 2ª edição, Nova Iorque: John Wiley & Sons, Inc., 2002.

- [39] About Comsol Multiphysics company, [Online], URL: <http://www.comsol.com/company>, Consultado em: 22 de Julho de 2014.
- [40] COMSOL Multiphysics – 4.1, User’s Guide – Manual de utilizador, 2010.
- [41] RF Module – COMSOL Multiphysics – 4.3, User’s Guide – Manual de utilizador, 2012.
- [42] Huber+suhner, RF connector guide, 4ª edição, 2007.
- [43] Sorrentino, R. e Bianchi, G., Microwave and RF Engineering, 1ª edição, United Kingdom, John Wiley & Sons.
- [44] Nord, H, Implementation of 8X8-Butler Matrix in Microstrip, Tese de mestrado, Royal Institute of Technology Stockholm.
- [45] Pham, N.T., Lee, G e Flaviis, De F., Microstrip Antenna Array with beamforming network for WLAN Applications, University of California, Irvine.
- [46] Nguyen, D. L., Switched Beam Array Antenna for 2.45 GHz RFID Localisation, Tese de doutoramento, University of Hull, Novembro de 2011.
- [47] Pai, B. V., Antenna beam forming network using dual band butler matrix, projeto de licenciatura, Univsersiti Teknologi Malaysia, 2009.
- [48] Rosu, I., Phase Shifters, 1999.
- [49] Infineon, “Silicon PIN Diode”, BAR64-06W.
- [50] Backstrom, A. e Agesjo, M., Design and implementation of a 5 GHz radio front-end module, Department of Science and Technology – Linkopings university, Suécia.
- [51] Rosu, I., Microstrip, Stripline, and CPW Design.
- [52] N. a. Shairi, B. H. Ahmad, and P. W. Wong, “SPDT Discrete Switch Design using Switchable Radial Stub Resonator for WiMAX and LTE in 3.5 GHz Band,” *RF Microw. Conf. (RFM), 2013 IEEE Int.*, pp. 1–5, 2013.
- [53] Microstrip radial stub series [Online], URL: <https://awrcorp.com/download/faq/english/docs/Elements/MRSTUB.htm>
- [54] M. Hangai, M. Hieda, S. Member, and N. Yunoue, “S - and C -Band Ultra-Compact Phase Shifters Based on All-Pass Networks,” vol. 58, no. 1, pp. 41–47, 2010.
- [55] Q. Xiao, “A Compact L -Band Broadband 6-bit MMIC Phase Shifter with Low Phase Error,” no. October, pp. 410–413, 2011.
- [56] I. J. Bahl and D. Conway, “L- and S-band compact octave bandwidth 4-bit MMIC phase shifters,” *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 2, pp. 293–299, 2008.
- [57] Kozłowski, S., Analiza i badanie systemów MIMO wykorzystujących adaptacyjne szyki antenowe, tese de doutoramento, Varsóvia, 2010.
- [58] Schuhler, M., Schmidt, J., Weber J. Wansch R e M. A. Hein “Phase Shifters based on PIN Diodes and Varactors: Two concepts by Comparison” Colloquium Technische Universitat Ilmenau, 2006
- [59] C. Kumar and S. Pal, 3-BIT DELAY LINE MEMS PHASE SHIFTER, Birla Institute of technology, Mesra, Ranchi, India.

- [60] J. G. Yang , J Lee, and K, Yang, ""J. G. Yang, J. Lee, and K. Yang, "A W -Band InGaAs PIN-MMIC Digital PhaseShifter Using a Switched Transmission-Line Structure," Korean Advanced Institute of Science and Technology
- [61] Hiitie, "GaAs MMIC 6-Bits digital phase shifter 1,2-1,4 GHz", HMC936LP6E.
- [62] MA-COM, "Digital phase shifter 4 bit, 1.2-2.4 GHz", MAPS-010143.
- [63] MA-COM, "Digital phase shifter 6 bit, 1.2-2.4 GHz", MAPS-010163.
- [64] MA-COM, "Digital phase shifter 6 bit, 2.3-3.8 GHz", MAPS-010164.
- [65] Hiitie, "GaAs MMIC 6-Bits digital phase shifter 2.5-3.1 GHz", HMC647LP6E.
- [66] Hiitie, "GaAs MMIC 6-Bits digital phase shifter 2,9-3,9 GHz", HMC648LP6E.
- [67] Hiitie, "GaAs MMIC 6-Bits digital phase shifter 3-6 GHz", HMC949LP6E.
- [68] MA-COM, "Digital phase shifter 4 bit, 3.5-6GHz", MAPS-010145.
- [69] Hiitie, "GaAs MMIC SPDT DC-3 GHz", HMC545.
- [70] Bhal, I., Lumped Elements for RF and microwave circuits, Artech, 2003.
- [71] Dr. Dharmendra Singh ,A report on microwave components commonly used, Indian Institute of Technology.
- [72] Avago, "Quad PIN Diode π attenuator 300 KHz to 4 GHz" HSMP-3816.
- [73] I, A, Glover, S, R, PEnnock and P, R, Shepherd, Microwave devices circuits and subssystems for communications engineering, John Wiley & Sons, University of bath, UK,
- [74] Hartley R., RF/Microwave PC Board Design and Layout, Avionics Systems.
- [75] Agrela, J. M.G., Circuitos de Alimentação para Agrupamentos de Antenas, Dissertação de mestrado, Universidade da Madeira, 2011.

8. Anexos

Anexo A – Guia de utilização do módulo RF do COMSOL

Neste anexo serão apresentados pormenores do *software* COMSOL, bem como algumas dicas e passos de modo a acelerar a integração e utilização da ferramenta.

A versão do COMSOL que se irá utilizar ao longo do trabalho é a 4.3b, sendo que já existe uma versão mais recente da ferramenta, denominada de 4.4, cuja interface de desenvolvimento apresenta algumas diferenças em relação à versão 4.3b. Começando pela interface do *software*, verifica-se pela figura A.1 que a mesma é dividida em três secções principais, a *Model Builder*, a *Model Wizard* e a janela de visualização do procedimento.

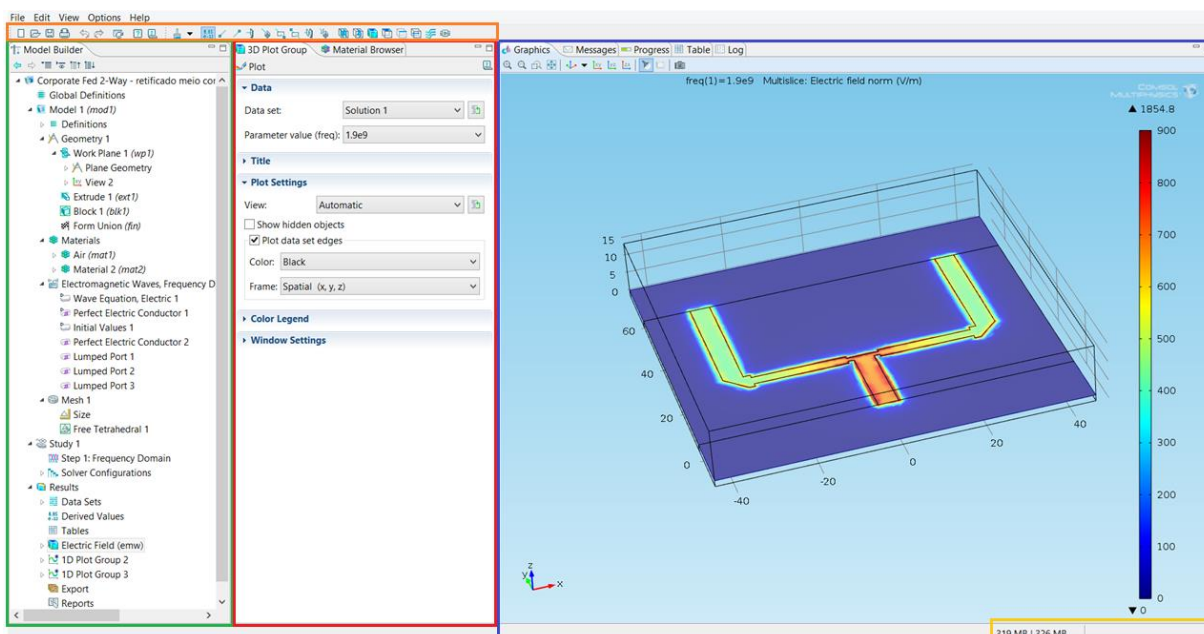


Figura A.1 - Interface do módulo RF do COMSOL Multiphysics.

Funções básicas (a laranja): Neste menu selecionam-se as várias funções básicas do COMSOL, como por exemplo criar um novo modelo, abrir um projeto, gravar um projeto, entre outros. Permite igualmente ter acesso rápido a funções que permitem operar sobre a geometria, como por exemplo seleccionar a direção da linha de corte, seleccionar uma parte da geometria ou o bloco todo, entre outros.

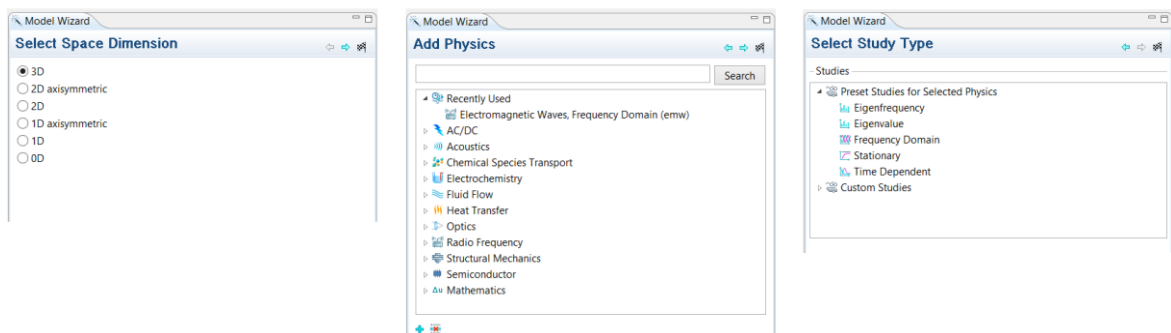
Model Builder (a verde): Neste menu encontram-se todos os menus com as funcionalidades principais do módulo RF, sendo que o mesmo apresenta uma lógica de sequência no que diz respeito à construção de um sistema. Primeiro define-se as variáveis, depois desenha-se a geometria, em seguida define-se os materiais, as condições de contorno, a dimensão da malha, analisa-se o sistema para uma dada frequência ou gama de frequências e por fim verificam-se os resultados.

Model Wizard (a vermelho): Este menu inicialmente permite, entre outros, escolher o espaço dimensional em que se vai trabalhar, qual o tipo de física escolhida bem como o domínio de trabalho. Ao longo do desenvolvimento o *Model Wizard* dá lugar aos submenus das funcionalidades principais (apresentadas no *Model Builder*). Por exemplo, se no *Model Builder* selecionou-se uma geometria, então irá aparecer na janela central (*Model Wizard*) um menu que permite entre outros definir parâmetros como dimensões da geometria, livreria com vários materiais, etc.

Janela de visualização (a azul): Nesta janela repercutem-se todas as ações tomadas nas duas secções referidas anteriormente, permitindo verificar graficamente todo o sistema que se está a desenvolver. Permite que se tenha acesso a mensagens com informações que podem ocorrer ao longo do desenvolvimento ou simulação, permite igualmente, através da aba *Progress*, acompanhar o progresso ao longo da simulação permitindo verificar, por exemplo, se o sistema que se está a simular irá convergir para uma solução ou não.

Para desenvolver um sistema o primeiro passo consiste em definir no *Model Wizard*, o espaço dimensional em que se pretende desenvolver o sistema, ou seja, 1D, 2D ou 3D, como se observa na figura A.2(a). Selecionando a seta azul, avança-se para o próximo passo que é mostrado na figura A.2(b), devendo-se escolher no *Model Wizard* o tipo de física que neste trabalho será a *Electromagnetic Waves, Frequency Domain* (emw).

Por fim deve-se escolher o tipo de estudo a realizar, sendo a opção mais apropriada ao desenvolvimento do trabalho que se está a realizar o domínio das frequências. Para terminar prime-se a bandeira axadrezada de modo a terminar a escolha dos parâmetros do modelo.



(a) (b) (c)
Figura A.2 - Passos necessários antes de começar propriamente a desenvolver o sistema pretendido: (a) selecionar o espaço dimensional; (b) selecionar o tipo de física; (c) seleção do tipo de estudo.

Uma vez definido o espaço dimensional, o tipo de física e estudo a realizar, começa-se o desenvolvimento do sistema propriamente dito, pela escolha das definições globais, sendo que esta é uma opção facultativa e dependerá da opção do desenvolvedor. Caso seja pretendido definir, tal é feito em *Global Definitions* seguido de *Parameters*, sendo que, por exemplo, pode-se definir a altura de um cubo, h_{cubo} com 50 milímetros [50mm] e depois quando se estiver a dimensionar esse mesmo cubo no eixo dos zz basta colocar h_{cubo} .

Na geometria do modelo (model1) define-se a geometria do sistema que se pretende desenvolver e analisar. Como tal clica-se com o botão direito do rato sobre a opção *Geometry*.

Pela figura A.3(a) verifica-se que se pode escolher vários tipos de geometria, desde blocos, cones cilindros, esferas etc. Existe igualmente a opção de desenhar a geometria sobre um plano e depois selecionando a função *Extrude*, transformar essa geometria num sólido 3D. Pela figura A.3(b) verifica-se que o COMSOL permite várias opções que vem simplificar a realização da geometria tais como operações booleanas, podendo ser realizadas uniões, interseções, diferenças, etc. Permite transformações das geometrias, como por exemplo criar um *array* com uma das geometrias, copiar, criar espelhos, movê-la para outro lado ou até mesmo rodar. Permite igualmente converter uma geometria num sólido, numa superfície, numa curva ou até mesmo num ponto. De modo a dimensionar as geometrias, existe uma aba que se acede de modo a definir o tamanho e formato, a posição em que se deseja colocar o sólido ou até mesmo o eixo, como demonstrado na figura A.3(c).

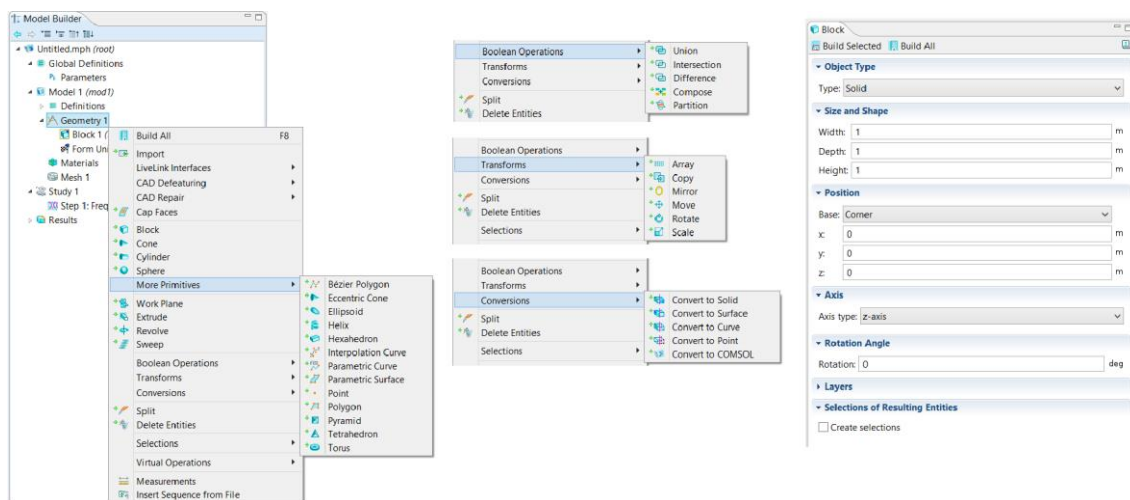


Figura A.3 - Opções para a manipulação da geometria: (a) desenho de sólidos; (b) operações booleanas, transformações e conversões sobre os sólidos; (c) dimensionamento do sólido.

Um outro aspeto que se deve ter em atenção é a unidade métrica com a qual se está a trabalhar, sendo possível alterar para a que for mais conveniente, existindo uma vasta gama de unidades.

Depois de definir todos os parâmetros referentes à geometria, pressiona-se *Build Selected* que apenas constrói o objeto sobre o qual se está a trabalhar no momento e os anteriores, ou a opção *Build All* que permite construir todos os objetos já definidos até ao momento bem como o objeto que se esta a trabalhar e inclusive os que já foram criados posteriormente, caso existam.

O próximo passo consiste em atribuir à geometria os materiais que constituem todo o sistema. Para tal seleciona-se no *Model builder* o menu *Materials*, clicando com o botão direito do rato sobre material, surgindo algumas opções, como verificado na figura A.4(a). Através da figura A.4(b) verifica-se que se pode aplicar o material a um domínio, fronteira, limite ou num ponto da geometria.

Na figura A.4(c) observa-se que existem vários materiais já pré-definidos pelo próprio COMSOL nas suas livrarias, tais como ar, placa FR4, vários tipos de alumínio, etc. Por exemplo, caso se pretenda utilizar uma placa de desenvolvimento cujo substrato é feito de FR4, verifica-se que o COMSOL já possui nas suas livrarias todos os parâmetros relevantes sobre este material, como a permeabilidade relativa, condutividade elétrica, permissividade relativa, densidade, etc, como verificado na secção *Material Contents* da figura A.4(c).

Contudo, o COMSOL não possui na sua livreria todos os materiais existentes, e assim dá a possibilidade de se definir manualmente alguns dos parâmetros do material que se está a utilizar, sendo os principais a permissividade e a permissividade.

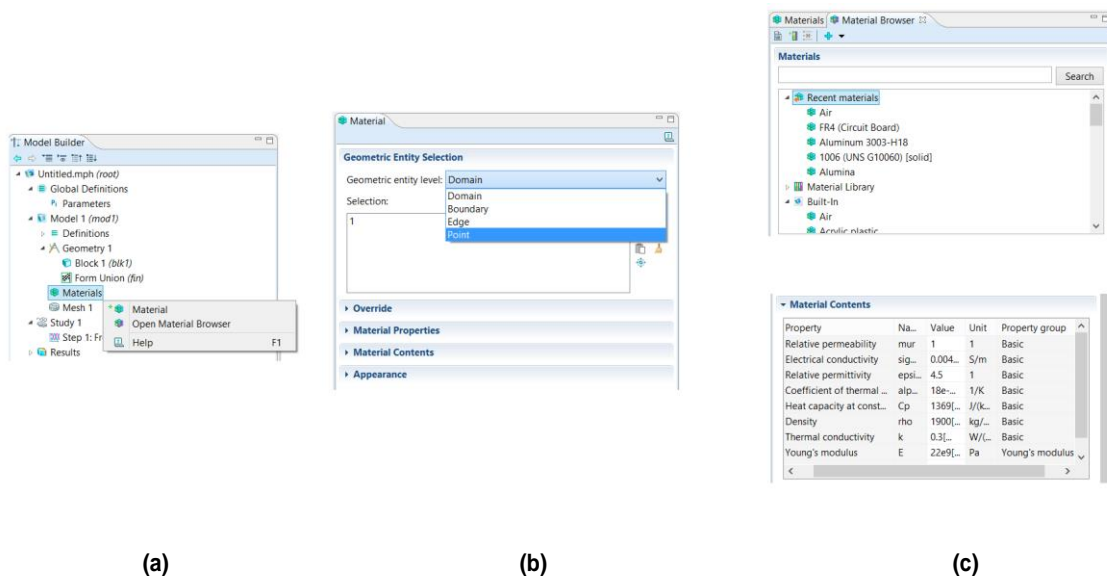


Figura A.4 - Definição dos materiais: (a) opção de definir novo material ou de escolher de um material existente na livreria; (b) opção de escolha a nível da geometria a que se pretende aplicar o material; (c) materiais que estão disponíveis na livreria e os parâmetros físicos associados a esse material.

Também o COMSOL permite escolher onde e que tipos de física que cada domínio tem. Para tal no menu *Electromagnetic Waves, Frequency Domain (emw)* aparecem várias escolhas, como demonstrado na figura A.5.

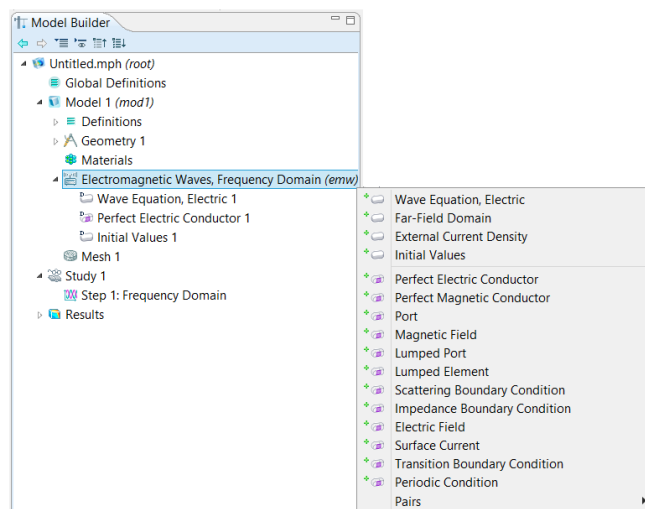
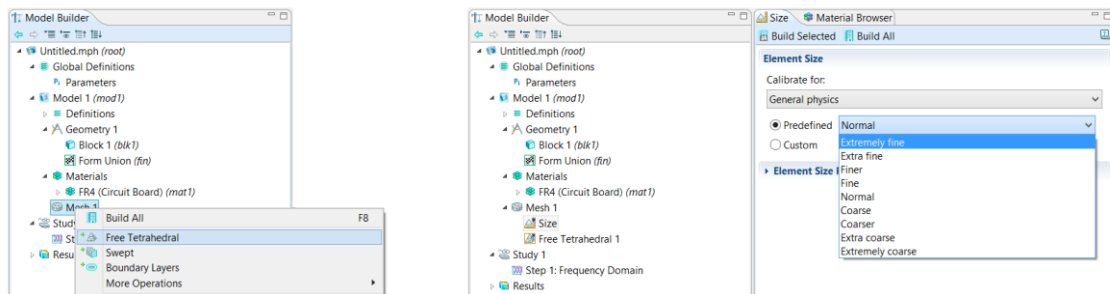


Figura A.5 - Várias condições de contorno que podem ser aplicar aos vários domínios.

O último passo antes de realizar a simulação é definir a malha, onde em primeiro lugar clica-se com o botão direito sobre *Mesh* depois seleciona-se a opção *Free Tetrahedral*, visto que se pretende desenvolver os sistemas em 3D, como verificado na figura A.6(a). Em seguida escolhe-se a dimensão da *Mesh* (malha de elementos finitos) que se pretende, sendo que o COMSOL dispõe de uma gama de tamanhos que vai desde extremamente grosseira (*Extremely Coarser*) até extremamente fina (*Extremely Fine*), como se pode observar pela figura A.6(b).



(a) (b)
Figura A.6 - Definição da malha de análise: (a) escolha de elementos tetraédricos; (b) escolha da dimensão dos elementos, já com tamanhos pré-definidos.

Existe, igualmente, a opção de escolher as dimensões exatas que se pretende, sendo que para tal seleciona-se a opção *Custom*, como demonstrado na figura A.7.

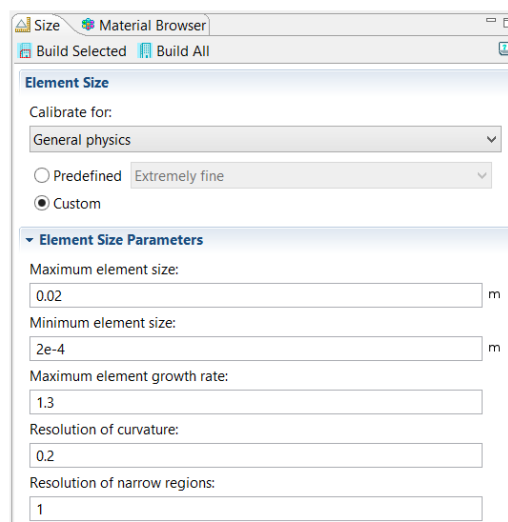


Figura A.7 - Definição do tamanho dos elementos da malha de análise, com o utilizador a definir o tamanho dos elementos.

O próximo passo consiste em realizar o estudo, sendo tal feito no menu *Study*. Verifica-se que existe a opção de se realizar o estudo sobre o domínio das frequências, logo selecionando *Frequency Domain* verifica-se que existem vários parâmetros que se deve definir sendo mais importante e relevante para o estudo a gama de frequências, como observado na figura A.8.

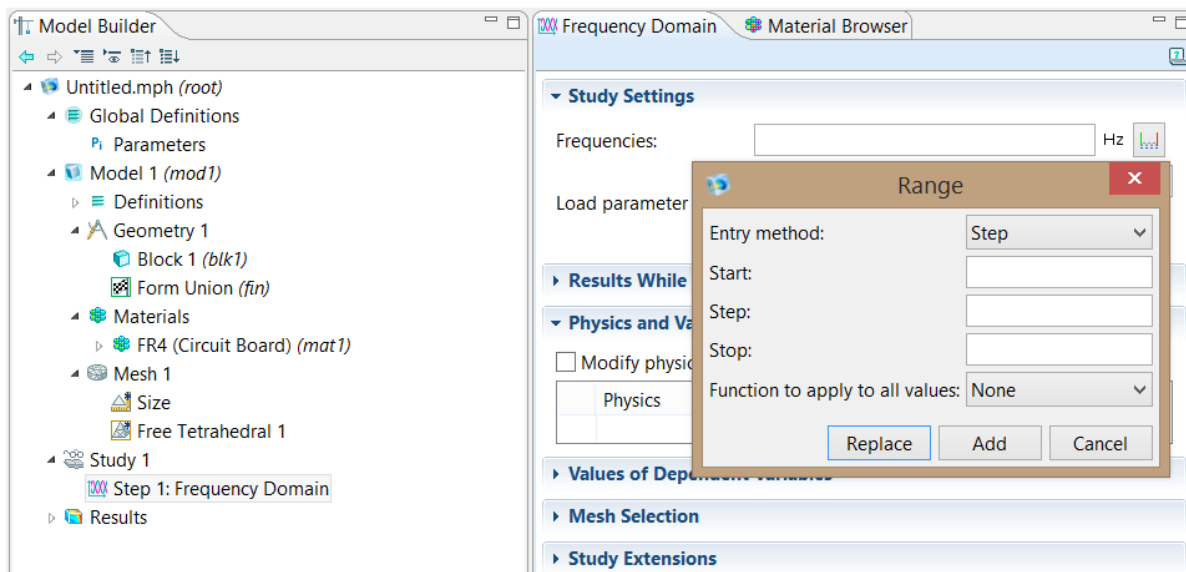


Figura A.8 - Definição da gama de frequências de análise.

Em seguida seleciona-se a opção *Compute*, como verificado pelo símbolo (=) da figura A.9(a), onde mediante o formato da geometria, bem como o tamanho e número de elementos finitos, irá variar no tempo que demorará a simular, bem como na quantidade de recursos computacionais que irá necessitar. Estando esses recursos relacionados com a capacidade de processamento, a memória física e a memória virtual que é necessário para simular o sistema, sendo possível observar a utilização destas últimas duas na interface do simulador, como se verifica na figura A.9(b).

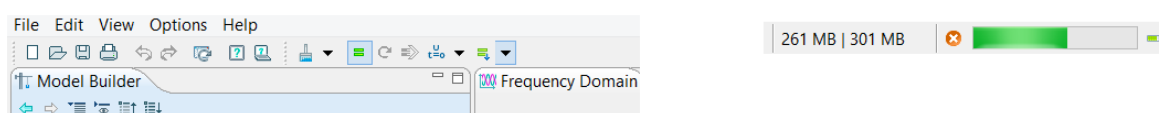
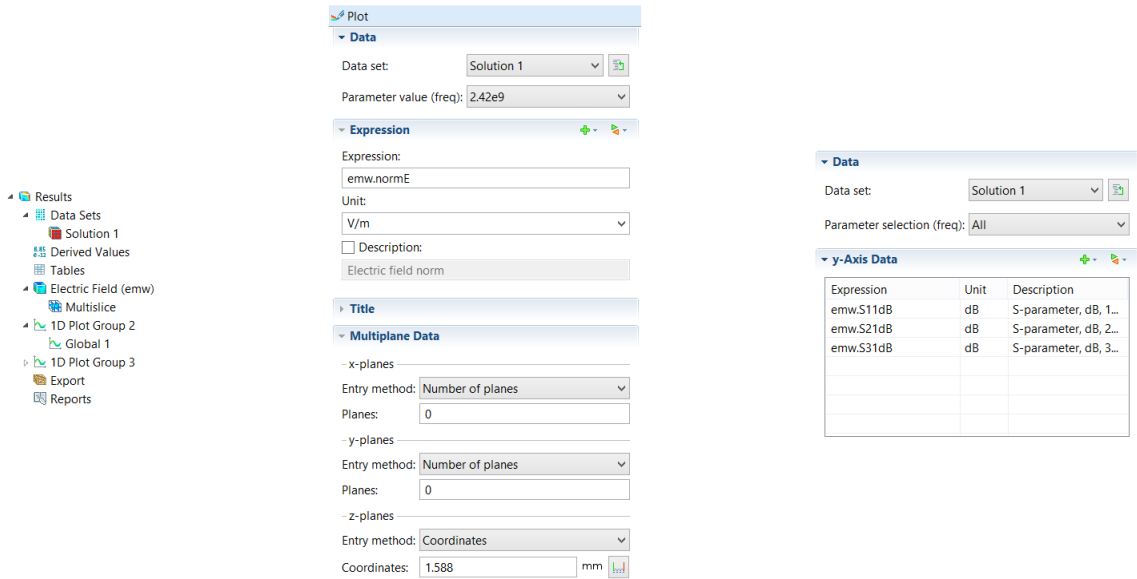


Figura A.9- Processo de simular o sistema desenvolvido: (a) opção *Compute* (b) indicação da memória física e virtual que a simulação do sistema requer e barra de progresso.

Por fim, o último menu que será abordado é o *Results*, onde é possível verificar os resultados obtidos na simulação, sendo que através da figura A.10(a) verifica-se que existem várias opções associadas a este menu, como verificar a variação do campo elétrico (*Electric Field - Multislice*), ou obter os gráficos em 1D.



(a) (b) (c)
 Figura A.10 – Menu de observação de resultados: (a) várias formas de verificar os resultados e manipulá-los; (b) opção de verificar o campo elétrico sobre os vários planos da geometria; (c) observação de parâmetros como por exemplo parâmetros S.

Caso se deseje verificar qualquer um dos parâmetros que é possível observar através dos resultados obtidos, o mesmo pode ser feito visualmente na própria geometria ou então através de gráficos, sendo que os parâmetros que se podem observar são os seguintes:

Campo elétrico: intensidade e polarização do campo;

Energia e potência: densidade de energia total, energia elétrica ou magnética;

Aquecimento e perdas: densidade de potência eletromagnética perdida, perdas magnéticas, perdas resistivas;

Propriedades do material: condutividade elétrica nos vários eixos, permeabilidade relativa, permissividade relativa;

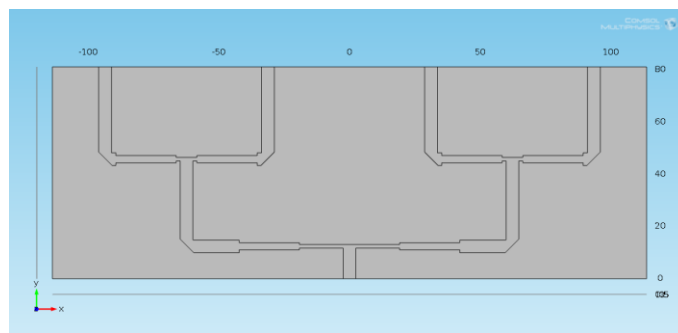
Portas: impedância das portas, corrente, tensão ou potência nas portas, parâmetros S.

Estas opções podem ser selecionadas no campo *Expression* apresentado na figura A.10(b). Para obter os gráficos das perdas por retorno, perdas por inserção ou fases, como na figura A.10(c), basta no campo *Expression* colocar emw.S11dB, emw.S21dB e arg(emw.S21), respetivamente.

Anexo B – Dimensionamento dos circuitos implementados

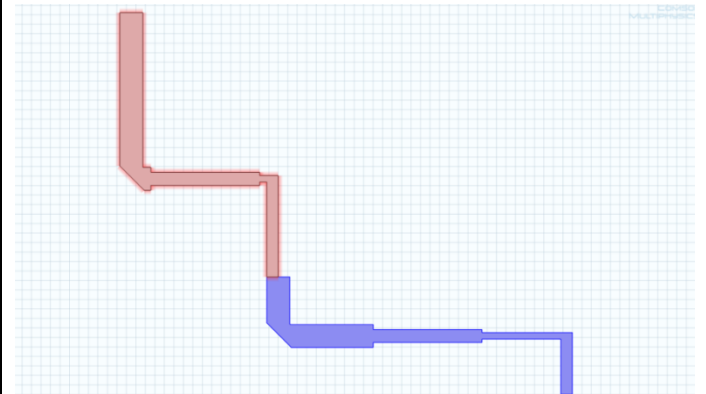
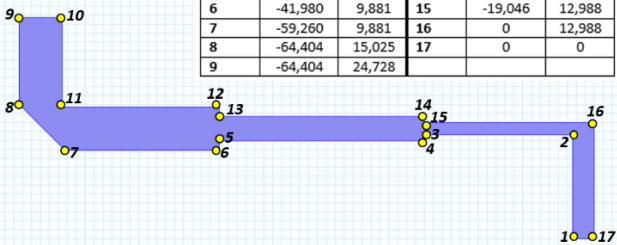
Neste anexo pretende-se demonstrar os procedimentos de criação, bem como as dimensões dos circuitos implementados na prática. Será demonstrado os passos que se deve realizar para criação dos combinadores de fase com e sem desvio de fase, as dimensões dos quatro circuitos que constituem a matriz de Butler. Em seguida será igualmente demonstrado a implementação dos deslocadores de fase de linha comutada de 1-bit quer o circuito preparado para os díodos PIN, bem como o preparado para o transístor HEMT SPDT, sendo que de 4 bits apenas se demonstrará a implementação para aquando se está a usar díodos PIN. Por fim será apresentado o dimensionamento dos atenuadores.

B.1 Combinador/divisor de potência sem desvio de fase



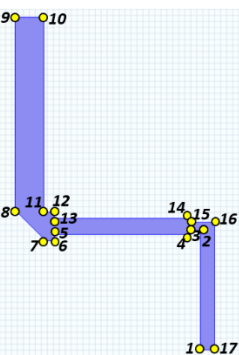
1º passo :

Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	-2,423	0	10	-59,558	24,728
2	-2,423	11,620	11	-59,588	14,728
3	-19,046	11,620	12	-41,980	14,728
4	-19,046	10,929	13	-41,980	13,679
5	-41,980	10,929	14	-19,046	13,679
6	-41,980	9,881	15	-19,046	12,988
7	-59,260	9,881	16	0	12,988
8	-64,404	15,025	17	0	0
9	-64,404	24,728			

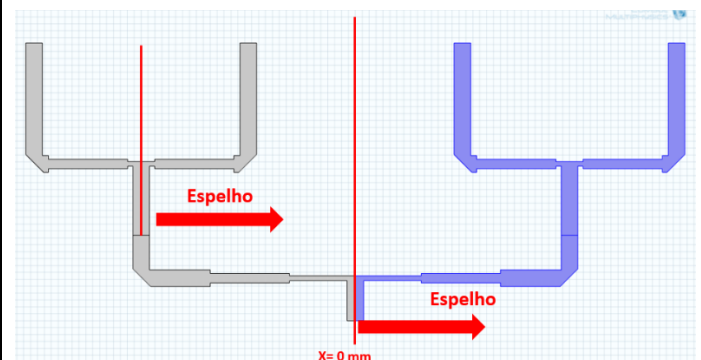


2º passo:

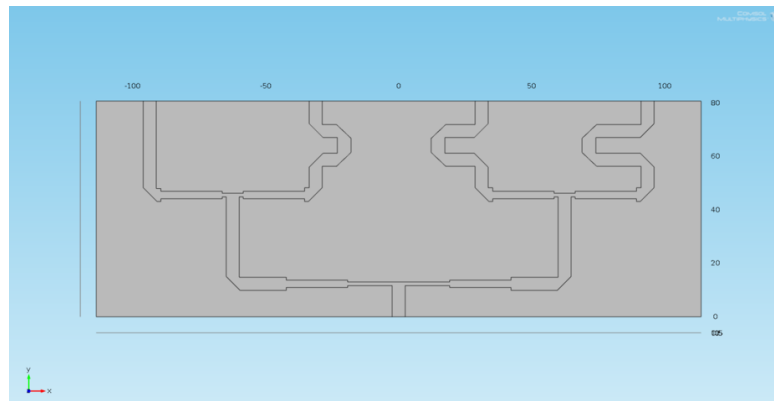
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	-64,404	24,728	10	-90,549	80,446
2	-64,404	44,728	11	-90,549	47,836
3	-65,904	44,728	12	-88,838	47,836
4	-65,904	44,037	13	-88,838	46,787
5	-88,828	44,037	14	-65,904	46,787
6	-88,828	42,989	15	-65,904	46,096
7	-90,548	42,989	16	-61,981	46,096
8	-95,396	48,133	17	-61,981	24,728
9	-95,396	80,446			



Último passo: [criação de espelhos das geometrias já existentes]

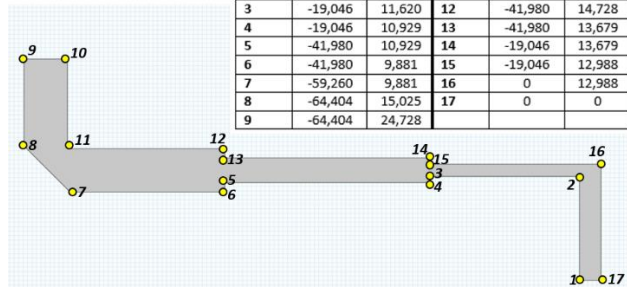


B.2 Combinador/divisor de potência com desvio de fase de 45°

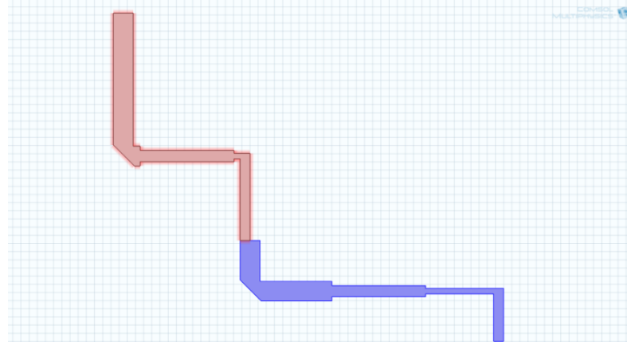
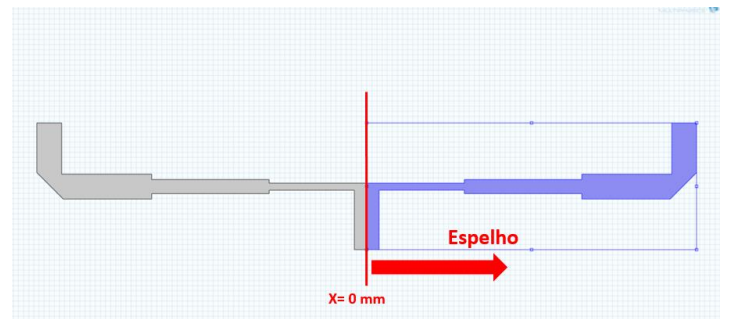


1º passo :

Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	-2,423	0	10	-59,558	24,728
2	-2,423	11,620	11	-59,588	14,728
3	-19,046	11,620	12	-41,980	14,728
4	-19,046	10,929	13	-41,980	13,679
5	-41,980	10,929	14	-19,046	13,679
6	-41,980	9,881	15	-19,046	12,988
7	-59,260	9,881	16	0	12,988
8	-64,404	15,025	17	0	0
9	-64,404	24,728			

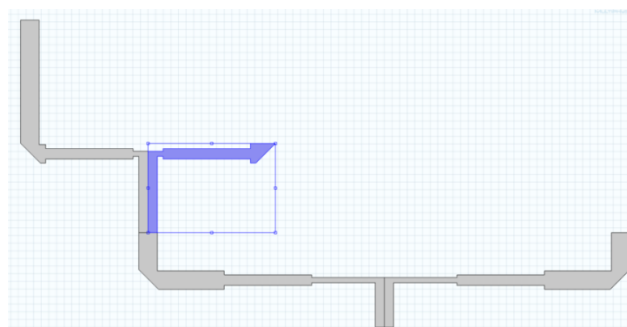
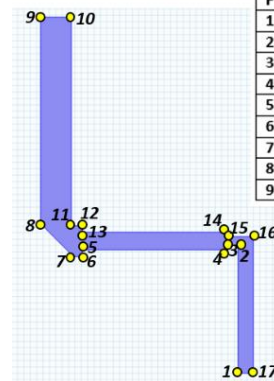


2º passo: criação de espelho da geometria criada no 1º passo



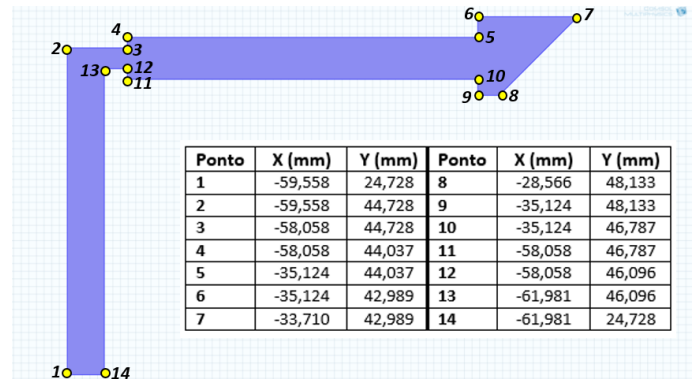
3º passo:

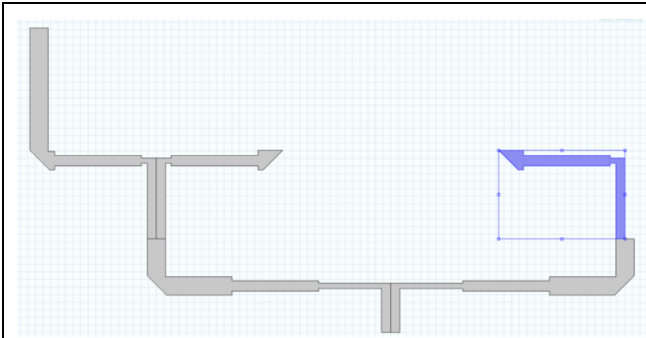
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	-64,404	24,728	10	-90,549	80,446
2	-64,404	44,728	11	-90,549	47,836
3	-65,904	44,728	12	-88,838	47,836
4	-65,904	44,037	13	-88,838	46,787
5	-88,828	44,037	14	-65,904	46,787
6	-88,828	42,989	15	-65,904	46,096
7	-90,548	42,989	16	-61,981	46,096
8	-95,396	48,133	17	-61,981	24,728
9	-95,396	80,446			



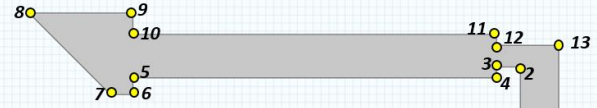
4º passo:

Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	-59,558	24,728	8	-28,566	48,133
2	-59,558	44,728	9	-35,124	48,133
3	-58,058	44,728	10	-35,124	46,787
4	-58,058	44,037	11	-58,058	46,787
5	-35,124	44,037	12	-58,058	46,096
6	-35,124	42,989	13	-61,981	46,096
7	-33,710	42,989	14	-61,981	24,728



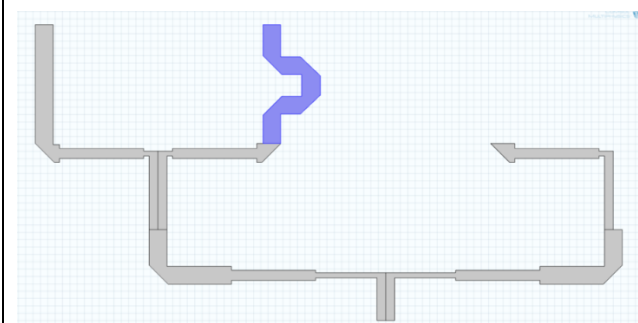


5º passo:



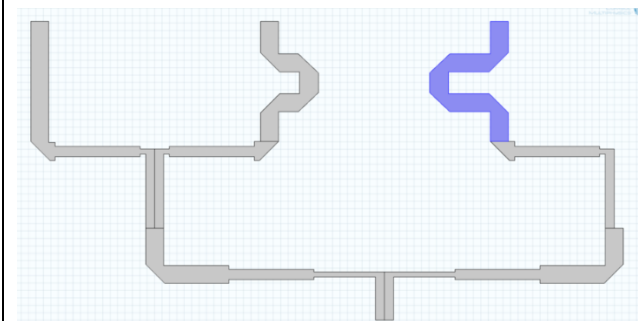
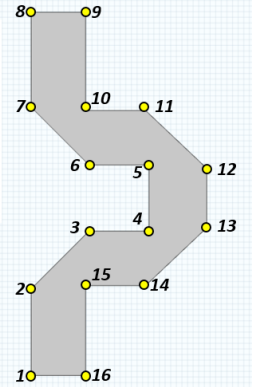
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	59,558	24,728	8	28,566	48,133
2	59,558	44,728	9	35,124	48,133
3	58,058	44,728	10	35,124	46,787
4	58,058	44,037	11	58,058	46,787
5	35,124	44,037	12	58,058	46,096
6	35,124	42,989	13	61,981	46,096
7	33,710	42,989	14	61,981	24,728

10 14



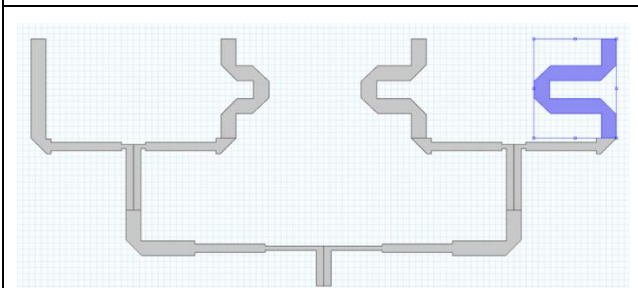
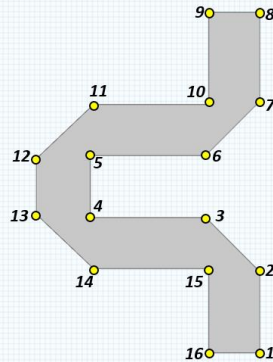
6º passo:

Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	-33,413	48,133	9	-28,566	80,446
2	-33,413	55,836	10	-28,566	71,701
3	-28,269	60,98	11	-23,229	71,701
4	-22,932	60,98	12	-17,788	66,557
5	-22,932	66,854	13	-17,788	61,277
6	-28,269	66,854	14	-23,229	56,133
7	-33,413	71,998	15	-28,566	56,133
8	-33,413	80,446	16	-28,566	48,133



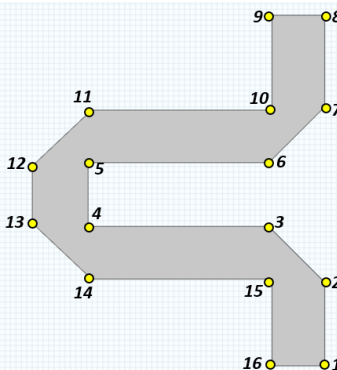
7º passo:

Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	33,413	48,133	9	28,566	80,446
2	33,413	55,836	10	28,566	71,701
3	28,269	60,98	11	17,595	71,701
4	17,289	60,98	12	12,154	66,557
5	17,289	66,854	13	12,154	61,277
6	28,269	66,854	14	17,595	56,133
7	33,413	71,998	15	28,566	56,133
8	33,413	80,446	16	28,566	48,133



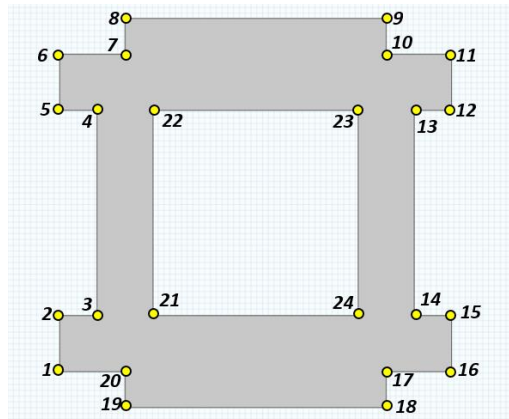
Último passo:

Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	95,396	48,133	9	90,549	80,446
2	95,396	55,836	10	90,549	71,701
3	90,252	60,98	11	73,944	71,701
4	73,638	60,98	12	68,503	66,557
5	73,638	66,854	13	68,503	61,277
6	90,252	66,854	14	73,944	56,133
7	95,396	71,998	15	90,549	56,133
8	95,396	80,446	16	90,549	48,133



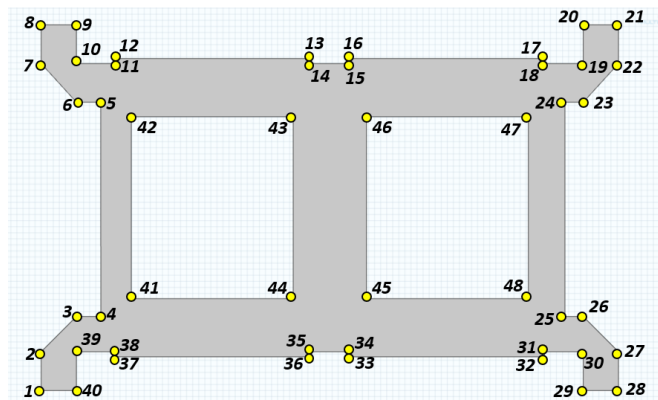
B.3 Matriz de Butler

1º passo: [criação do acoplador híbrido]



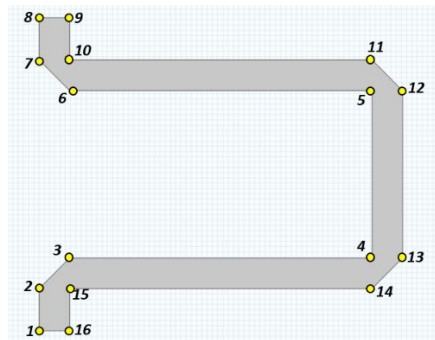
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	0	3,088	13	30,594	25,624
2	0	7,935	14	30,594	7,935
3	3,211	7,935	15	33,804	7,935
4	3,211	25,624	16	33,804	3,088
5	0	25,624	17	28,17	3,088
6	0	30,471	18	28,17	0
7	5,634	30,471	19	5,634	0
8	5,634	33,559	20	5,634	3,088
9	28,17	33,559	21	8,058	7,935
10	28,17	30,471	22	8,058	25,624
11	33,804	30,471	23	25,747	25,624
12	33,804	25,624	24	25,747	7,935

2º passo: [criação do crossover]



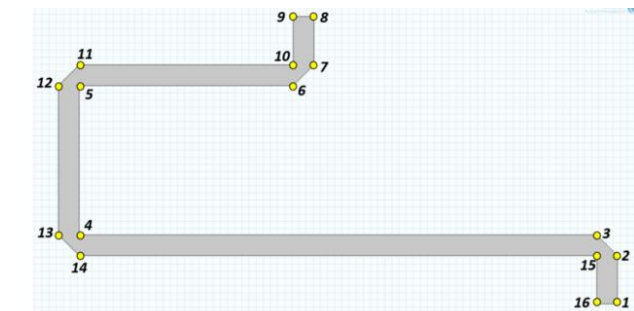
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	0	0	17	41,52	27,355	33	25,32	2,775
2	0	3,19	18	41,52	26,94	34	25,32	3,19
3	2,91	6,1	19	44,71	26,94	35	22,3	3,19
4	4,92	6,1	20	44,71	30,13	36	22,3	2,775
5	4,92	23,75	21	47,62	30,13	37	6,1	2,775
6	2,91	23,75	22	47,62	26,94	38	6,1	3,19
7	0	26,94	23	44,71	23,75	39	2,91	3,19
8	0	30,13	24	43,2	23,75	40	2,91	0
9	2,91	30,13	25	43,2	6,1	41	7,44	7,575
10	2,91	26,94	26	44,71	6,1	42	7,44	22,555
11	6,1	26,94	27	47,62	3,19	43	20,79	22,555
12	6,1	27,355	28	47,62	0	44	20,79	7,575
13	22,3	27,355	29	44,71	0	45	26,83	7,575
14	22,3	26,94	30	44,71	3,19	46	26,83	22,555
15	25,32	26,94	31	41,52	3,19	47	40,18	22,555
16	25,32	27,355	32	41,52	2,775	48	40,18	7,575

3º passo: [Atraso de 45º]



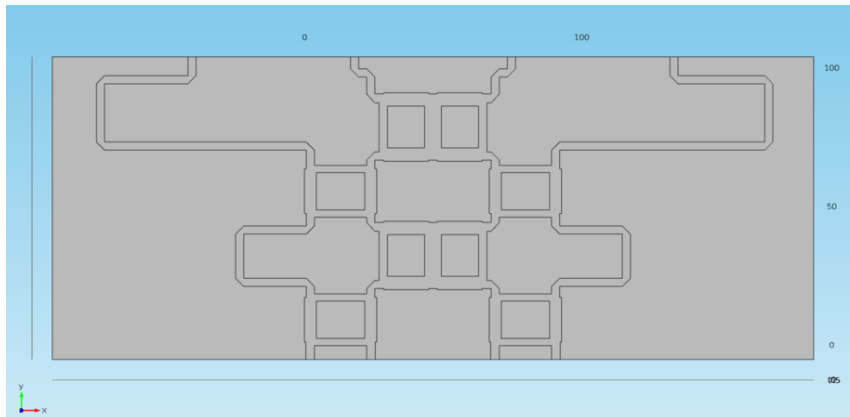
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	0	0	9	2,91	29,68
2	0	4	10	2,91	25,68
3	2,91	6,91	11	31,71	25,68
4	31,71	6,91	12	34,62	22,77
5	31,71	22,77	13	34,62	6,91
6	2,91	22,77	14	31,71	4
7	0	25,68	15	2,91	4
8	0	29,68	16	2,91	0

4º passo: [Pistas de 0º das portas de saída 5 e 8]

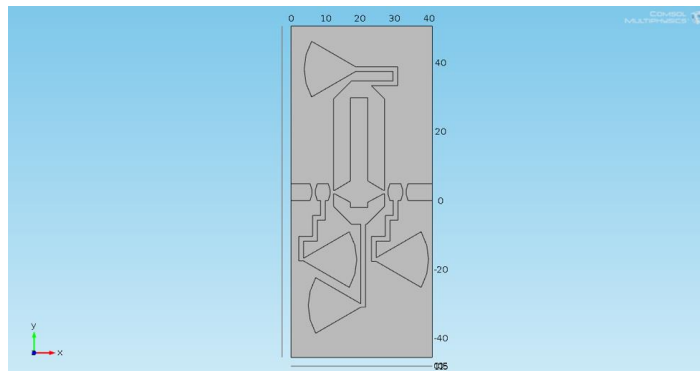


Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	3,605	63,42	9	-41,8	103,71
2	3,605	70,205	10	-41,8	96,925
3	0,695	73,115	11	-71,775	96,925
4	-71,775	73,115	12	-74,685	94,015
5	-71,775	94,015	13	-74,685	73,115
6	-41,8	94,015	14	-71,775	70,205
7	-38,89	96,925	15	0,695	70,205
8	-38,89	103,71	16	0,695	63,42

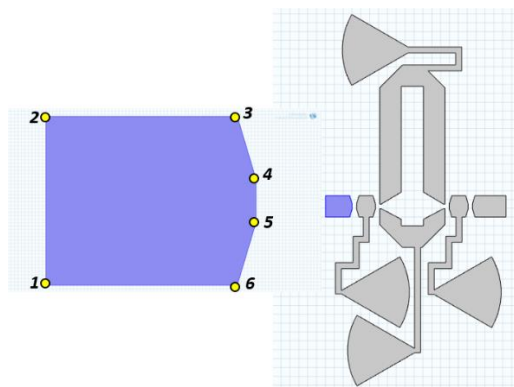
Último passo: [junção de todos os circuitos dos passos anteriores]



B.4 Deslocador de fase de linha comutada de 1 bit com díodos PIN

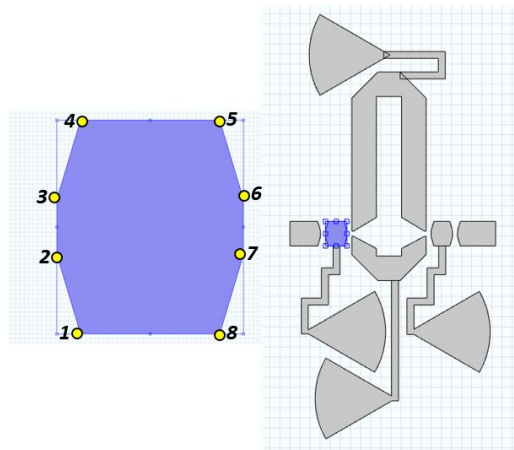


1º passo :



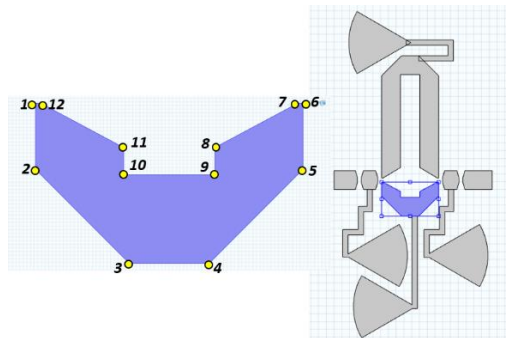
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	0,000	0,000	4	6,038	3,049
2	0,000	4,847	5	6,038	1,799
3	5,500	4,847	6	5,500	0,000

2º passo:



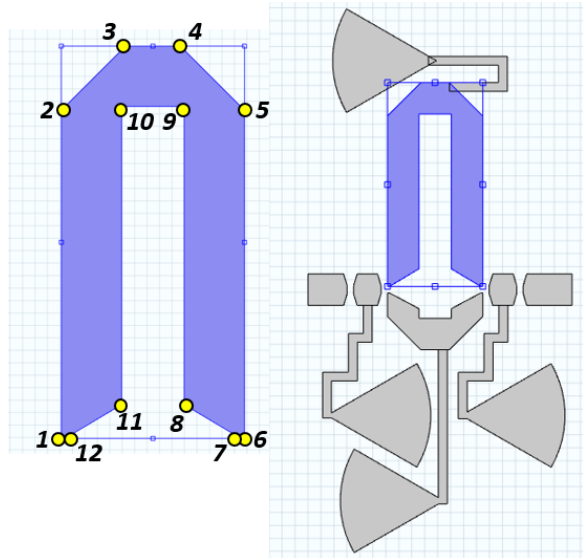
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	7,038	1,799	5	11,268	3,049
2	7,038	3,049	6	11,268	1,799
3	7,576	4,847	7	10,73	0,000
4	10,730	4,847	8	7,576	0,000

3º passo:



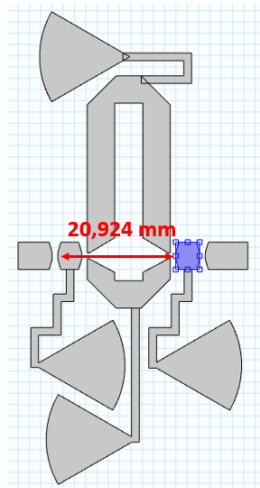
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	12,268	1,924	7	26,665	1,924
2	12,268	-1,700	8	22,115	-0,500
3	17,412	-6,844	9	22,115	-1,997
4	21,818	-6,844	10	17,115	-1,997
5	26,962	-1,700	11	17,115	-0,500
6	26,962	1,924	12	12,565	1,924

4º passo:

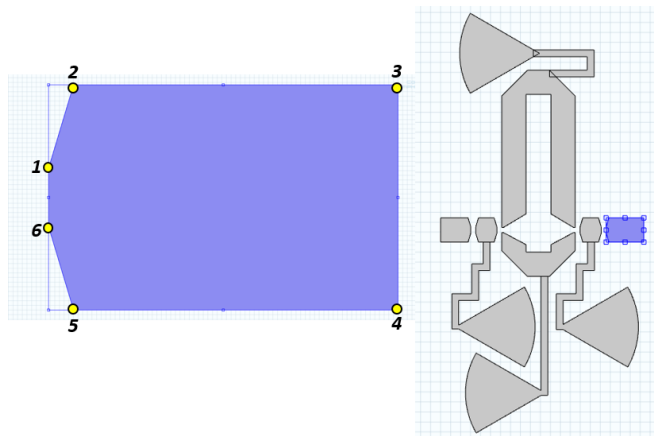


Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	54,116	2,924	7	68,513	2,924
2	54,116	29,284	8	63,963	5,645
3	59,260	34,428	9	63,963	29,581
4	63,666	34,428	10	58,963	29,581
5	68,810	29,284	11	58,963	5,645
6	68,810	2,924	12	54,413	2,924

Indicação:

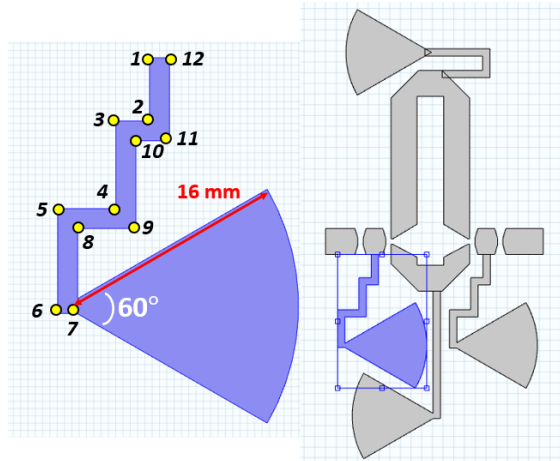


5º passo:



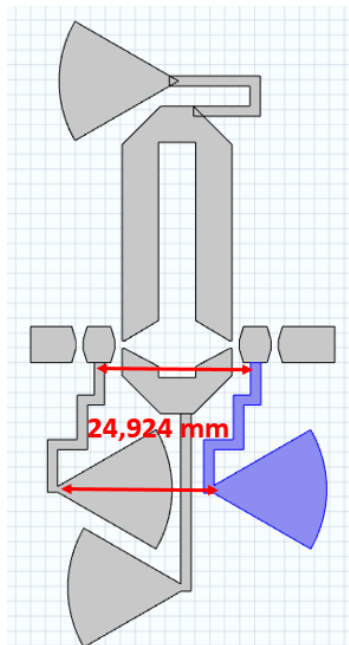
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	95,964	3,049	4	103,500	0,000
2	96,504	4,847	5	96,504	0,000
3	103,500	4,847	6	95,964	1,799

6º passo:

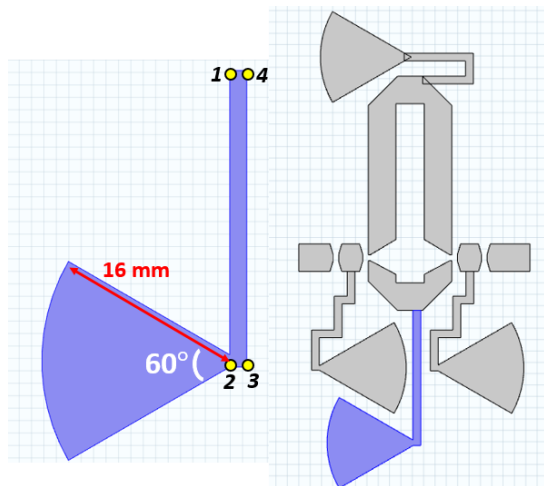


Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	8,539	0,000	7	3,628	-17,500
2	8,539	-4,316	8	3,628	-11,683
3	6,249	-4,316	9	7,610	-11,683
4	6,249	-10,316	10	7,610	-5,684
5	2,261	-10,316	11	9,906	-5,684
6	2,261	-17,500	12	9,906	0,000

Indicação:

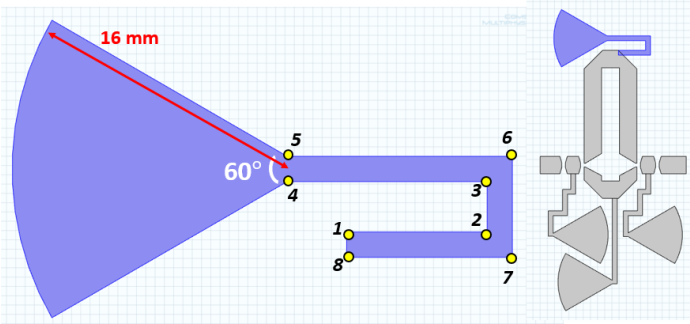


7º passo:



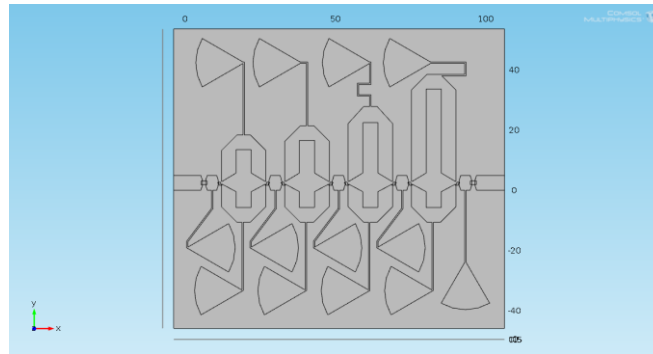
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	20,115	-6,840	3	21,482	-30,696
2	20,115	-30,696	4	21,482	-6,840

Último passo:

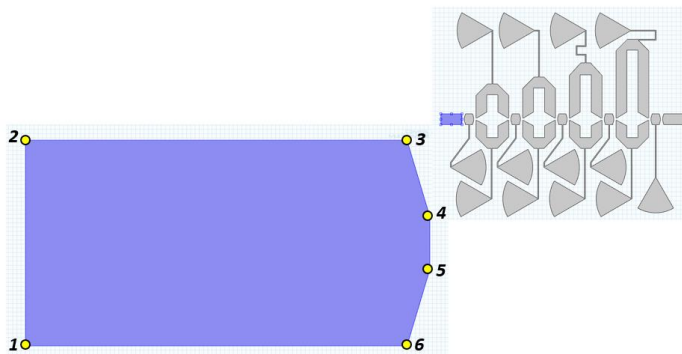


Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	21,810	33,061	5	18,578	37,128
2	30,749	33,061	6	29,382	37,128
3	30,749	38,495	7	29,382	34,428
4	18,578	38,495	8	21,818	34,428

B.5 Deslocador de fase de linha comutada de 4 bits com díodos PIN

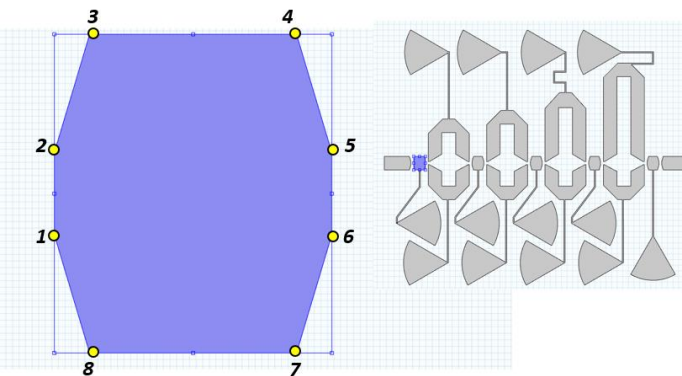


1º passo :



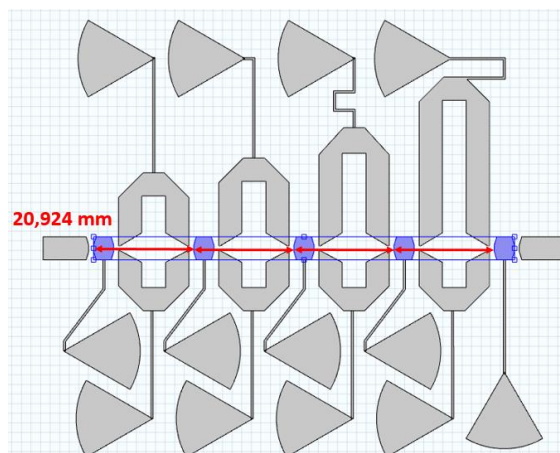
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	-3,500	0,000	4	6,038	3,049
2	-3,500	4,847	5	6,038	1,799
3	5,500	4,847	6	5,500	0,000

2º passo:

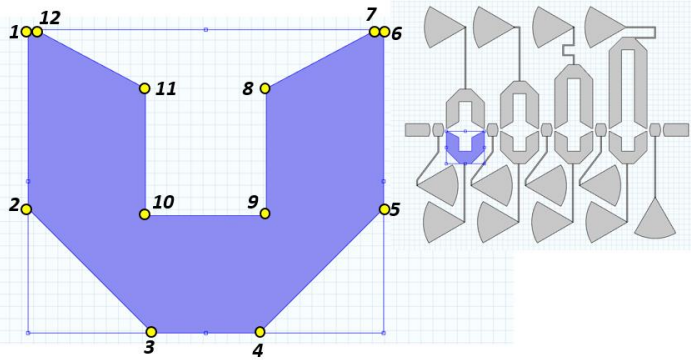


Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	7,038	1,799	5	11,268	3,049
2	7,038	3,049	6	11,268	1,799
3	7,576	4,847	7	10,73	0,000
4	10,73	4,847	8	7,576	0,000

Indicação: [Criação de um array de 5 geometrias como a definida no 2º passo]

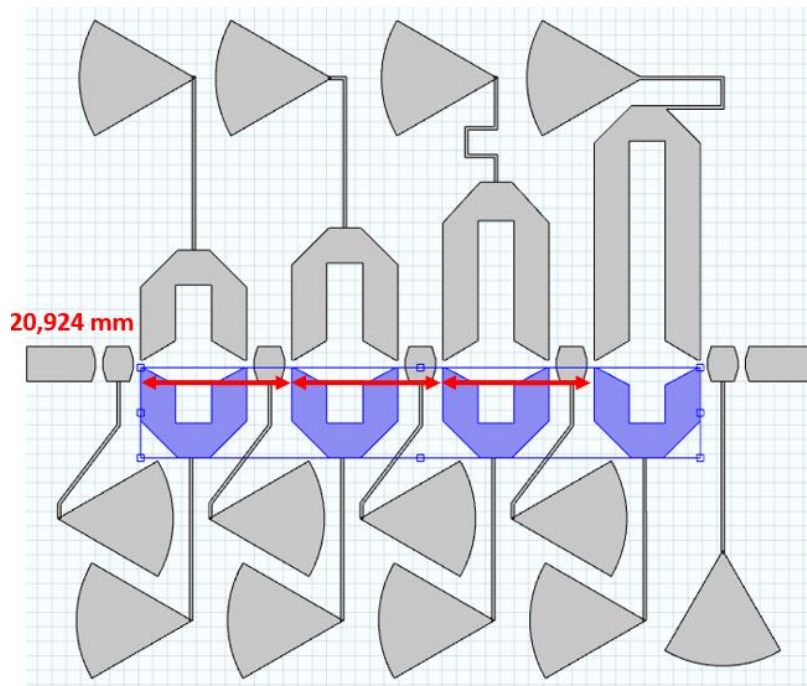


3º passo:

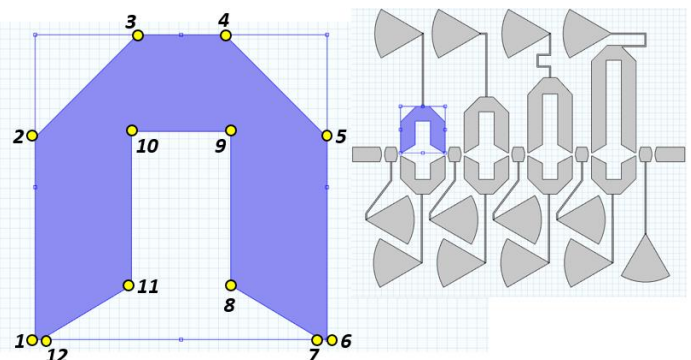


Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	8,539	0,000	7	3,628	-17,500
2	8,539	-4,316	8	3,628	-11,683
3	6,249	-4,316	9	7,610	-11,683
4	6,249	-10,316	10	7,610	-5,684
5	2,261	-10,316	11	9,906	-5,684
6	2,261	-17,500	12	9,906	0,000

Indicação: [Criação de um array de 4 geometrias como a definida no 3º passo]

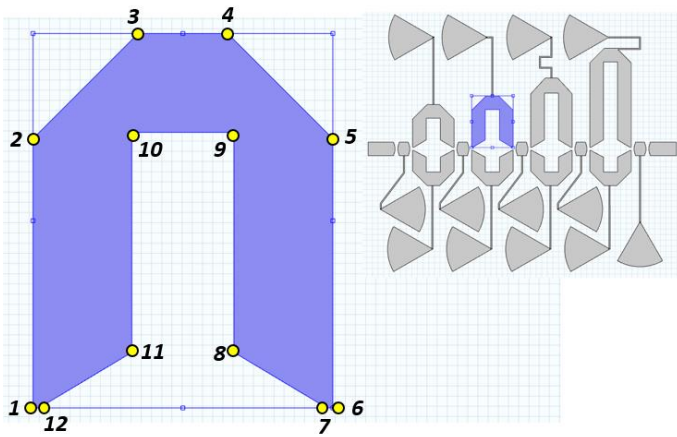


4º passo:



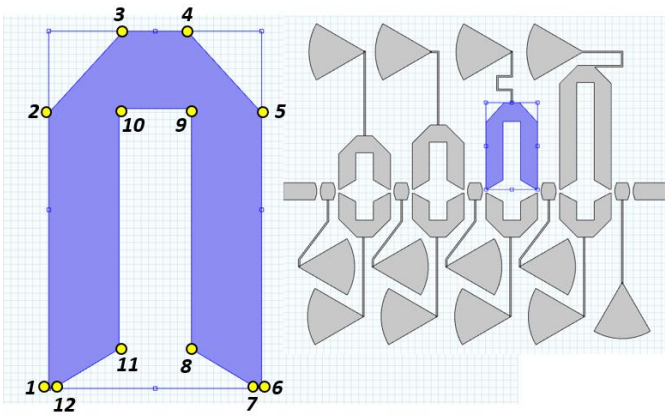
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	12,268	2,924	7	26,665	2,924
2	12,268	13,066	8	22,115	5,645
3	17,412	18,210	9	22,115	13,363
4	21,818	18,210	10	17,115	13,363
5	26,962	13,066	11	17,115	5,645
6	26,962	2,924	12	12,565	2,924

5º passo :



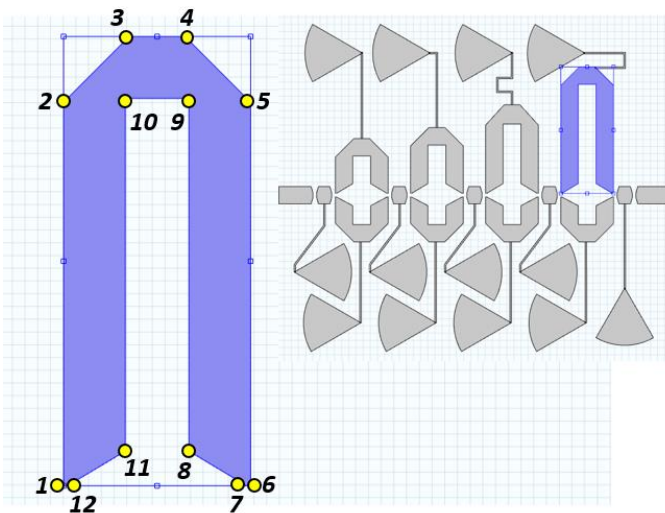
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	33,192	2,924	7	47,589	2,924
2	33,192	16,128	8	43,039	5,645
3	38,336	21,272	9	43,039	16,425
4	42,742	21,272	10	38,039	16,425
5	47,886	16,128	11	38,039	5,645
6	47,886	2,924	12	33,489	2,924

6º passo:



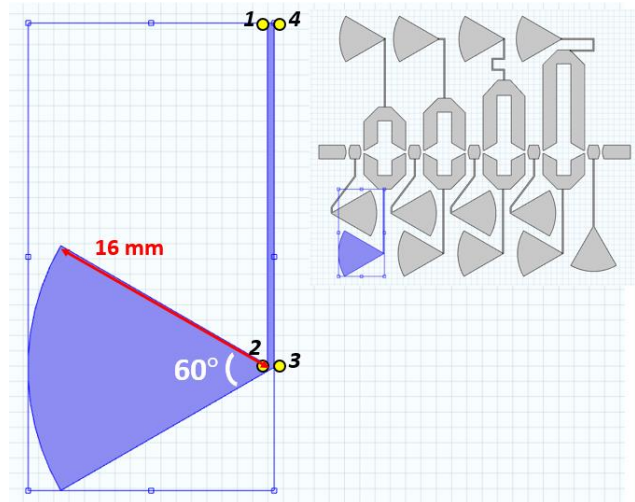
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	51,116	2,924	7	68,513	2,924
2	54,116	21,965	8	63,963	5,645
3	59,260	27,609	9	63,963	22,262
4	63,666	27,609	10	58,963	22,262
5	68,810	21,965	11	58,963	5,645
6	68,810	2,924	12	54,413	2,924

7º passo:



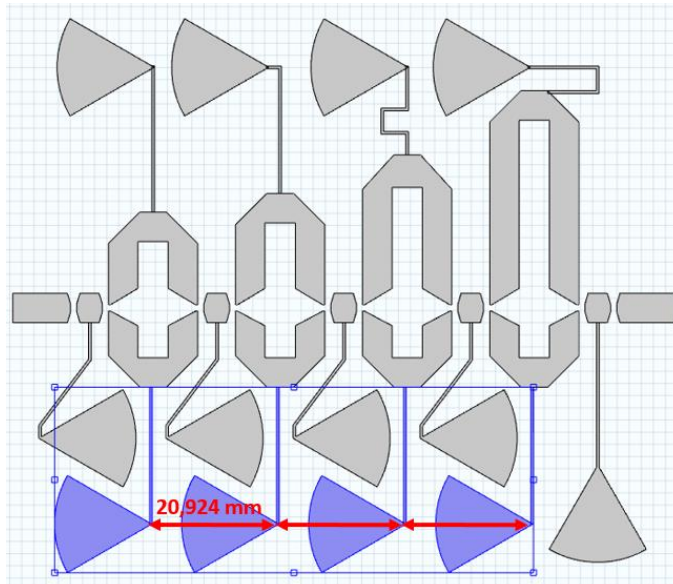
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	75,040	2,924	7	89,437	2,924
2	75,040	33,040	8	84,887	5,645
3	80,184	38,184	9	84,887	33,337
4	84,590	38,184	10	79,887	33,337
5	89,734	33,040	11	79,887	5,645
6	89,734	2,924	12	75,337	2,924

8º passo:

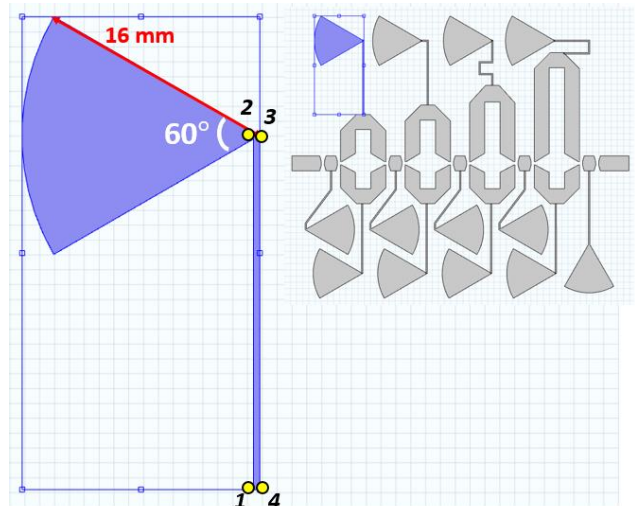


Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	-19,049	-10,600	3	-19,482	-33,136
2	-19,049	-33,136	4	-19,482	-10,600

Indicação: [Criação de um array de 4 geometrias como a definida no 8º passo]

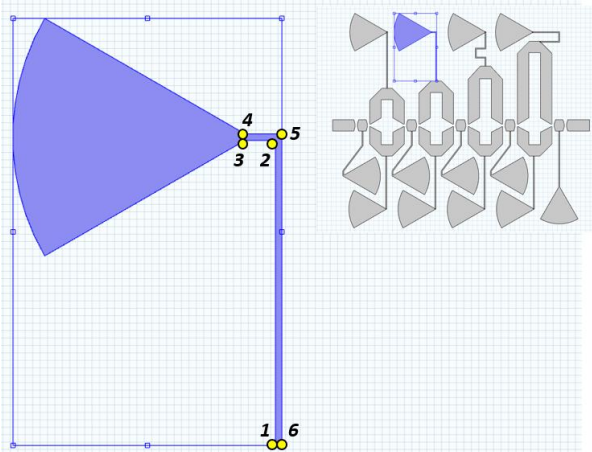


9º passo:



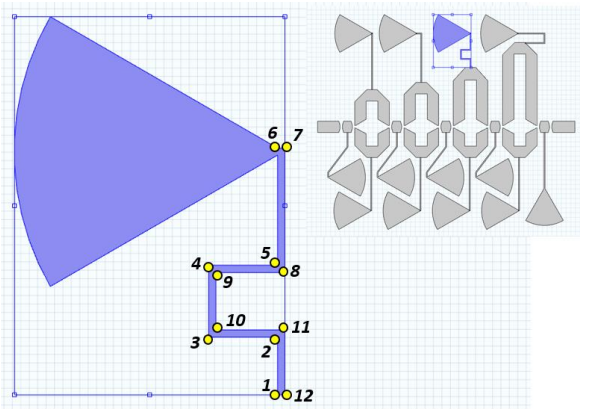
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	19,398	18,210	3	19,831	42,264
2	19,398	42,264	4	19,831	18,210

10º passo:



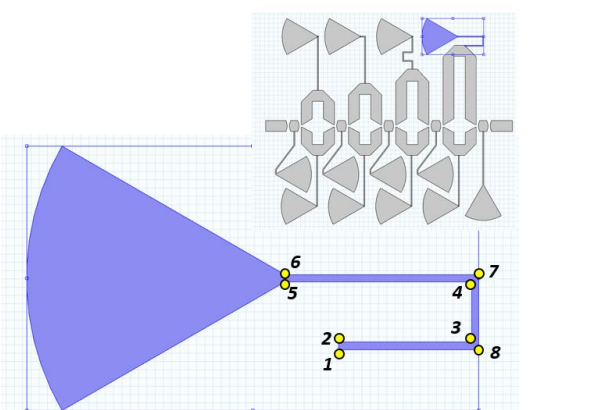
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	40,322	21,272	4	38,260	42,251
2	40,322	41,818	5	40,755	42,251
3	38,260	41,818	6	40,755	21,272

11º passo:



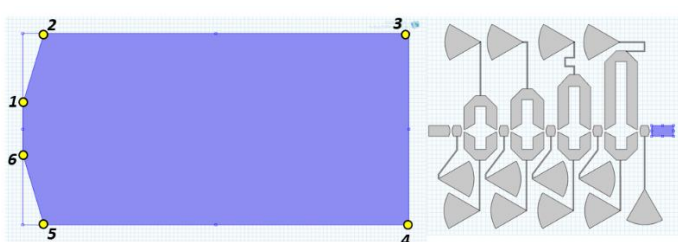
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	61,246	27,609	7	61,679	41,922
2	61,246	31,025	8	61,679	34,858
3	57,146	31,025	9	57,579	34,858
4	57,146	35,291	10	57,579	31,458
5	61,246	35,291	11	61,679	31,458
6	61,246	41,922	12	61,679	27,609

12º passo:



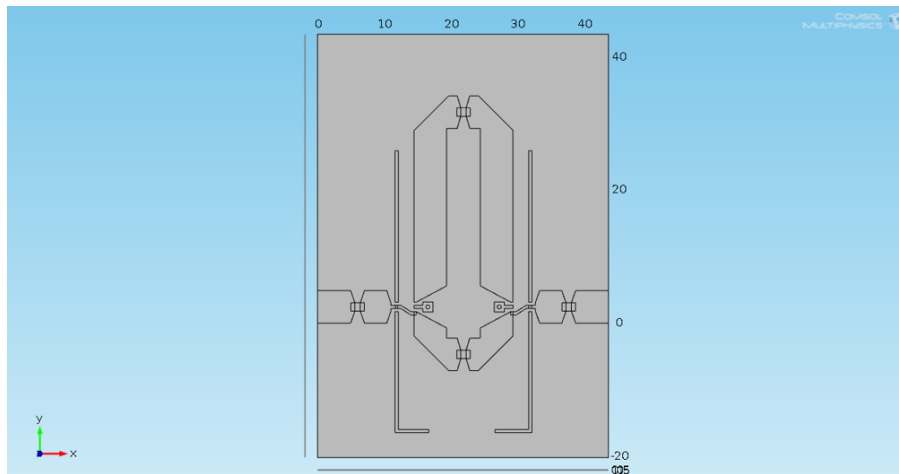
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	84,590	31,710	5	81,350	41,818
2	93,054	37,710	6	92,621	41,818
3	93,054	42,251	7	92,621	38,184
4	81,350	42,251	8	84,590	38,184

Último passo:

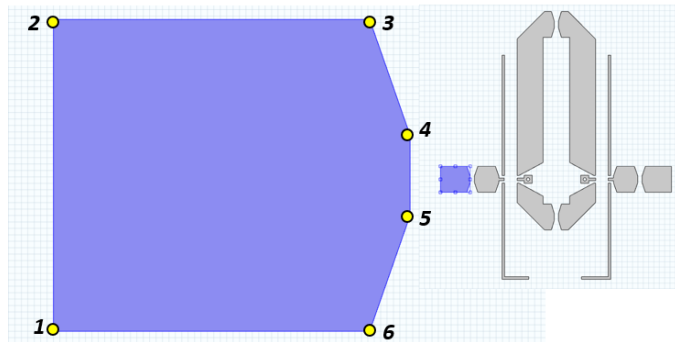


Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	95,964	3,049	4	105,772	0,000
2	96,504	4,847	5	96,504	0,000
3	105,772	4,847	6	95,964	1,799

B.6 Deslocador de fase de linha comutada de 1 bit com transístores HEMT SPDT

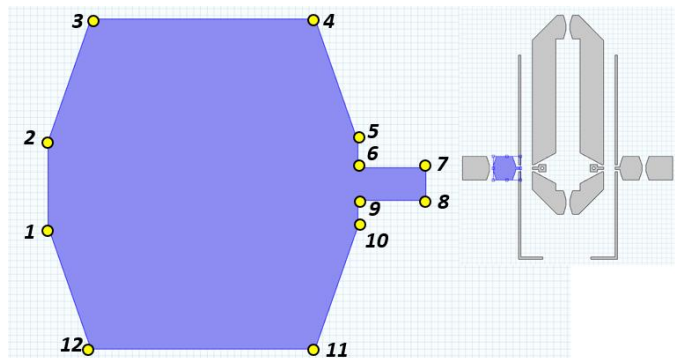


1º passo :



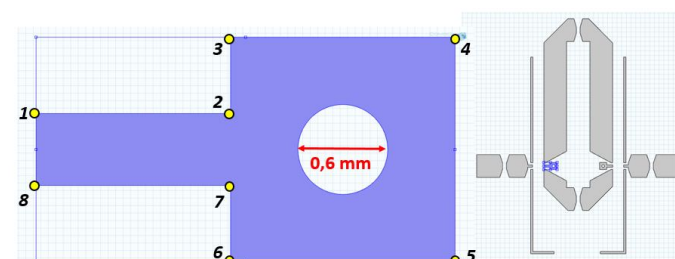
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	0,000	0,000	4	5,559	3,048
2	0,000	4,847	5	5,559	1,799
3	4,929	4,847	6	4,929	0,000

2º passo:



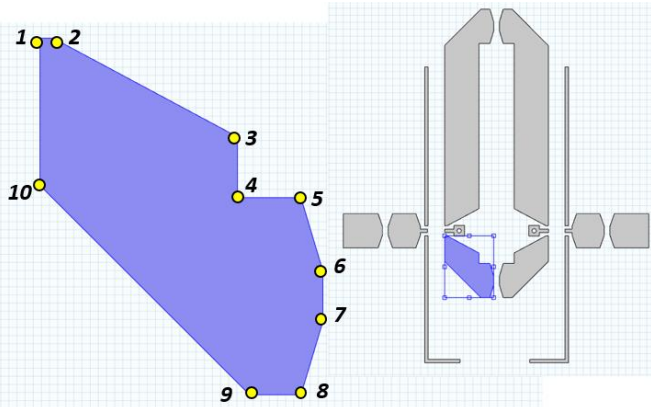
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	6,359	1,799	7	11,918	2,664
2	6,359	3,048	8	11,918	2,184
3	6,989	4,847	9	10,918	2,184
4	10,288	4,847	10	10,918	1,799
5	10,918	3,048	11	10,288	0,000
6	10,918	2,664	12	6,989	0,000

3º passo:



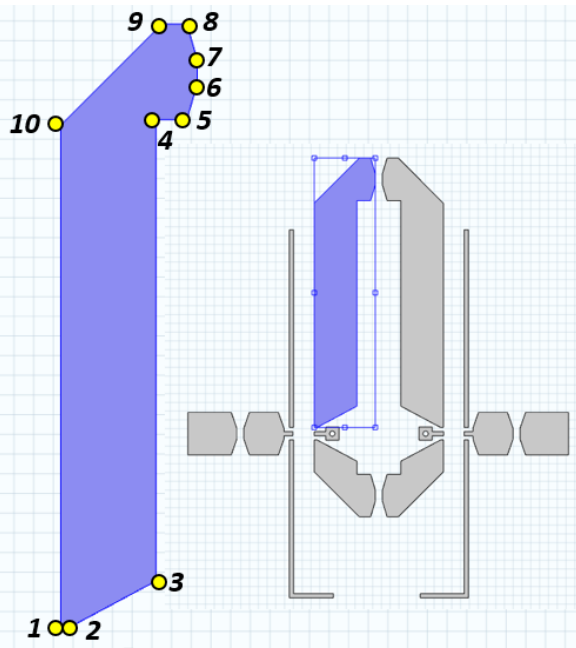
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	14,368	2,664	5	17,168	1,674
2	15,668	2,664	6	15,668	1,674
3	15,668	3,174	7	15,668	2,184
4	17,168	3,174	8	14,368	2,184

4º passo :



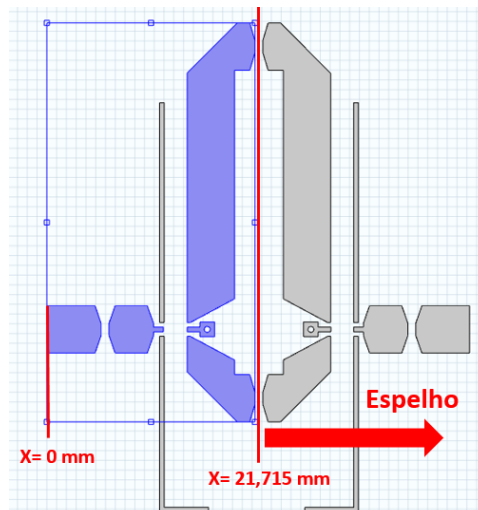
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	14,368	1,714	6	21,315	-4,006
2	14,693	1,714	7	21,315	-5,256
3	19,215	-0,710	8	21,315	-7,055
4	19,215	-2,207	9	20,777	-7,055
5	20,777	-2,207	10	14,368	-1,91

5º passo:



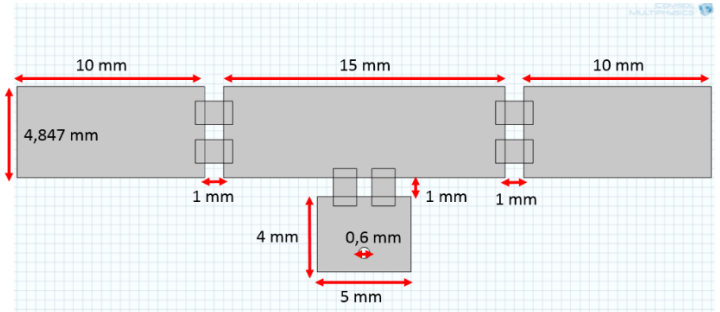
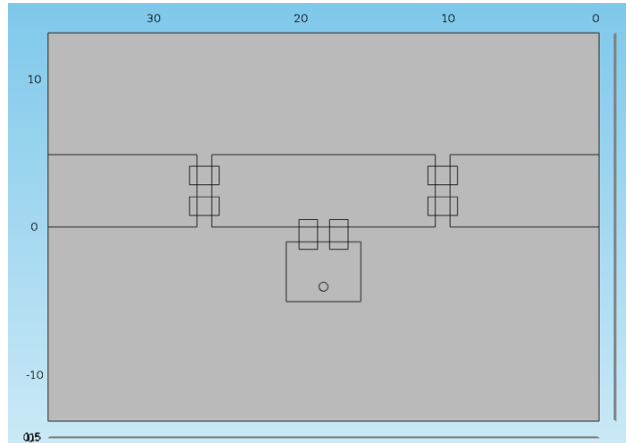
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	14,368	3,134	6	21,315	30,790
2	14,693	3,134	7	21,315	32,04
3	19,215	5,558	8	20,777	33,839
4	19,215	28,991	9	19,512	33,839
5	20,777	28,991	10	14,368	28,694

Indicação (último passo): [Criação do restante circuito através dos circuitos criados nos passos anteriores (selecionados a azul)]

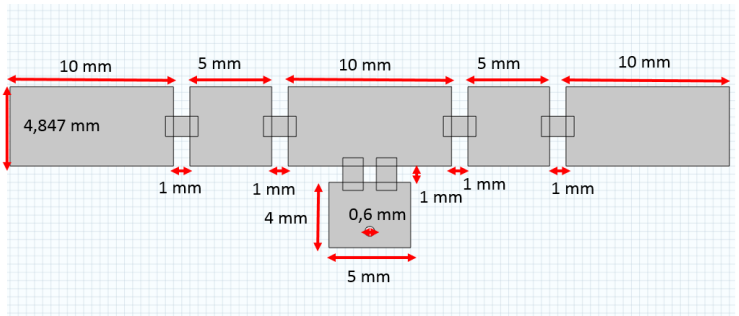
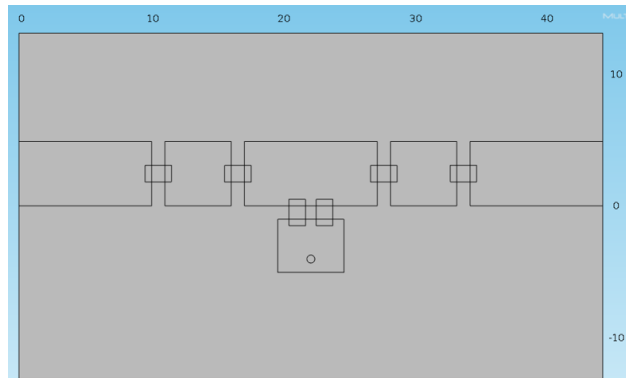


B.7 Atenuador com topologia em T

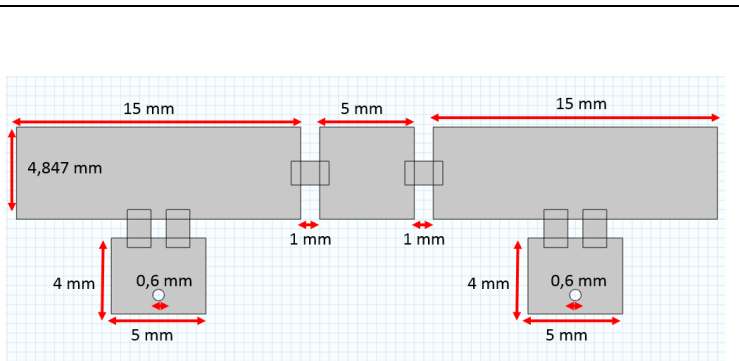
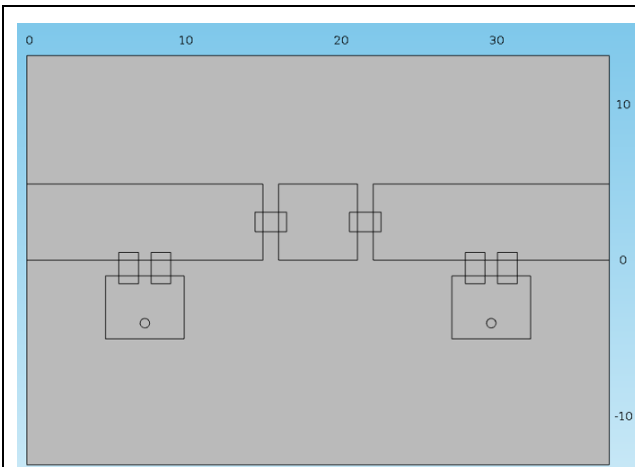
Configuração 1:



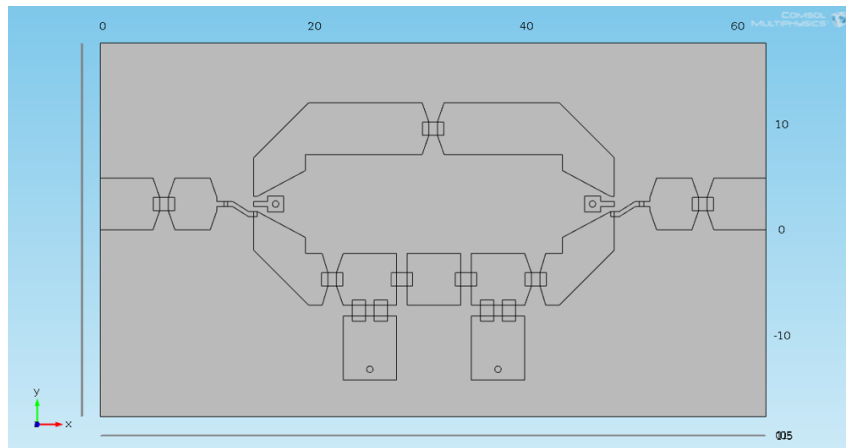
Configuração 2:



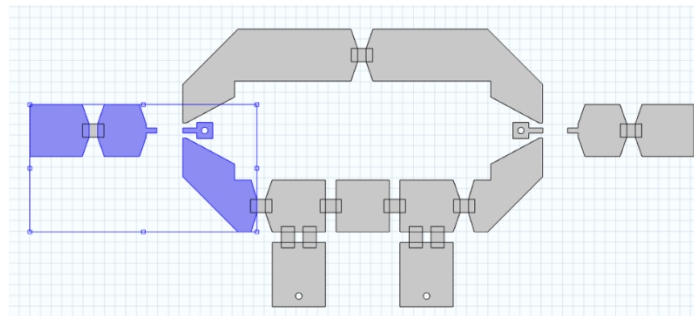
B.8 Atenuador com topologia em π



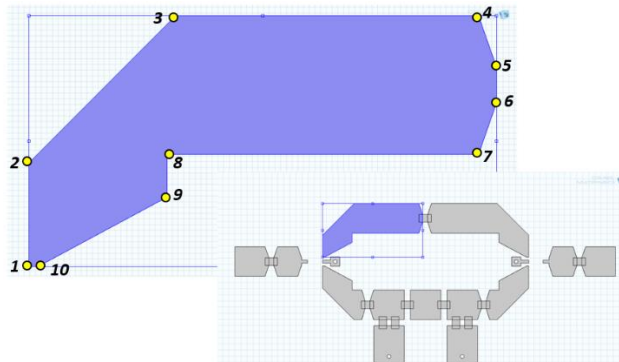
B.9 Atuador comutável



Indicação: [As geometrias selecionadas a azul tem a mesma dimensão do que as geometrias implementadas nos passos 1, 2, 3 e 4 de B.6]

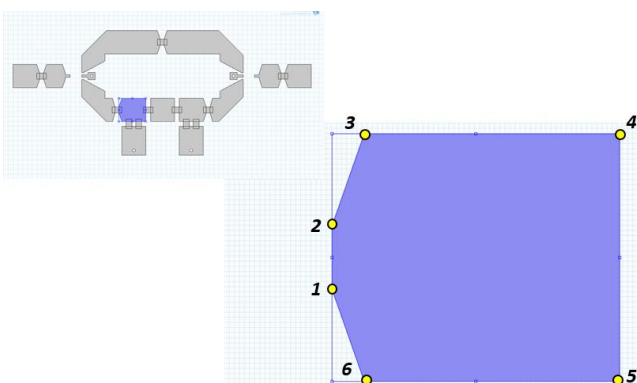


1º passo:



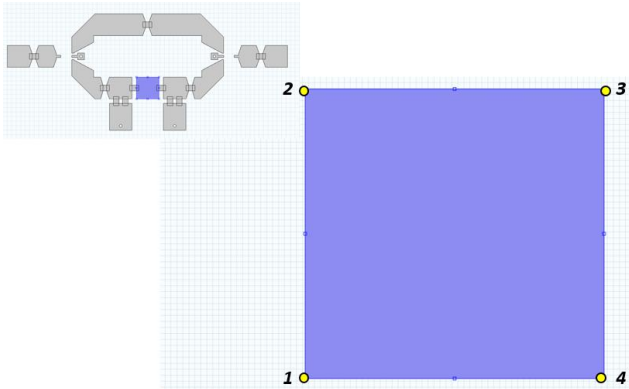
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	14,368	3,134	6	30,770	8,854
2	14,693	3,134	7	30,770	10,104
3	19,215	5,558	8	30,140	11,903
4	19,215	7,055	9	19,512	11,903
5	30,140	7,055	10	14,368	6,758

2º passo:



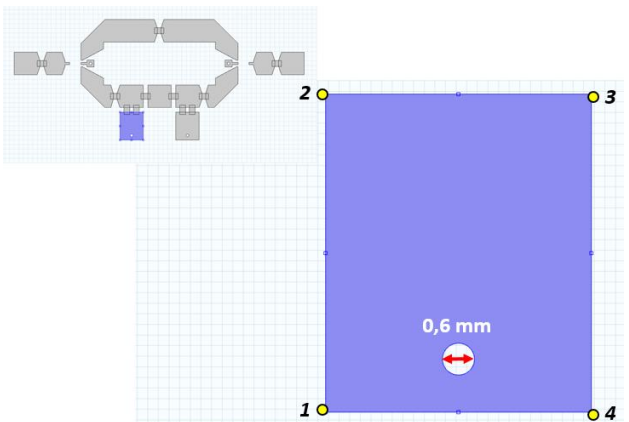
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	22,115	-5,256	4	27,745	-2,207
2	22,115	-4,006	5	27,745	-7,055
3	22,745	-2,207	6	22,745	-7,055

3º passo :



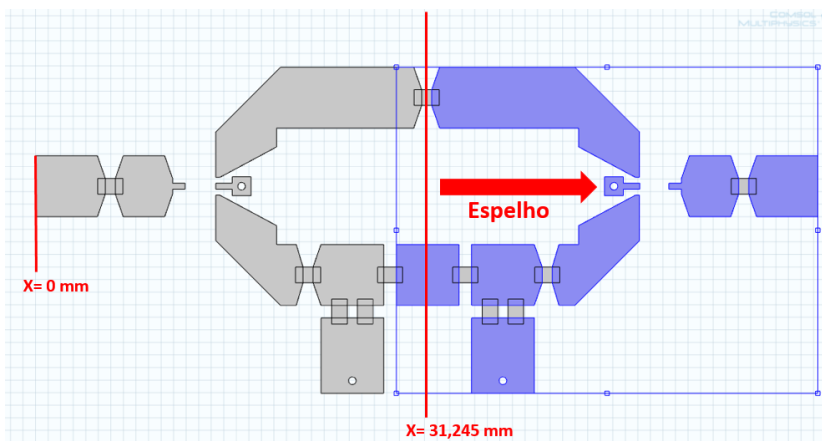
Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	28,745	-7,055	3	33,745	-2,207
2	28,745	-2,207	4	33,745	-7,055

4º passo:



Ponto	X (mm)	Y (mm)	Ponto	X (mm)	Y (mm)
1	22,745	-8,055	3	27,745	-14,055
2	22,745	-14,055	4	27,745	-8,055

Indicação: [As geometrias selecionadas a azul foram criados através do espelho das geometrias criadas nos 4 passos anteriores]



Anexo C – Tecnologia de pista impressa (*microstrip*) e respectivas discontinuidades

Neste anexo pretende-se apresentar de forma sucinta a tecnologia *microstrip*, identificar as vantagens e o porquê de se ter escolhido esta tecnologia. Serão igualmente apresentados os principais parâmetros, e mencionados os valores dos mesmos para as placas cujos substratos são em materiais FR4 e Duroid 5880. No final dar-se-á ênfase às discontinuidades inerentes à tecnologia *microstrip*.

C.1 Tecnologia de linha impressa - *Microstrip*

Existem diversas formas de realizar circuitos nas rádio frequências, sendo as mais usuais a *microstrip*, *stripline*, *CPW (Coplanar Waveguide)*, *CPW ground*, *coupled microstrip line* e *coupled stripline*.

A escolhida para a realização deste trabalho foi a *microstrip*, representada na figura C.1, sendo que se pode observar que existem diversos parâmetros que é necessário ter em conta durante o processo de desenvolvimento, tal como a constante dielétrica do substrato (ϵ_r), a altura da placa (h), a altura do cobre (t) e por fim a largura da pista (W) que é dada em função dos três parâmetros mencionados anteriormente e da impedância característica (Z_0) pretendida [J20].

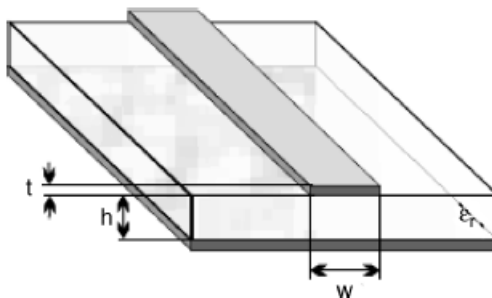


Figura C.1 - Tecnologia de fabricação *microstrip* [43].

Na tabela C.1 pode-se consultar os parâmetros fundamentais no desenvolvimento das placas, tanto para substrato Duroid 5880 bem como para substrato FR4, sendo que ambos foram utilizados no trabalho.

Tabela C1 - Parâmetros das placas com substrato em Duroid 5880 e FR4.

	ϵ_r	h (mm)	t (μm)
Duroid 5880	2,2	1,588	35
FR4	4,4	1,6	35

A tecnologia *microstrip* apresenta várias vantagens, desde o facto de ser a mais utilizada nas rádio frequências, bem como oferecer baixa complexidade de fabricação em comparação

com outras tecnologias, baixo custo de fabricação, baixo peso e acima de tudo proporciona uma excelente integração com elementos passivos e ativos, como por exemplo dos condensadores e díodos PIN, respetivamente [19, 43].

Contudo, apresenta igualmente algumas desvantagens relacionadas com o facto de sofrer influência eletromagnética externa. No entanto, esta não é a principal desvantagem mas sim as inevitáveis descontinuidades existentes num circuito *microstrip* [19].

C.2 Descontinuidades

Como se verificou no decorrer desta dissertação, as descontinuidades assumiram grande importância no desenvolvimento de muitos circuitos RF desenvolvidos, principalmente porque, se os seus efeitos não forem mitigados, poderão originar erros elevados nos sistemas [19].

Uma descontinuidade é uma pista condutora de sinal RF que sofre uma mudança abrupta na sua geometria, originando junto à descontinuidade uma mudança na distribuição do campo eletromagnético [51].

Dos erros mais frequentes encontra-se a introdução de reactâncias parasitas que causam degradação na performance, nomeadamente na amplitude e fase do sinal. Por exemplo, caso uma variação originada pela descontinuidade afetar o campo elétrico existirá uma mudança na capacitância da pista junto ao à mesma, já se a variação originada pela descontinuidade afetar o campo magnético existirá uma mudança na indutância da pista junto à mesma [51].

As descontinuidades podem originar desadaptação de impedâncias, aparecimento de ondas de superfície que se propagam pela pista condutora e até pode levar a radiação nos pontos de descontinuidade, o que resultará em acoplamento entre as várias pistas. O acoplamento de sinal entre pistas degrada consideravelmente o isolamento do mesmo, bem como aumenta consideravelmente a atenuação do sinal [19, 51].

Depreende-se então que os projetistas dos sistemas deverão minimizar os efeitos negativos, principalmente aqueles que dão origem a reactâncias parasíticas, sendo que esse processo tem a designação de compensação das descontinuidades [17].

Alguns exemplos de descontinuidades que se encontram numa pista condutora são brechas (*gaps*), degraus de impedância, dobras/cantos (*bends*), junção T, sendo que em seguida abordar-se-á cada uma individualmente.

BRECHAS (*gaps*)

Devido à necessidade de nos circuitos RF se utilizar componentes passivos e/ou ativos, como condensadores de bloqueio de sinal DC e díodos, respetivamente, surgem descontinuidades do tipo brecha (*gap*), como pode ser verificada na figura C.2(a). Na figura C.2(b) verifica-se que ambas as extremidades, T1 e T2, da brecha e o plano de massa, contribuem para o aumento da capacitância ficando a mesma em série com a pista, sendo igualmente conhecido como condensador com topologia em π [17].

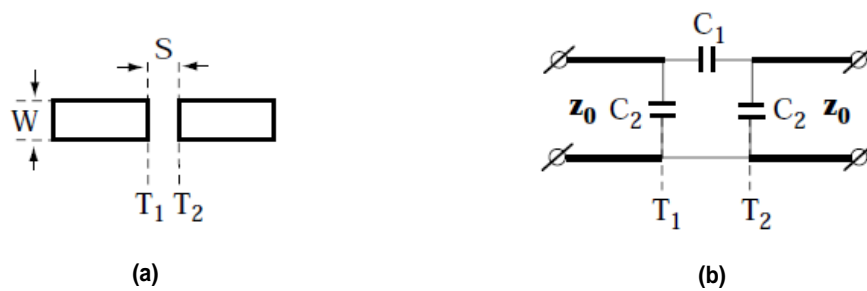


Figura C.2 - Descontinuidade do tipo brecha: (a) realizado em *microstrip*; (b) circuito elétrico equivalente [17].

Embora a literatura da área não refira um método específico de realizar a compensação da descontinuidade, deverá ser dada especial atenção à configuração da mesma de modo a não criar acoplamento entre pistas, originadas pelo efeito de franjas no campo elétrico, como se pode verificar na figura C.3 [73]. Para além do acoplamento, também é verificado que devido à capacitância introduzida por esta descontinuidade também se dá uma alteração na fase, daí a importância de se utilizar uma ferramenta EM por forma a aplicar as correções necessárias [73].

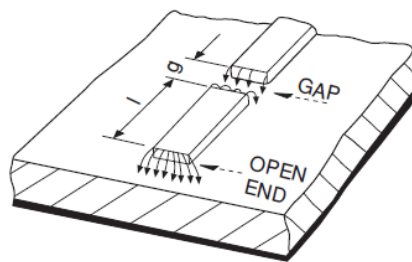


Figura C.3 - Efeito de franjas provocado pela descontinuidade do tipo brecha [73].

CANTOS (*bends*)

Outro tipo muito comum de descontinuidade e que são verificadas muitas vezes quando se pretende mudar a direção da pista condutora são os cantos, como os representados na figura C.4(a), sendo que a região da geometria que origina a descontinuidade está delimitada por pelos T_1 e T_2 [17].

Na figura C.4(b) verifica-se como esta descontinuidade afeta o desempenho, sendo que o canto/esquina é representado por um condensador (C_1) em paralelo com a pista. Este condensador pode armazenar um valor de elevada capacitância, o que irá diminuir consideravelmente a impedância característica naquela região [17, 51]. Este efeito fará com que uma parte substancial da corrente comece a fluir nas extremidades exteriores da pista levando à degradação do sinal, bem como a desadaptações na impedância característica [51 e 73].

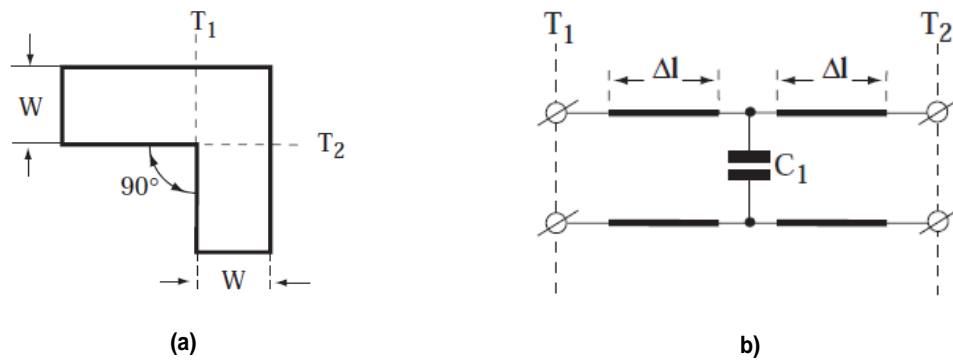


Figura C.4 - Descontinuidade do tipo canto: (a) realizado em *microstrip*; (b) circuito elétrico equivalente [17].

Torna-se assim necessário realizar a diminuição da capacitância criada, sendo que a compensação destas capacitâncias parasitas é feita através do recorte/desbaste como se pode observar na diversas pistas da figura C.5 [74].

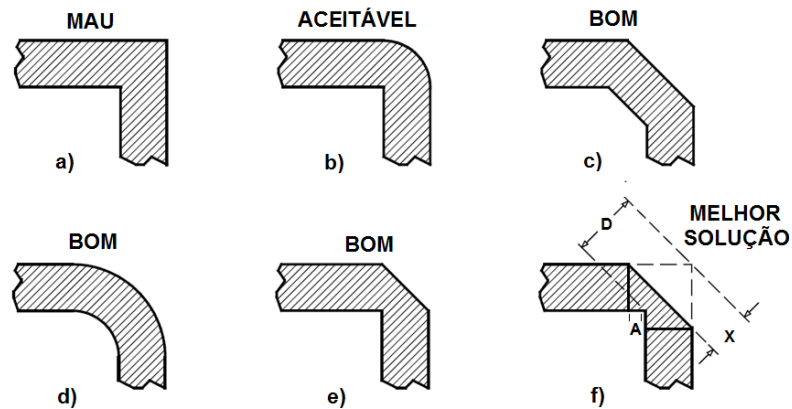


Figura C.5 - Melhor forma de realizar a compensação da descontinuidade do tipo canto: (a) sem compensação da descontinuidade; (b) compensação arredondada na parte exterior da descontinuidade; (c) compensação com corte reto quer na parte exterior quer na parte interior da descontinuidade; (d) compensação arredondada com ambas as partes da descontinuidade; (e) compensação com recorte apenas na parte exterior da descontinuidade; (f) compensação com percentagem ótima da descontinuidade [74].

Em [74] referem que a melhor forma de realizar a compensação passa pelo recorte com percentagem ótima, como o verificado na figura C.5(f). O corte com a percentagem ótima permite minimizar as perdas por inserção, sendo essa percentagem dada por [75]

$$M = 100 \frac{x}{D} = 52 + 65e^{-1,35\frac{w}{h}}, \quad \frac{w}{h} \geq 0,25, \varepsilon_r \leq 25 \quad (4.1)$$

em que w , h e ε_r são os parâmetros já abordados anteriormente, referentes às características do substrato. Para uma pista com impedância característica $Z_0 = 50 \Omega$ a percentagem ótima é dada por [75]

$$M = 100 \frac{x}{D} = 46 + 2,5\varepsilon_r, \quad \varepsilon_r \leq 16 \quad (4.2)$$

sendo D dado por

$$D = W\sqrt{2} \quad (4.3)$$

Utilizando X , dado pela equação (4.2), calcula-se por fim o valor de A através de

$$A = \left(X - \frac{D}{2}\right)\sqrt{2} \quad (4.4)$$

DEGRAU DE IMPEDÂNCIA

O degrau de impedância, como verificado na figura C.6(a), é outro tipo de descontinuidade, sendo que não é nada mais do que uma sequência de duas pistas com impedâncias características distintas [17]. Encontram-se descontinuidades do tipo degrau de impedância em circuitos de adaptação de impedâncias, transformadores de $\lambda/4$, combinadores/divisores de potência, bem como acopladores direcionais [51].

Na figura C.6(b) pode-se verificar o circuito equivalente de uma descontinuidade em degrau de impedância [17]. A descontinuidade do tipo degrau de impedância dá origem a efeitos negativos nomeadamente na região de transição das duas pistas com impedâncias distintas, causando distorção do campo elétrico e excesso de franjas de campo elétrico, como as que se pode ver na figura C.6(c) [17].

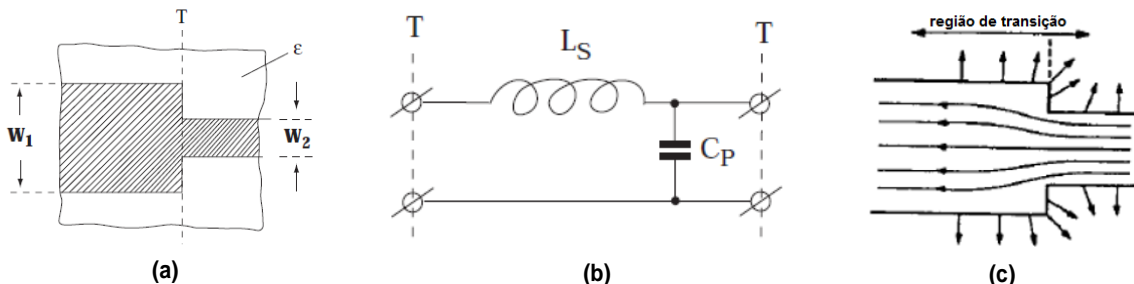


Figura C.6 - Descontinuidade do tipo degrau de impedância: (a) realizado em *microstrip*; (b) circuito elétrico equivalente; efeito de franjas [17] [51].

Existem várias técnicas de modo a realizar a compensação da descontinuidade, uma das quais passa por utilizar um transformador de $\lambda/4$. Contudo, esta solução requer muito espaço. Quando o mesmo não existe, a solução passa por realizar um suave desnível na região de transição do degrau de impedância, de modo a evitar uma mudança abrupta da impedância como se verifica na figura C.7 [74].

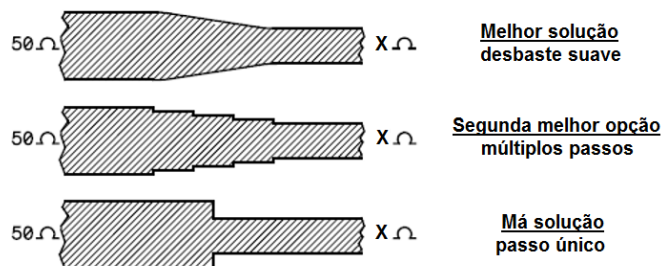


Figura C.7 - Compensação da descontinuidade do tipo degrau de impedância: (a) através do desnível suave; (b) através de do desnível por múltiplos passos; (c) de forma abrupta [74].

Na figura C.8 pode-se verificar qual o melhor ângulo para aplicar ao declive do desbaste a realizar, mediante a frequência de operação. Depois de obter o ângulo calcula-se o comprimento do declive e aplica-se o centro desse mesmo comprimento à zona onde existe a transição.

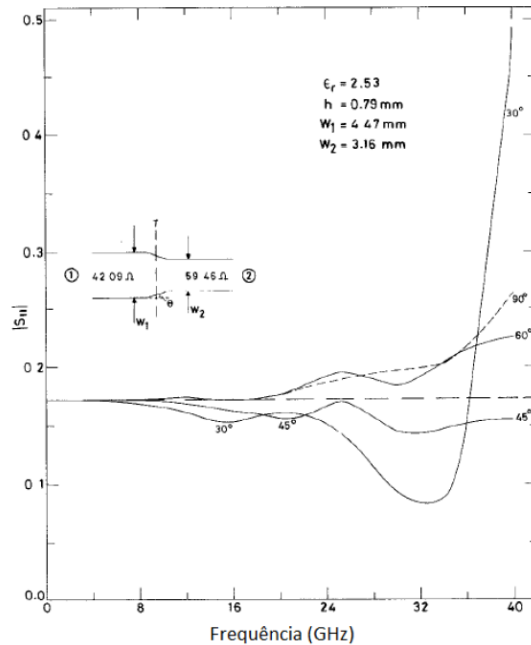


Figura C.8 – Ângulo ideal do declive a aplicar de modo a realizar a compensação da descontinuidade em degrau [75].

Observando a figura B.8, não é possível concluir para a frequência de operação (2,42 GHz) qual o melhor ângulo a aplicar ao declive do desbaste a realizar de modo a proceder com a compensação do tipo descontinuidade. Neste caso utilizou-se o COMSOL e testaram-se os diversos ângulos (30°, 45°, 60° e 90°), chegando-se à conclusão que o melhor ângulo para o qual as perdas por inserção eram mais reduzidas era de 60°, para uma frequência de 2,42 GHz, cuja transição de impedância ocorre de 50 Ω para cerca de 150 Ω .

JUNÇÃO - T

Uma junção - T, como a observada na figura C.9, é provavelmente a descontinuidade mais comum e importante nas rádio frequências, sendo encontradas em combinadores/divisores de potência, circuitos de polarização e circuitos que utilizem díodos PIN como comutadores, por exemplo entre duas pistas [17].

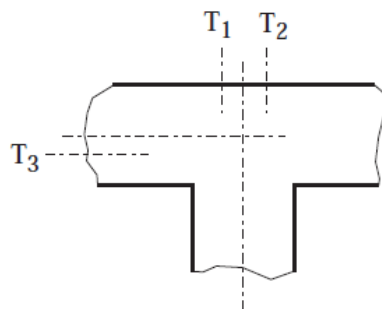


Figura C.9 - Descontinuidade junção - T [17].

Uma descontinuidade do tipo Junção – T pode, caso tratada devidamente, melhorar adaptação entre portas de saída e as de entrada. Para realizar a compensação desta descontinuidade, pode-se realizar um recorte em forma de triângulo, como se verifica na figura C.10 [51].

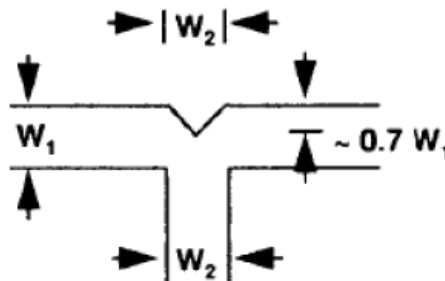


Figura C.10 - Compensação da descontinuidade junção T [51].

Pode-se verificar pela figura C.10 que o triângulo recortado terá uma largura igual à da pista W_2 e a sua profundidade será de $0,7 W_1$, ou seja, 70% da largura da pista W_1 [51]. Na figura C.11 tem-se qual o melhor ângulo para aplicar ao desbaste a realizar na Junção -T, em função frequência de operação.

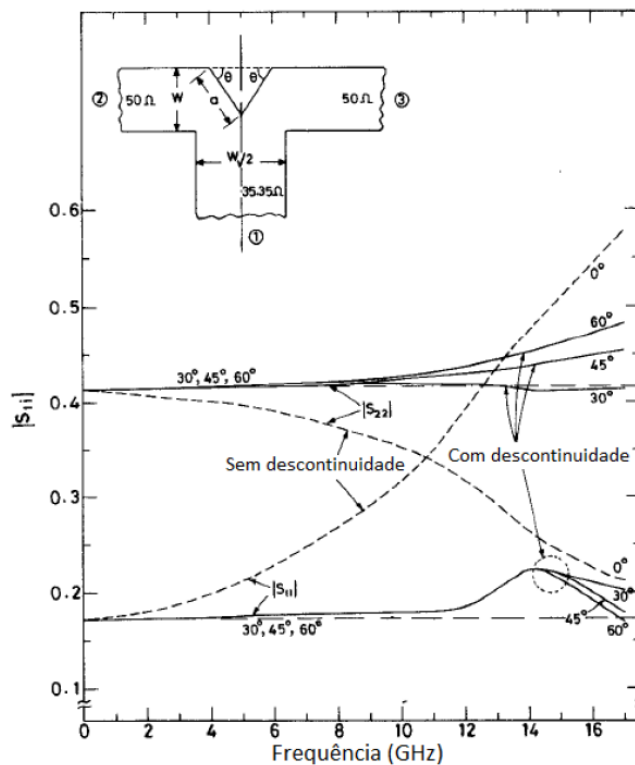


Figura C.11 - Ângulo ideal do recorte a aplicar de modo a realizar a compensação da descontinuidade junção -T [75].

À semelhança da compensação da descontinuidade em degrau, para a descontinuidade junção –T, observando o gráfico da figura C.11, não se consegue retirar conclusões sobre qual o ângulo a aplicar ao recorte para uma frequência de 2,42 GHz. Quando se implementou o combinador/divisor de potência 1:2, verificado no capítulo 3, observou-se pelos resultados das

perdas por inserção, e principalmente pelas perdas por retorno, que era desnecessário aplicar esta compensação de descontinuidade, uma vez que os valores de perdas por inserção era inferior a 0,10 dB e as perdas por retorno eram inferiores a -20 dB indicando uma boa adaptação do sistema.

C.3 Ligação ao plano de massa

Quando se lida com MMIC (*Monolithic microwave and millimeter-wave integrated circuits*), como é o caso dos transístores HEMT SPDT utilizado neste trabalho, é igualmente necessário garantir ao componente uma boa ligação ao plano de massa [70].

Existem diversas formas de realizar a ligação ao plano de massa, contudo para utilizar em MMIC é muito comum vias perfuradas (*vias holes*) ou então as ligações através de fios (*wire bonds*). Optou-se por utilizar vias perfuradas até ao plano de massa, como demonstrado na figura C.12 [70].

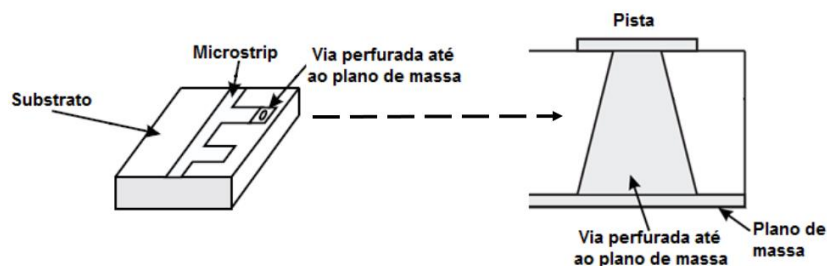


Figura C.12 - Ligação ao plano de massa através de uma via perfurada [70].

Como observado pela figura C.12, uma via para a massa é uma abertura feita entre o plano condutor e o plano de massa, ou seja, ao longo do substrato. Estas vias, quando utilizadas em transístores, díodos, condensadores, resistências, indutores e pistas de transmissão, garantem uma baixa indutância [70].

A forma mais correta de realizar a via para a massa deverá ser através da metalização de toda a abertura desde o plano condutor até ao plano de massa, sendo que em sistemas comerciais é utilizado ouro nesse processo, onde o mesmo é ideal devido à resistência e indutância que apresenta [70]. Contudo, todo este processo é caro e moroso, logo na prática realizaram-se as vias para a massa através de um fio condutor de cobre entre os dois planos.

As vias perfuradas apresentam mais vantagens em relação à ligação feita através de fios, uma vez que permite melhor flexibilidade na localização da ligação ao plano de massa, a sua realização apresenta menor complexidade e a sua eficácia é excelente. A ligação através de fios para o plano de massa é mais vantajoso em termos de custo de implementação e fabricação, face à via perfurada para o plano de massa [70].

Por fim, é de referir que o diâmetro mínimo, que a abertura (*via*) deverá ter, é de cerca de 0,1524 mm [70].

Anexo D – Procedimentos de teste e medidas

Neste anexo pretende-se abordar os procedimentos de testes e medidas dos sistemas que foram construídos experimentalmente. Quando se pretende obter os valores de perdas por retorno e por inserção, bem como valores de fase e SWR, utiliza-se o analisador vetorial de redes. Já quando é pretendido obter os resultados dos diagramas de radiação deve-se recorrer a um analisador de espectros e, preferencialmente, realizar esses mesmos testes no interior de uma câmara anecoica, de modo a evitar interferências externas. Em seguida apresenta-se como se deve proceder por forma a realizar estes testes, sendo no final deste anexo apresentada as formas de construir os cabos para a realização das medições no analisador vetorial de redes.

D.1 Testes com o analisador vetorial de redes

Os aparelhos de medidas que se utiliza para realizar obtenção das perdas por inserção, perdas por retorno, fases, SWR, obtenção de impedâncias, é conhecido como analisador vetorial de redes. Este tem como função refletir o comportamento do DUT (*Device Under Test*). Para além do analisador vetorial de redes e do DUT, também os cabos de interligação fazem parte do processo de medições, tal como observado na figura D.1.

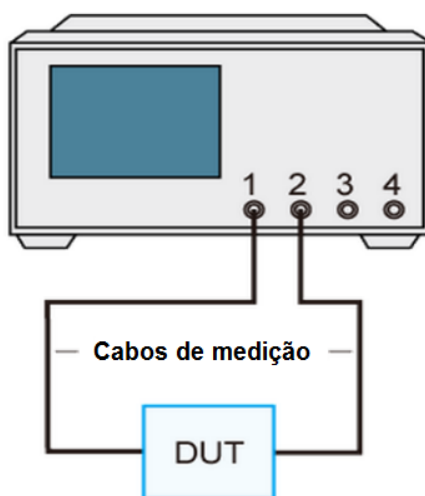


Figura D.1 - Esquema do procedimento de testes e medidas.

Antes de se iniciar o processo de medição, o primeiro procedimento a ser realizado é a calibração do aparelho. Durante o processo de calibração foi verificado que o manual do aparelho não descrevia a melhor forma de realizar a calibração do mesmo, sendo que apenas indicava a forma de realizar a calibração para uma das duas portas de cada vez e não em simultâneo. Ora, quando se realizava a calibração de uma porta, ao mesmo tempo era descalibrada a outra porta. A solução para este problema passou por realizar a calibração do aparelho para as duas portas em simultâneo (sendo que esta forma de calibração não se encontra no manual do utilizador), sendo em seguida descrito o procedimento:

No menu *Channel* do aparelho pressionar o botão *Cal* e selecionar *Start Cal*. Quando surgir o submenu do *Start Cal* selecionar a opção *Two-Port P1 P2*, em seguida selecionar a opção *TOSM* surgindo um novo submenu designado de *Select Physical VNA Test Port Connectors*. Selecionar a opção *Same Connector Type at All Ports* e clicar em *Next*, surgindo o submenu *Measure Standards*, como o apresentado na figura D.2. De modo a realizar a calibração deverá ser utilizada a carga de calibração FSH-Z28, como apresentada na figura D.3.

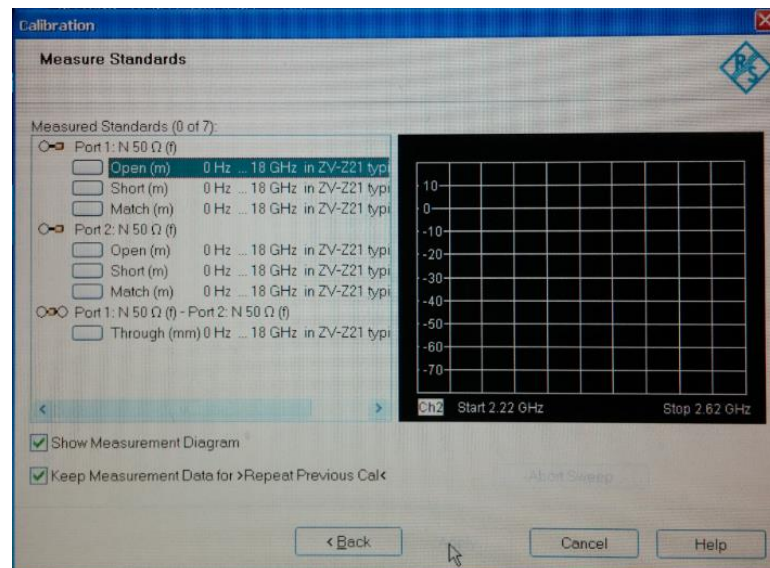


Figura D.2 – Menu *Measure standards*, e respetivas *checkbox* para realização da calibração.



Figura D.3 – Carga utilizada para realizar a calibração do aparelho.

Após introduzir cada uma das cargas (*Load*, *Open* e *Short*) na porta que se pretende calibrar, deverá ser selecionada a *checkbox* correspondente à carga que se acabou de inserir na porta. Após realizar todas as 7 calibrações necessárias neste processo dever-se-á clicar em *Apply* e em seguida aparecerá uma nova janela onde será possível guardar esta calibração, dá-se um nome à calibração e em seguida pressiona-se *Save*.

D.2 Testes na câmara anecoica

Na figura D.4 está representado uma ilustração que exemplifica todo o procedimento tomado na câmara anecoica de como se obter experimentalmente os diagramas de radiação pretendidos.

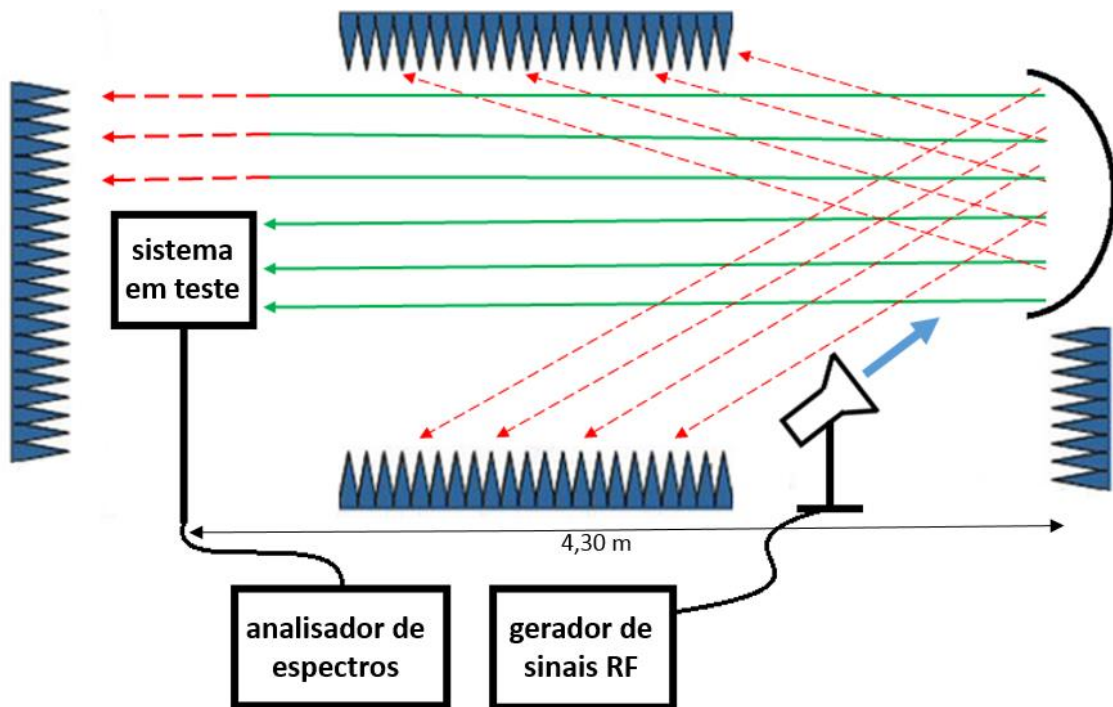


Figura D.4 – Procedimento efetuado para obtenção dos diagramas de radiação.

Como se pode observar pela figura D.4, o procedimento executado foi ligar uma antena corneta a um gerador de sinais com uma frequência central de operação de 2,42 GHz e a transmitir 0 dBm de potência, sendo que o sinal incidiu numa parabólica de modo a espalhar o sinal uniformemente por toda a câmara anecoica. Este sinal atinge o sistema em teste, sendo que os sinais refletidos são absorvidos pelo material absorvente que forma a câmara anecoica. Como se sabe a fase está de um sinal está diretamente relacionada com a intensidade de campo eletromagnético que é verificado numa determinada direção, sendo então essa a forma como se retirou o diagrama de radiação do sistema sobre teste. As medições foram retiradas de 2 em 2 graus, ou seja, cada diagrama de radiação é constituído por 180 medições, obtendo-se assim maior precisão do diagrama de radiação.

D.3 Cabos coaxiais utilizados para as medições

Para a realização deste trabalho foi necessário construir 2 cabos de medição. Os mesmos são importantes uma vez que dever-se-á garantir que introduzem a menor atenuação possível. Desta forma deverão ser curtos e adaptados à impedância característica que se utilizou neste trabalho para as portas de entrada e saída dos sistemas, sendo $Z_0 = 50 \Omega$, para tal utilizou-se o cabo coaxial do tipo RG-58.

Guia para construção dos cabos de medição

Como os aparelhos de medição que estão disponíveis em laboratório são todos de 50Ω , bem como a impedância característica dos sistemas construídos, logo os cabos terão que ter igualmente essa impedância característica.

Foi escolhido o cabo RG58, cuja a frequência máxima do sinal que pode transitar nos mesmos é de 3 GHz e a sua velocidade de propagação no cabo é de $0,66\lambda$. Tendo presente a velocidade de propagação no cabo faltava apenas determinar o comprimento mais apropriado para o mesmo, sendo que deverá ser múltiplos de $\lambda/2$ para que a impedância em ambas as extremidades sejam iguais, evitando desadaptações [19].

Optou-se por um cabo de 3λ . Para tal dividiu-se a velocidade da luz no vácuo pela frequência central de operação (2,42 GHz) e multiplicou-se o resultado pela velocidade de propagação no cabo (0,66) dando o comprimento de onda do sinal quando se propaga no cabo.

Por fim multiplicou-se o valor final obtido por 3, dando um comprimento para o cabo de 24,51 cm. De modo a testar e afinar os cabos utilizou-se um curto circuito, como o verificado na figura D.5 ligado a uma das extremidades, de modo o valor real da impedância seja 0Ω e o imaginário $j0 \Omega$.



Figura D.5 – Curto circuito implementado através de um conector SMA, utilizado para afinar os cabos de medições.

Então conectou-se o cabo com um curto-circuito, como o verificado na figura D.5, a uma das extremidades do cabo e a outra extremidade ligou-se ao analisador de vetorial de redes, sendo este um processo interativo, que foram feitos vários ajustes até chegar a resultados próximos dos pretendidos.

Na figura D.6 estão os dois cabos construídos para retirar os resultados, quando o dispositivo está a ser testado (DUT).



Figura D.6 – Cabos construídos de modo a realizar as medições para uma frequência central de operação de 2,42 GHz, no analisador vetorial de redes.

De salientar que os dois cabos introduzem uma atenuação de 0,3 dB, e que cada um dos conetores (entrada e saída) dos sistemas que estão a ser testados introduzem 0,5 dB de atenuação cada um. Desta forma, no total dos valores que se estão a medir no analisador vetorial de redes tem-se que retirar 1,3 dB de modo a obter o valor correto da atenuação do sistema a medir. Todos os valores retirados com o analisador vetorial de redes e que são apresentados no capítulo 4 já têm o valor de 1,3 dB descontado.

Anexo E – Otimização das pistas do deslocador de fase de linha comutada

Neste anexo pretende-se descrever o processo que se realizou de modo a otimizar o desenho das pistas, para o deslocador de fase de linha comutada implementado no capítulo 4. Em seguida serão apresentados quatro desenhos para um deslocador de fase de 1-bit com desvio de 180° , onde serão obtidos os valores das perdas por inserção e por retorno, bem como os desvios de fase. O objetivo é verificar qual o desenho que apresenta melhor desempenho.

Na figura E.1 está representado o primeiro desenho que se considerou, mas que prontamente foi abandonado uma vez que já era conhecido, mesmo antes da realização deste trabalho, que se deve sempre aplicar a descontinuidade de canto, como referida na secção C.2 do Anexo C. Contudo, achou-se importante apresentar os seus resultados uma vez que permitirá verificar a melhoria no desempenho que a aplicação da descontinuidade de canto proporciona.

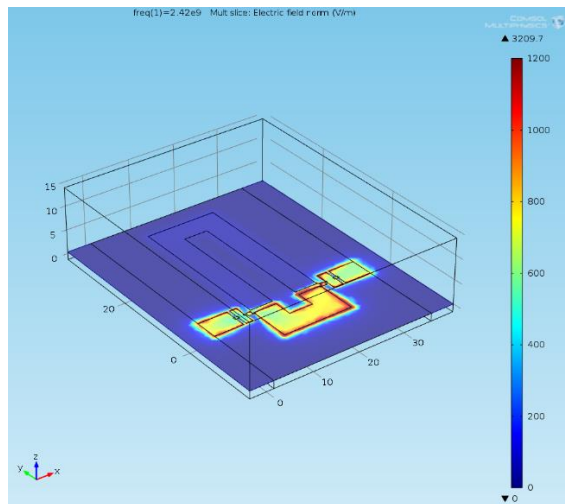


Figura E.1 – Primeiro desenho - deslocador de fase de 1-bit sem aplicação de qualquer compensação de descontinuidade.

Na figura E.2 está representado o segundo desenho que se considerou, sendo que o mesmo apresenta já as descontinuidades de canto aplicadas (assinaladas as alterações com setas verdes) face ao primeiro desenho.

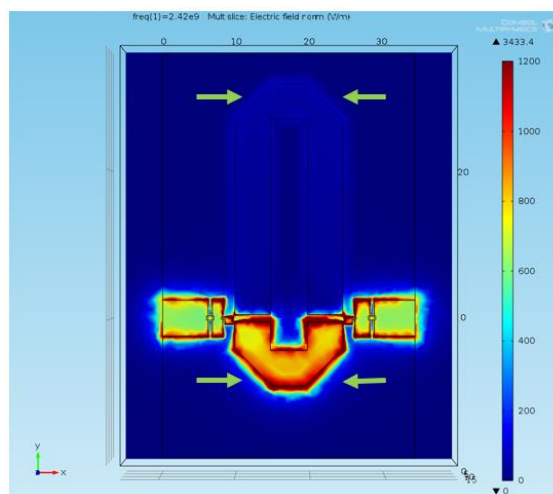


Figura E.2 – Segundo desenho – deslocador de 1-bit com aplicação da compensação da descontinuidade de canto.

Pelo desenho da figura E.2 pode-se verificar algum acoplamento entre a pista de referência e a pista de atraso. Projetou-se o terceiro desenho, apresentado na figura E.3, sendo de referir a abertura existente entre a pista de referência e a pista de atraso de modo a verificar se o desempenho melhorou.

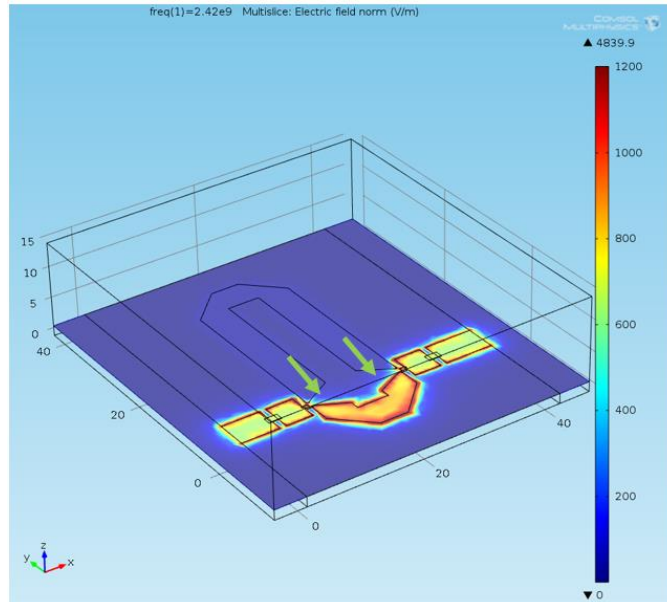


Figura E.3 – Terceiro desenho – deslocador de fase de 1-bit, com afastamento entre a pista de referência e a pista de atraso.

Como se verifica na figura E.3 existe uma passagem abrupta da pista quer para o condensador de bloqueamento do sinal DC quer para o díodo PIN. De modo a minimizar o efeito dessa descontinuidade realizou-se um desbaste suave (com declive de 60°) das esquinas da pista, dando origem ao quarto desenho apresentado na figura E.4.

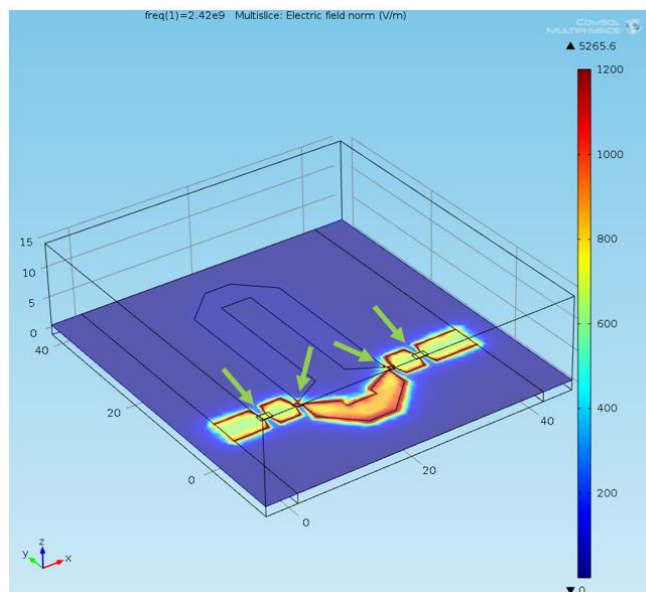


Figura E.4 – Quarto desenho – deslocador de fase de 1-bit com todas as compensações que se achou apropriadas realizar de modo a obter o melhor desempenho possível.

Na tabela E.1 são apresentados os resultados obtidos para os quatro desenhos verificados anteriormente.

Tabela E.1 – Resultados obtidos ao longo de todo o processo de otimização do desenho das pistas do deslocador de fase de 1-bit.

	Desvio aplicado	Perdas por inserção (S_{21}) em dB	Perdas por retorno (S_{11}) em dB	Fase obtida em graus	Diferença de fase obtida em graus
Primeiro desenho	0°	-0,67	-9,57	160,7	171,75
	180°	-0,32	-21,23	-11,05	
Segundo desenho	0°	-0,20	-19,22	172,29	178,71
	180°	-0,32	-29,08	-6,42	
Terceiro desenho	0°	-0,16	-27,27	152,99	178,8
	180°	-0,28	-34,94	-25,81	
Quarto desenho	0°	-0,15	-39,63	151,75	179,35
	180°	-0,28	-33,11	-27,6	

Analisando os resultados apresentados na tabela E.1, em primeiro lugar é claramente notória a melhoria de desempenho verificada do primeiro desenho para o segundo desenho, não só em termos de perdas por inserção, mas sobretudo nas perdas por retorno. Demonstrou-se que a compensação da descontinuidade de canto incrementa o desempenho, nomeadamente na adaptação. Também o erro de fase foi substancialmente reduzido com as melhorias realizadas no desenho das pistas.

Do segundo desenho para o terceiro verificou-se igualmente melhorias sobretudo nas perdas por retorno, ou seja, o afastamento entre a pista de referência e a pista de atraso realizada no terceiro desenho veio melhorar o desempenho, nomeadamente na adaptação do sistema. As diferenças de fase da pista de atraso para a de referência em ambos os desenhos mantiveram-se iguais.

Por fim do terceiro para o quarto desenho verifica-se uma melhoria, embora ligeira, na diferença de fase entre a pista de atraso e a de referência. No que concerne às perdas por inserção, as mesmas mantiveram-se inalteradas. Quanto às perdas por retorno verificou-se que para a pista de atraso o desempenho baixou ligeiramente. Contudo, a pista de referência obteve uma melhoria significativa no desempenho, concluindo-se assim que o quarto desenho é o mais adequado de modo a se obter os erros de fase mais baixos, obter menos perdas por inserção e sobretudo ter um circuito mais adaptado, como verificado através das significativas melhorias que se foram verificando em termos das perdas por retorno.

Anexo F - Controlo do feixe de radiação com o software COMSOL

Pretende-se neste anexo descrever o processo de criação de um agrupamento linear de 4 elementos através do software COMSOL e que foi utilizado para realizar a comparação com os resultados obtidos experimentalmente. Será igualmente descrito o procedimento utilizado para obter os diagramas de radiação dos sistemas implementados.

Como as antenas a utilizar experimentalmente, para obtenção dos diagramas de radiação, foram monopolos, em COMSOL implementou-se igualmente 4 monopolos afastados entre si de $0,5\lambda$.

O procedimento efetuado foi semelhante ao apresentado no capítulo 3, onde então se implementou um combinador de potência de 1:2, sendo que a única diferença em termos de procedimento, para além do desenho da geometria é tipo de física que foi utilizado. De modo a obter o diagrama de radiação foi necessário calcular o campo distante (*Far Field*), sendo que então se deu um limite ao sistema para calcular esse mesmo campo distante, uma esfera, como é demonstrado na figura F.1. Foi definido para cada uma das antenas que a fase de entrada ia ser incrementada, por exemplo, para a antena 1 a fase inicial é 0, para a antena 2 a fase inicial é $1*(fase_porta1)$, para a antena 3 a fase inicial é $2*(fase_porta1)$ e para a antena 4 a fase inicial é $3*(fase_porta1)$. O valor da fase pode variar entre 0 e $112,5^\circ$ com passos de $22,5^\circ$, de modo a criar o desvio de fase do diagrama de radiação.

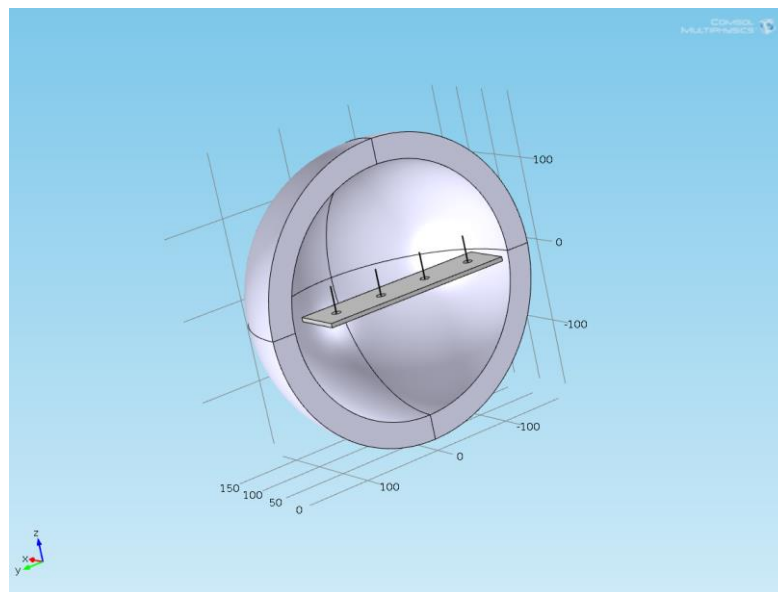


Figura F.1 – Agrupamento linear de 4 antenas monopolo, espaçadas de $0,5\lambda$ de modo, inseridas dentro de uma esfera que indica os limites de simulação do diagrama de radiação (*Far-Field*).

Na figura F.1 pode-se verificar que existem quatro antenas monopolo de $\lambda/4$, idênticas às utilizadas na prática, estando as mesmas encaixadas numa placa Duroid 5880, $\epsilon_r = 2,2$ e $h = 1,588\text{ mm}$. Foram igualmente definidas as regiões de aplicação das malhas, sendo utilizadas três regiões distintas, a primeira para as antenas, a segunda para a placa e para o ar que se encontra dentro da esfera e a terceira para a zona do campo distante (*far-field*) que foi definido, podendo-se observar as três malhas implementadas na figura F.2.

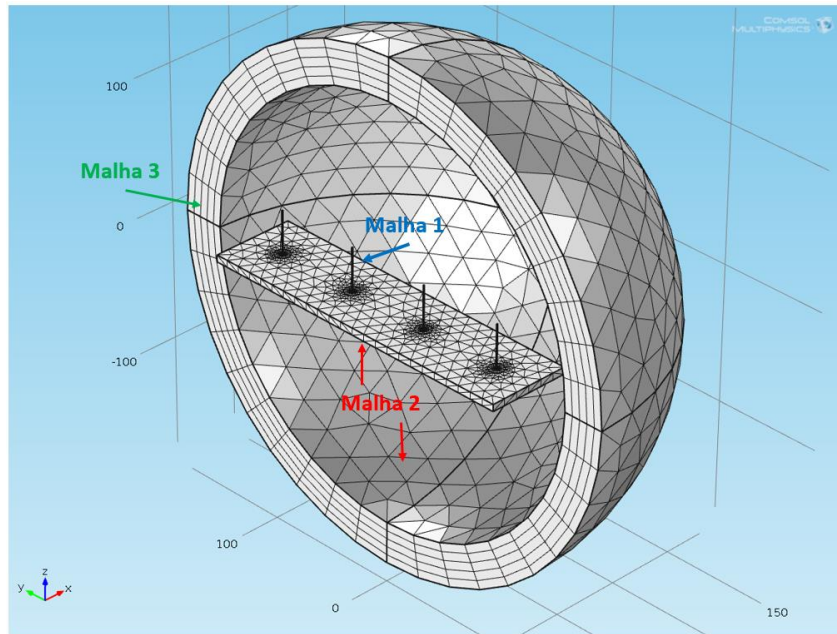


Figura F.2 – Indicação na geometria de onde foram aplicadas as três malhas de segmentação distintas.

De modo a visualizar os diagramas de radiação no formato polar, em *Results* escolheu-se a opção *Polar Plot Group*, obtendo-se o resultado apresentado na figura F.3(a). Caso se pretenda visualizar o diagrama de radiação em 3D, seleciona-se a opção *3D Plot Group* e posteriormente seleciona-se a opção *Far Field*, obtendo-se o resultado apresentado na figura F.3(b).

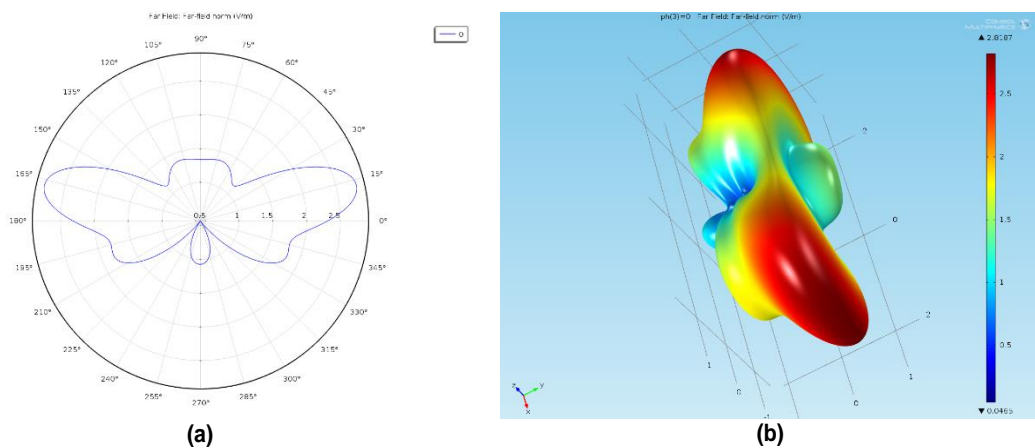


Figura F.3 – Diagramas de radiação obtidos em COMSOL: (a) polar em escala linear; (b) em 3D.

Anexo G – Determinação do espaçamento ideal entre antenas

Neste anexo pretende-se encontrar o espaçamento entre antenas do agrupamento, que proporcione um melhor desempenho. Como mencionado no capítulo 2 deste trabalho, para além da alteração da magnitude e fase das correntes que chegam às diversas antenas que formam um agrupamento, o espaçamento entre antenas é uma outra forma de realizar controlo sobre o diagrama de radiação. Em seguida serão apresentados três diagramas de radiação, para $0,4\lambda$, $0,5\lambda$ e $0,6\lambda$ de espaçamento entre antenas para uma diferença de fases entre portas de saída de $67,5^\circ$, sendo para tal utilizado o COMSOL.

Na figura G.1 observa-se o diagrama de radiação para o espaçamento entre antenas de $0,4\lambda$.

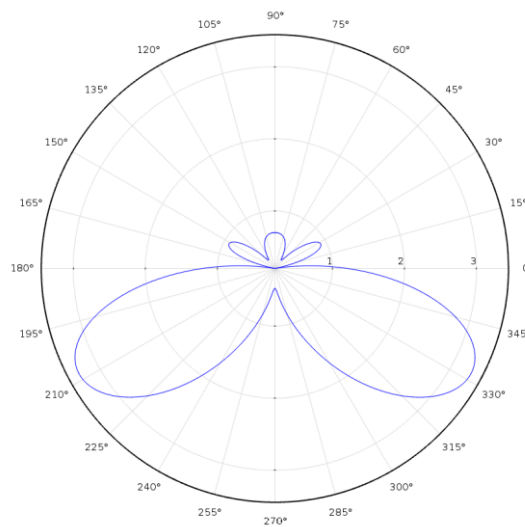


Figura G.1 – Diagrama de radiação obtido para um agrupamento de 4 antenas monopolo, espaçadas entre si de $0,4\lambda$, para um desvio de fase de $67,5^\circ$ (escala linear).

Na figura G.2 observa-se o diagrama de radiação para o espaçamento entre antenas de $0,5\lambda$.

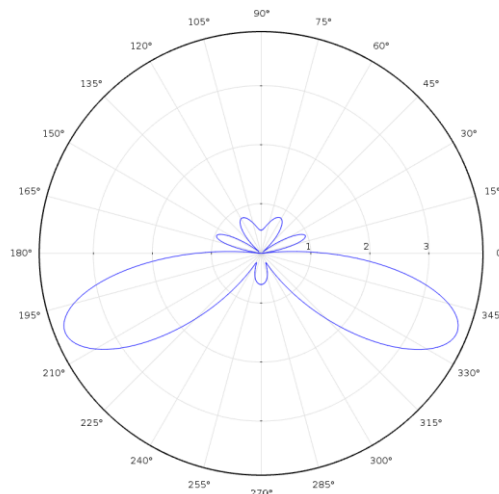


Figura G.2 - Diagrama de radiação obtido para um agrupamento de 4 antenas monopolo, espaçadas entre si de $0,5\lambda$, para um desvio de fase de $67,5^\circ$ (escala linear).

Na figura G.3 observa-se o diagrama de radiação para o espaçamento entre antenas de $0,6\lambda$.

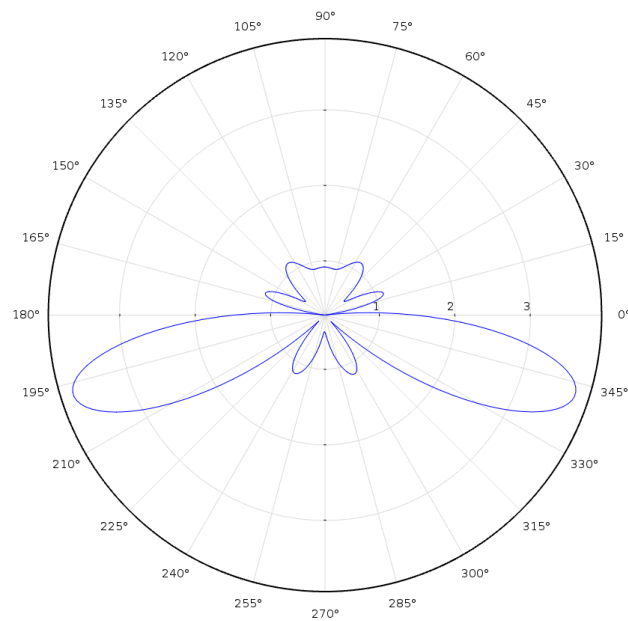


Figura G.3 - Diagrama de radiação obtido para um agrupamento de 4 antenas monopolo, espaçadas entre si de $0,6\lambda$, para um desvio de fase de $67,5^\circ$ (escala linear).

Pelos resultados apresentados nos três diagramas de radiação anteriores verifica-se que, efetivamente, o espaçamento entre as antenas numa agrupamento, influencia o diagrama de radiação. Não só se verificou a influência na largura do lóbulo principal, mas também nas diferentes fases que se obteve em cada um.

Chegou-se à conclusão que de modo a obter o melhor compromisso entre largura do feixe e o desvio do mesmo, a distância entre antenas que deveria ser utilizada para obter o controlo do diagrama de radiação deveria ser de $0,5\lambda$.