

PM

**Conversor Analógico-Digital SAR  
de Alta Velocidade e Precisão  
para Sensores de Imagem CMOS**

PROJETO DE MESTRADO

**Marcos Cró Gouveia**

MESTRADO EM ENGENHARIA ELETROTÉCNICA - TELECOMUNICAÇÕES



UNIVERSIDADE da MADEIRA

*A Nossa Universidade*

[www.uma.pt](http://www.uma.pt)

setembro | 2025

# **Conversor Analógico-Digital SAR de Alta Velocidade e Precisão para Sensores de Imagem CMOS**

PROJETO DE MESTRADO

**Marcos Cró Gouveia**

MESTRADO EM ENGENHARIA ELETROTÉCNICA - TELECOMUNICAÇÕES

ORIENTAÇÃO

João Dionísio Simões Barros

COORIENTAÇÃO

Rodolfo Henrique Silva Rodrigues

# Resumo

Este trabalho apresenta o desenvolvimento de um conversor analógico-digital (*Analog-Digital Converter*, ADC) de aproximações sucessivas (*Successive-Approximation Register*, SAR) de alta velocidade e precisão, destinado à integração em sensores de imagem CMOS (Metal-Óxido-Semicondutor Complementar). A arquitetura do ADC foi otimizada para obter rápida conversão e elevada exatidão, adequando-se às exigências de sistemas de captura de imagem modernos. O projeto incluiu o dimensionamento e implementação, ao nível do transístor, dos principais blocos funcionais do ADC SAR, nomeadamente um conversor digital-analógico (*Digital-Analog Converter*, DAC) de rede resistiva, um comparador dinâmico de baixo consumo e a lógica de controlo SAR, em tecnologia CMOS de 65 nm. Adicionalmente, integrou-se a técnica de amostragem dupla correlacionada (*Correlated Double Sampling*, CDS) no sistema, permitindo mitigar o ruído e o *offset* do sinal proveniente do ADC. As simulações do circuito foram realizadas no ambiente Cadence Virtuoso. Os resultados obtidos demonstram que o ADC atingiu um tempo de conversão de aproximadamente  $0,4 \mu\text{s}$  por amostra (cerca de 2,5 MS/s) para uma resolução de 10 *bits*, com consumo de potência na ordem de 1 mW. Verificou-se uma elevada linearidade estática, com DNL (*Differential Non-Linearity*) e INL (*Integral Non-Linearity*) inferiores a  $\pm 0,25$  LSB (*Least Significant Bit*), sem códigos faltantes. A implementação da técnica CDS revelou-se eficaz, sendo possível eliminar o *offset* previamente presente no sistema, conforme comprovado pelos resultados obtidos.

Palavras-Chave: Sensor de imagem, CMOS, ADC, SAR, CDS.

# Abstract

This work presents the development of a high-speed and high-precision Successive Approximation Analog-to-Digital Converter (SAR ADC), designed for integration in CMOS (Complementary Metal-Oxide Semiconductor) image sensors. The ADC's architecture was optimized to achieve fast conversion and high accuracy, meeting the demands of image capture systems. The project involved transistor-level implementation of the main SAR ADC blocks, including a resistor-string Digital-to-Analog Converter (DAC), a low-power dynamic comparator, and SAR control logic, using 65 nm CMOS technology. The Correlated Double Sampling (CDS) technique was also integrated into the system to reduce noise and offset. Circuit simulations were carried out using the Cadence Virtuoso environment. The results show that the ADC achieved a conversion time of  $0.4 \mu\text{s}$  per sample (approximately 2.5 MS/s) with 10-bit resolution and a power consumption close 1 mW. Excellent static linearity was verified, with DNL (Differential Non-Linearity) and INL (Integral Non-Linearity) within  $\pm 0.25$  LSB (Least Significant Bit) and no missing codes. The implementation of the CDS technique proved effective, successfully eliminating the offset previously present in the system and contributing to the overall performance of the converter.

Keywords: Image sensor, CMOS, ADC, SAR, CDS.

# Agradecimentos

A elaboração desta dissertação representou não apenas um desafio académico, mas também uma etapa de grande crescimento pessoal e profissional. Este percurso não teria sido possível sem o apoio, a orientação e o incentivo de várias pessoas e instituições, às quais deixo aqui o meu sincero reconhecimento.

Gostaria de expressar a minha profunda gratidão ao meu orientador, Professor João Dionísio Simões Barros, pelos conhecimentos transmitidos, pela serenidade com que me guiou nos momentos mais desafiantes e pelas valiosas contribuições para este trabalho. A sua orientação foi determinante para o sucesso desta dissertação e constitui, para mim, uma fonte de inspiração e admiração.

Ao meu co-orientador, Engenheiro Rodolfo Rodrigues, deixo um agradecimento especial pela dedicação com que acompanhou todo o desenvolvimento do trabalho, desde a sua conceção até à sua conclusão.

Ao Engenheiro Frederic Melim, agradeço pelo apoio prestado e pela partilha de conhecimentos que foram essenciais para o avanço deste trabalho.

Estendo também o meu agradecimento a toda a equipa de *design* da ams OSRAM Funchal — Elena Gouveia, Paulo Franco, Alice Andrade, Duarte Gonçalves, Sérgio Pestana e Miguel Freitas — pelo acolhimento e por criarem um ambiente de trabalho confortável e motivador.

À Silviya Angelova e ao Agostinho Teixeira, deixo o meu reconhecimento pela prontidão em ajudar sempre que necessário.

No seu conjunto, um sincero obrigado à empresa ams OSRAM Funchal pela oportunidade de desenvolver este trabalho.

Agradeço igualmente à Universidade da Madeira, a todos os docentes, ao Engenheiro Filipe Santos, bem como aos meus colegas e amigos por me proporcionarem uma jornada académica enriquecedora e gratificante.

Aos meus pais, Marco e Sílvia, e aos meus irmãos, Gonçalo e Carolina, agradeço por serem o meu suporte e por me proporcionarem todas as condições para alcançar os meus objetivos.

# Índice

<b>Resumo</b>	<b>iii</b>
<b>Abstract</b>	<b>iv</b>
<b>Agradecimentos</b>	<b>v</b>
<b>Índice</b>	<b>vi</b>
<b>Lista de Figuras</b>	<b>ix</b>
<b>Lista de Tabelas</b>	<b>xii</b>
<b>Lista de Abreviaturas</b>	<b>xiii</b>
<b>Lista de Símbolos</b>	<b>xv</b>
<b>1 Introdução</b>	<b>1</b>
1.1 Motivação . . . . .	1
1.2 Objetivos . . . . .	2
1.3 Organização do Documento . . . . .	3
<b>2 Revisão da Bibliografia</b>	<b>5</b>
2.1 Fundamentos dos Sensores de Imagem . . . . .	5
2.1.1 Arquiteturas de Sensores de Imagem: CCD e CMOS . . . . .	7
2.1.2 Arquiteturas de Píxel: PPS e APS . . . . .	8
2.2 Fundamentos Teóricos dos Conversores Analógico-Digitais (ADC) . . . . .	10
2.2.1 Resolução e Erro de Quantização . . . . .	11
2.2.2 <i>Offset</i> e Ganho . . . . .	12
2.2.3 Linearidade: Não-Linearidade Diferencial e Integral . . . . .	14

---

2.2.4	Frequência de Amostragem, Velocidade de Conversão e Consumo de Potência . . . . .	16
2.3	Arquiteturas de Conversores Analógico-Digital . . . . .	17
2.3.1	ADC <i>Flash</i> . . . . .	17
2.3.2	ADC Rampa . . . . .	18
2.3.3	ADC por Aproximações Sucessivas (SAR) . . . . .	19
2.3.4	Comparação entre Topologias de ADC . . . . .	23
2.4	Conversor Digital-Analógico (DAC) . . . . .	24
2.4.1	DAC baseado numa Cadeia Resistiva . . . . .	24
2.4.2	DAC baseado numa Rede R-2R . . . . .	26
2.4.3	DAC baseado numa Rede Capacitiva . . . . .	28
2.5	Comparadores nos ADC SAR . . . . .	30
2.5.1	Funcionamento e Parâmetros dos Comparadores . . . . .	30
2.5.2	Topologias de Comparadores . . . . .	32
2.6	Amostragem Dupla Correlacionada (CDS) . . . . .	34
2.6.1	Ruído em Sensores de Imagem CMOS . . . . .	34
2.6.2	Fundamento da Amostragem Dupla Correlacionada . . . . .	35
2.6.3	CDS Analógico vs CDS Digital . . . . .	36
2.6.4	Impacto do CDS em ADC de Rampa e SAR . . . . .	39
<b>3</b>	<b>Desenho da Arquitetura do ADC</b>	<b>43</b>
3.1	Enquadramento do Capítulo . . . . .	43
3.2	Proposta de ADC . . . . .	46
3.2.1	Conversor Digital-Analógico (DAC) . . . . .	46
3.2.2	Comparador . . . . .	47
3.2.3	Lógica SAR . . . . .	48
<b>4</b>	<b>Projeto dos Circuitos do ADC</b>	<b>50</b>
4.1	DAC em Cadeia Resistiva . . . . .	50
4.2	Circuito de Amostragem (S&H) . . . . .	59
4.3	<i>Buffer</i> . . . . .	61
4.4	Comparador — <i>StrongARM Latch</i> . . . . .	63
4.4.1	Desequilíbrios do Circuito . . . . .	65
4.4.2	Velocidade . . . . .	66

4.4.3	Ruído de <i>Kickback</i> . . . . .	67
4.5	Lógica SAR . . . . .	68
<b>5</b>	<b>Análise de Resultados</b>	<b>71</b>
5.1	Avaliação da Precisão do DAC . . . . .	72
5.2	Caracterização do Comparador . . . . .	75
5.3	Testes do <i>Buffer</i> . . . . .	78
5.4	Análise de Desempenho do ADC SAR . . . . .	80
5.4.1	Velocidade e Consumo de Potência . . . . .	80
5.4.2	Linearidade . . . . .	84
5.4.3	Impacto do CDS no desempenho do ADC . . . . .	86
5.5	Análise comparativa com o ADC do sensor P110 e outras implemen- tações SAR da literatura . . . . .	89
<b>6</b>	<b>Conclusão</b>	<b>92</b>
6.1	Conclusões Gerais . . . . .	92
6.2	Propostas de Melhoria e Trabalhos Futuros . . . . .	94
	<b>Referências Bibliográficas</b>	<b>96</b>
<b>A</b>	<b>Erro do DAC R-2R</b>	<b>103</b>

# Lista de Figuras

2.1	Filtro de cores Bayer [4]. . . . .	6
2.2	Estrutura interna de um píxel passivo (PPS) e um píxel ativo (APS) [16].	9
2.3	Diagrama de blocos genérico de um ADC — Adaptado de [17]. . . . .	10
2.4	Ilustração da (a) curva de transferência ideal de um ADC e respectivo (b) erro de quantização associado a uma conversão analógica-digital [17].	11
2.5	Ilustração dos erros de (a) <i>offset</i> e (b) ganho na curva de transferência de um ADC — Adaptado de [17]. . . . .	13
2.6	Ilustração dos erros de linearidade (a) diferencial (DNL) e (b) integral (INL) na curva de transferência de um ADC [17]. . . . .	15
2.7	Arquitetura típica de um ADC <i>flash</i> — Adaptado de [17]. . . . .	18
2.8	Arquitetura típica de um ADC Rampa — Adaptado de [17]. . . . .	19
2.9	Arquitetura típica de um ADC SAR — Adaptado de [17]. . . . .	20
2.10	Exemplo de uma conversão SAR de 4 <i>bits</i> — Adaptado de [21]. . . . .	21
2.11	Fluxograma do algoritmo de aproximações sucessivas — Adaptado de [22]. . . . .	22
2.12	Comparação entre diversas topologias de ADC em termos de resolu- ção e velocidade de conversão [21]. . . . .	23
2.13	Arquitetura típica de um DAC baseado numa rede resistiva [17]. . . . .	25
2.14	Arquitetura típica de um DAC baseado numa rede $R$ - $2R$ [17]. . . . .	26
2.15	Arquitetura típica de um DAC baseado numa rede capacitiva [17]. . . . .	28
2.16	Princípio de funcionamento de um comparador [17]. . . . .	30
2.17	Curva de resposta de um comparador (a) ideal e (b) não ideal [31]. . . . .	31
2.18	Ilustração de um comparador afetado por uma tensão de <i>offset</i> [22] . . . . .	32

2.19	Comparação entre os diferentes tipos de CDS num sensor de imagem CMOS, sob as mesmas condições de exposição à luz. Em (a) sem aplicação de CDS, em (b) com aplicação de CDS analógico, em (c) com aplicação de CDS digital e em (d) com a combinação de CDS analógico e digital. . . . .	37
2.20	Formas de onda de uma conversão CDS num ADC de rampa com ganho (a) $\times 1$ e (b) $\times 4$ . . . . .	41
3.1	Diagrama de blocos do ADC em rampa do sensor P110. . . . .	44
3.2	Proposta de arquitetura para o ADC SAR. . . . .	46
3.3	Diagrama de blocos do comparador <i>StrongARM Latch</i> . . . . .	48
3.4	Diagrama de blocos da lógica SAR. . . . .	49
4.1	Implementação do DAC em cadeia resistiva de 10 <i>bits</i> . . . . .	53
4.2	Tempo de resposta do DAC com resistência unitária de 24 $\Omega$ . . . . .	55
4.3	Tempo de resposta do DAC com resistências unitárias de 5 $\Omega$ e 24 $\Omega$ . . . . .	56
4.4	Ilustração das capacidades parasitas do nó de saída do DAC em cadeia resistiva. . . . .	57
4.5	Arquitetura do DAC em cadeia resistiva com a introdução de conjuntos de interruptores binários para diminuição da capacidade de saída [17]. . . . .	58
4.6	Comparação dos tempos de resposta do DAC com interruptores binários com resistência unitária de 5 $\Omega$ e com o esquema de ativação convencional para resistências unitárias de 24 $\Omega$ e 5 $\Omega$ . . . . .	59
4.7	(a) Circuito de amostragem convencional e respetivo (b) modelo equivalente [49]. . . . .	60
4.8	Esquemático do <i>buffer</i> implementado. . . . .	62
4.9	Esquemático do comparador <i>StrongARM Latch</i> implementado. . . . .	64
4.10	Caminhos do ruído <i>kickback</i> num <i>StrongARM Latch</i> [33]. . . . .	68
4.11	Esquemático da lógica SAR implementado — Adaptado de [48]. . . . .	69
5.1	Erro absoluto da tensão de saída do DAC em cadeia resistiva. . . . .	73
5.2	Dispersão do erro absoluto do DAC para os códigos (a) 100 e (b) 950. . . . .	74

5.3	Comparativo do <i>offset</i> e do tempo de resposta do comparador em função de $V_{CM}$ para o par diferencial de entrada com $W/L=10$ e corrente (a) $I_0=200\mu A$ e (b) $I_0=20\mu A$ . . . . .	76
5.4	Comparativo do <i>offset</i> e do tempo de resposta do comparador em função de $V_{CM}$ para o par diferencial de entrada com (a) $W/L=5$ e corrente (a) $I_0=200\mu A$ e (b) $I_0=20\mu A$ . . . . .	77
5.5	Tempo de resposta do Comparador. . . . .	81
5.6	Distribuição percentual dos tempos de <i>settling</i> dos principais blocos do ADC SAR ao longo de um ciclo de conversão. . . . .	82
5.7	Representação temporal dos sinais de controlo que coordenam a operação do ADC SAR com margem de segurança distribuída. . . . .	82
5.8	Distribuição percentual do consumo médio de corrente pelos blocos principais do ADC. . . . .	83
5.9	Curvas de transferência obtidas do ADC SAR: comparação entre o comportamento ideal e o obtido em simulação. . . . .	84
5.10	Resultados obtidos dos erros de (a) DNL e (b) INL do ADC SAR. . . . .	85
5.11	Representação em árvore dos possíveis resultados de uma conversão CDS, considerando o erro de quantização associado a duas conversões consecutivas. . . . .	86
5.12	Comparação do histograma do código final obtido após uma simulação Monte Carlo (a) sem CDS e (b) com CDS. . . . .	88
5.13	Comparação dos tempos totais de conversão para diferentes ganhos do ADC do P110 e o ADC SAR desenvolvido neste trabalho. . . . .	91
A.1	Erro absoluto da tensão de saída do DAC $R-2R$ . . . . .	103

# Lista de Tabelas

2.1	Comparação qualitativa de diferentes topologias de comparadores. . .	33
4.1	Exemplo da palavra digital $D_i\langle k \rangle$ formada para $i = 0$ a $7$ e $k = 0$ a $9$ , onde $S = \text{SAR\_DAC\_SET}\langle k \rangle$ e $N = \text{SAR\_DAC\_SET\_N}\langle k \rangle$ . . . . .	54
4.2	Evolução dos sinais internos da lógica SAR durante a conversão. . . .	70
5.1	Contribuição dos diferentes transístores do comparador no <i>offset</i> do mesmo para diferentes valores de $V_{\text{CM}}$ nas simulações Monte Carlo. . .	78
5.2	Margem de fase e frequência de ganho unitário do <i>buffer</i> para diferentes valores de $I_{\text{BIAS}}$ e $W/L$ ( $M_8, M_9$ ). . . . .	79
5.3	Resumo das principais características de diferentes propostas de ADC SAR presentes na literatura, incluindo o ADC do P110 e o desenvolvido neste trabalho. . . . .	90

# Lista de Abreviaturas

ADC	Conversor Analógico-Digital.
APS	Sensor de Pixel Ativo.
CCD	Dispositivo de Carga Acoplada.
CDS	Amostragem Dupla Correlacionada.
CMOS	Metal-Óxido-Semicondutor Complementar.
DAC	Conversor Digital-Analógico.
DICOM	Imagem Digital e Comunicações em Medicina.
DNL	Não-Linearidade Diferencial.
DVO	Desvio da Tensão de Saída.
FPN	Ruído de Padrão Fixo.
GSDF	Função Padrão de Apresentação em Tons de Cinzento.
INL	Não-Linearidade Integral.
IoT	Internet das Coisas.
JND	Diferenças Justo Percetíveis.
LSB	Bit Menos Significativo.
MOM	Metal-Óxido-Metal.
MOS	Metal-Óxido-Semicondutor.
MOSFET	Transístor de Efeito de Campo Metal-Óxido-Semicondutor.

## Lista de Abreviaturas

---

MSB	Bit Mais Significativo.
NMOS	Transístor de óxido metálico com canal N.
PCM	Modulação por Código de Impulsos.
PMOS	Transístor de óxido metálico com canal P.
PPS	Sensor de Pixel Passivo.
PVT	Processo, Tensão e Temperatura.
S&H	Amostragem e Retenção.
SAR	Registo de Aproximações Sucessivas.
SNR	Relação Sinal-Ruído.

# Lista de Símbolos

$\alpha$	Coeficiente de variação da resistência com a temperatura.
$A$	Área.
$\beta$	Coeficiente de transcondutância.
$B$	Largura de banda.
$c$	Velocidade da luz.
$C$	Capacidade.
$C_{ds}$	Capacidade parasita entre o dreno e a fonte de um transistor MOS.
$C_{gd}$	Capacidade parasita entre a porta e o dreno de um transistor MOS.
$C_{gs}$	Capacidade parasita entre a porta e a fonte de um transistor MOS.
$C_{ox}$	Capacidade de óxido do transistor MOS.
$C_{sb}$	Capacidade parasita entre a fonte e o substrato de um transistor MOS.
$\Sigma \Delta$	Sigma-Delta.
$E_{\text{photon}}$	Energia do fóton.
$f_{\text{clk}}$	Frequência do relógio.
$g_m$	Transcondutância do transistor.
$h$	Constante de Planck.
$I_0$	Corrente de referência.
$I_{\text{BIAS}}$	Corrente de polarização.

## Lista de Símbolos

---

$k$	Constante de Boltzmann.
$\lambda$	Frequência da luz.
$lb$	Libra.
$L$	Comprimento do canal do transistor MOS.
$N$	Número de <i>bits</i> do conversor.
$\sigma$	Desvio padrão.
$\rho$	Densidade de capacitância.
$Q_e$	Erro de quantização.
$r_{ON}$	Resistência de condução.
$R$	Resistência.
$R_{REF}$	Resistência de referência.
$S/s$	Amostras por segundo.
$\tau$	Constante de tempo.
$\tau_{reg}$	Constante de tempo de regeneração.
$t_c$	Tempo de conversão do conversor.
$t_{ramp,rst}$	Tempo de reinicialização da rampa.
$T$	Temperatura absoluta.
$T_{CLK}$	Período de conversão.
$T_p$	Tempo de propagação.
$T_{REF}$	Temperatura de referência.
$T_s$	Tempo de amostragem.
$\mu$	Valor médio.
$\mu_n$	Mobilidade dos portadores de carga de um transistor MOS.

$v_{IN}$	Tensão de entrada do conversor.
$V_{CM}$	Tensão em modo comum.
$V_{DAC}$	Tensão de saída do DAC.
$V_{DD}$	Tensão de alimentação.
$V_{DSAT}$	Tensão de saturação.
$V_{GS}$	Tensão entre o terminal porta e fonte de um transistor MOS.
$V_{OH}$	Nível de tensão lógico alto.
$V_{OL}$	Nível de tensão lógico baixo.
$V_{OS}$	Tensão de <i>offset</i> .
$V_{REF}$	Tensão de referência do conversor.
$V_{RMS}$	Valor eficaz da tensão.
$V_{RST}$	Tensão de reinicialização.
$V_{SIG}$	Tensão de sinal.
$V_{TH}$	Tensão de limiar.
$W$	Largura do canal do transistor MOS.

# Introdução

A evolução dos sensores de imagem CMOS (Metal-Óxido-Semicondutor Complementar) tem impulsionado o desenvolvimento de conversores analógico-digitais (*Analog-Digital Converter*, ADC) com maior eficiência, melhor desempenho e elevada capacidade de integração. Este capítulo apresenta o enquadramento do trabalho desenvolvido, começando pela motivação e os desafios associados à conversão de sinais em sensores de imagem. Seguem-se a definição dos objetivos da dissertação e a descrição da sua estrutura, de forma a orientar o leitor ao longo do documento.

## 1.1. Motivação

Os sensores de imagem CMOS tornaram-se fundamentais numa vasta gama de dispositivos, desde câmaras digitais e *smartphones* até equipamentos médicos e sistemas de visão em veículos autónomos. A popularidade dos sensores CMOS deve-se à sua eficiência energética, elevada integração de circuitos de processamento no mesmo *chip* e custo competitivo face a outras tecnologias.

Nestes sensores, cada píxel converte a luz incidente num sinal analógico (uma carga ou tensão elétrica) que representa a intensidade luminosa capturada. Para obter uma imagem digital é necessário ler e quantizar estes sinais analógicos, o que requer a utilização de conversores analógico-digitais integrados no próprio sensor. O desempenho do ADC influencia diretamente a qualidade da imagem e a velocidade de leitura do sensor. A resolução de uma conversão determina a gama dinâmica e os níveis de cor ou cinza representáveis, enquanto a velocidade de conversão afeta a taxa de fotogramas (*frames* por segundo) e, conseqüentemente, a capacidade de capturar movimento. Além disso, dado que muitos sistemas de aquisição de imagem

são portáteis ou possuem restrições térmicas – por exemplo, sensores em endoscópios ou câmaras de alta resolução - é crucial que o ADC apresente um baixo consumo de potência, evitando aquecimento excessivo e preservando a autonomia do dispositivo.

Existe, portanto, uma forte motivação para desenvolver ADC integrados em sensores de imagem que combinem alta velocidade de conversão, boa precisão e eficiência energética, de forma a responder às crescentes exigências de desempenho em sistemas de aquisição de imagem.

## 1.2. Objetivos

Pretende-se, com este trabalho, atingir os seguintes objetivos:

- Revisão do estado da arte – Efetuar um levantamento da literatura relevante sobre sensores de imagem CMOS e conversores analógico-digitais, incluindo as diferentes topologias de ADC (SAR, rampa, *flash*, sigma-delta, entre outras) e os seus blocos constituintes, bem como técnicas de leitura de sensores de imagem e processamento de sinal, como a técnica de amostragem dupla correlacionada (*Correlated Double Sampling, CDS*);
- Desenho da arquitetura do ADC – Conceber uma arquitetura de um conversor ADC otimizado para sensores de imagem, capaz de operar com elevada taxa de conversão, baixo consumo de potência e boa linearidade, adequando-se às exigências de sensores de alta resolução e velocidade;
- Projeto dos circuitos eletrônicos – Dimensionar e projetar os circuitos eletrônicos correspondentes aos blocos funcionais do ADC proposto - DAC, comparador, circuitos de amostragem e retenção, lógica SAR, entre outros - implementando soluções a nível do transístor em tecnologia CMOS de 65 nm com auxílio do *software* Cadence Virtuoso;
- Testes e validação em simulação – Realizar simulações extensivas do ADC e dos respetivos blocos constituintes para avaliar o seu desempenho em termos de velocidade, consumo e linearidade. Pretende-se também comparar os resultados obtidos com o ADC rampa do sensor P110 da ams OSRAM [1], bem como com outras soluções de ADC SAR disponíveis na literatura, de forma a

quantificar as melhorias e posicionar a arquitetura proposta face ao estado da arte.

- Integração da técnica CDS – Integrar a capacidade de realizar a técnica CDS no conversor proposto, de forma a reduzir o ruído e o erro de *offset* presentes no sistema. Avaliar, através de simulação, o impacto do CDS no desempenho do ADC e verificar as vantagens desta funcionalidade face ao conversor de rampa tradicional.

### 1.3. Organização do Documento

Este documento encontra-se estruturado em seis capítulos, conforme se descreve de seguida.

No Capítulo 1, Introdução, apresenta-se o contexto e a motivação do trabalho, destacando a importância dos ADC em sensores de imagem. São definidos os objetivos da investigação e descrita a organização global da dissertação.

No Capítulo 2, Revisão da Bibliografia, apresentam-se os fundamentos teóricos e o contexto do trabalho, começando por abordar o funcionamento dos sensores de imagem CMOS — arquitetura do píxel, tecnologias de sensores imagem e técnicas de leitura, incluindo a redução de ruído por CDS. São apresentados a definição dos conceitos básicos dos conversores analógico-digitais — resolução, quantização, linearidade, velocidade e consumo — e a discussão de uma variedade de arquiteturas de ADC relevantes nomeadamente os conversores *flash*, rampa e SAR comparando as suas vantagens e desvantagens em aplicações de sensores de imagem.

No Capítulo 3, Desenho da Arquitetura do ADC, é apresentada a arquitetura proposta para o conversor SAR. Definem-se os requisitos de desempenho com base nas necessidades típicas de um sensor de imagem, justificando a seleção da topologia SAR face à solução de rampa atual. Detalha-se o diagrama de blocos do ADC desenvolvido e a função de cada componente principal, destacando as características introduzidas para cumprir os objetivos de elevada velocidade, baixo consumo, boa linearidade e capacidade de realizar CDS.

No Capítulo 4, Projeto dos Circuitos do ADC, são descritos em pormenor os circuitos implementados para cada bloco funcional da arquitetura proposta. Abrange-se o projeto do conversor digital-analógico interno, o projeto do circuito de amos-

tragem e retenção do sinal, do comparador e da lógica digital de controlo SAR. Apresentam-se também considerações de projeto, como estratégias para minimizar o consumo e o ruído, acompanhadas de alguns resultados preliminares de simulação.

No Capítulo 5, Análise de Resultados, procede-se a uma avaliação quantitativa do desempenho do ADC proposto. Inicialmente, apresentam-se os resultados das simulações individuais dos principais blocos constituintes do conversor, analisando separadamente parâmetros relevantes de cada um. Seguidamente, são descritos os testes realizados ao ADC no seu funcionamento integrado, abrangendo a medição da velocidade de conversão atingida, do consumo de potência total e da linearidade estática. Analisa-se também a eficácia da técnica CDS implementada, comparando a dispersão dos resultados obtidos antes e depois da sua aplicação. Por fim, efetua-se uma comparação dos resultados alcançados com os de outras soluções, em particular estabelecendo um paralelo entre o ADC SAR desenvolvido e o ADC de rampa do sensor P110, bem como com outras topologias ADC SAR presentes na literatura.

Por fim, no Capítulo 6, Conclusão, apresentam-se as conclusões do trabalho realizado, fazendo-se uma síntese dos objetivos alcançados e dos contributos desta tese. São discutidas as principais melhorias obtidas com a nova arquitetura de ADC SAR face à arquitetura de rampa do sensor P110 e são salientadas eventuais limitações e desafios encontrados. Adicionalmente, são sugeridas direções para trabalhos futuros, indicando possíveis otimizações no *design* proposto, de forma a dar continuidade e aprofundar o desenvolvimento desta linha de investigação.

## Revisão da Bibliografia

Os sensores de imagem são componentes fundamentais numa vasta gama de dispositivos eletrônicos, desde câmaras digitais e *smartphones* até sistemas de segurança e veículos autónomos. Entre as diversas tecnologias disponíveis para a captura de imagens, os sensores CMOS têm-se destacado pela sua eficiência energética, capacidade de integração com circuitos digitais e custo relativamente baixo. Estas características tornaram-os na escolha preferida em muitas aplicações que exigem alto desempenho com baixo consumo de energia.

### 2.1. Fundamentos dos Sensores de Imagem

Um sensor de imagem é um dispositivo que converte informação ótica (luz) em sinais elétricos. Tipicamente, um sensor de imagem é composto por uma matriz de píxeis fotossensíveis, acompanhada de circuitos periféricos de leitura e conversão responsáveis pela quantização da informação captada em cada píxel. A palavra píxel deriva da expressão inglesa *pic[ture] el[ement]* e refere-se ao elemento responsável pela captura de fotões e respetiva transformação numa carga elétrica proporcional à intensidade luminosa incidente [2].

Atualmente, a maioria dos sensores de imagem é construída em silício. A principal razão é que o silício, por ser um semicondutor, possui uma diferença de energia entre a banda de valência e a banda de condução ideal para captar luz no espectro visível e infravermelho próximo (*bandgap* de 1,1 eV). O dispositivo responsável pela absorção da luz e respetiva conversão para um sinal elétrico é um fotodíodo, baseado numa junção *pn*. Quando um fotão com energia superior a 1,1 eV (energia de ligação do silício) incide no fotodíodo, é gerada uma carga elétrica proporcional à eficiência

quântica do silício para o respetivo comprimento de onda [3]. Este efeito é descrito pela equação da energia do fóton,  $E_{\text{photon}}$ :

$$E_{\text{photon}} = \frac{h \cdot c}{\lambda}, \quad (2.1)$$

onde  $h$  é a constante de Planck,  $c$  é a velocidade da luz e  $\lambda$  a frequência da luz incidente. Uma vez que a energia de ligação do silício é 1,1 eV, a luz com comprimentos de onda inferiores a 1100 nm é absorvida, ocorrendo a conversão de fótons em carga elétrica útil. Por outro lado, comprimentos de onda superiores a 1100 nm são praticamente transparentes para o silício [4].

O processo de conversão de luz em sinais elétricos pode ser dividido em três etapas. Durante a fase de exposição, cada píxel funciona como um integrador de luz, acumulando carga elétrica proporcional à intensidade luminosa incidente ao longo de um determinado tempo de integração. Findo este período, um transistor de seleção ativa a leitura do píxel, permitindo que a carga acumulada seja transferida para um circuito de leitura — geralmente um amplificador de fonte comum ou um seguidor de fonte — que converte essa carga numa tensão proporcional. Após a leitura, o fotodíodo é reinicializado, descarregando a carga remanescente, para iniciar um novo ciclo de integração.

Os sensores de imagem são inerentemente monocromáticos, ou seja, respondem apenas à quantidade de eletrões acumulados nos fotodíodos, sem distinguir a cor da luz. Para possibilitar a captura de imagens a cores, Bryce Bayer propôs em 1976 um filtro de cores a ser colocado sobre a matriz de píxeis [5], ilustrado na Figura 2.1.

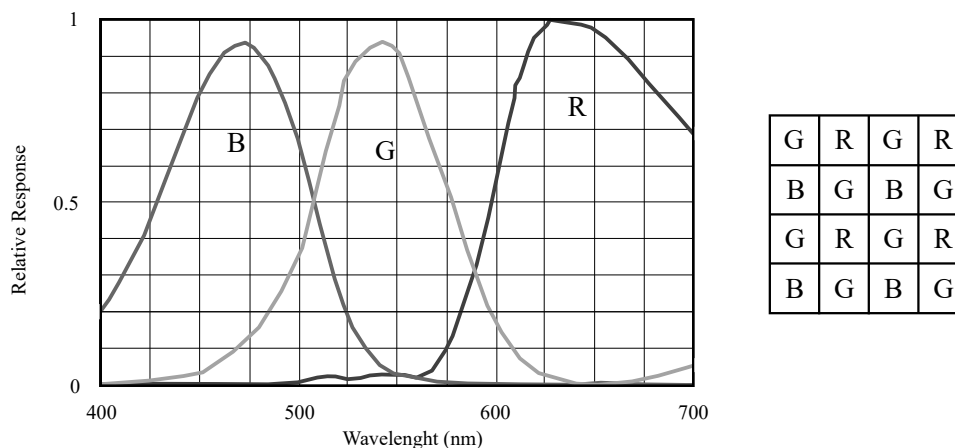


Figura 2.1: Filtro de cores Bayer [4].

No padrão Bayer, cada grupo de quatro píxeis inclui filtros para vermelho (R), azul (B) e verde (G) — este último repetido duas vezes, de forma a refletir a maior sensibilidade do olho humano à luz verde. A disposição segue uma organização em que as linhas ímpares apresentam filtros azul-verde e as linhas pares verde-vermelho, o que possibilita a reconstrução de imagens a cores a partir de um sensor CMOS.

### 2.1.1. Arquiteturas de Sensores de Imagem: CCD e CMOS

As duas arquiteturas principais de sensores de imagem digital são os sensores de carga acoplada (*Charge-Coupled Device*, CCD), e os sensores CMOS, ambos desenvolvidos no final da década de 1960. Antes do surgimento destas duas tecnologias, já existiam estudos que investigavam a possibilidade de construir sensores de imagem baseados na tecnologia MOS [6]. Durante a década de 1960, diversos grupos procuraram explorar sensores de imagem de estado sólido recorrendo a processos NMOS, PMOS e bipolares. Em 1963, Morrisson propôs uma estrutura que permitia determinar a posição de um ponto luminoso com base no efeito de fotocondutividade [7]. No entanto, estes primeiros sensores enfrentavam limitações significativas com o ruído de padrão fixo (*Fixed-Pattern Noise*, FPN) que, durante muitos anos, foi considerado o principal entrave no desenvolvimento de sensores baseados nas tecnologias MOS e CMOS [8].

Os CCD surgiram em 1969 nos laboratórios Bell por Willard Boyle e George Smith [9] e dominaram o mercado nas décadas seguintes devido à sua elevada qualidade de imagem [10]. Os sensores CMOS, por outro lado, ressurgiram na década de 1990, graças à possibilidade de integrar amplificadores e circuitos digitais diretamente em cada píxel, o que permitiu aumentar significativamente a velocidade de leitura e expandir as funcionalidades disponíveis [10]. A escalabilidade dos processos CMOS e a integração *on-chip* permitiram reduzir custos e consumos, tornando os sensores CMOS gradualmente preferidos em muitas aplicações [11].

Nos sensores CCD, a carga gerada em cada píxel é transferida sequencialmente entre píxeis até um amplificador comum, utilizando registos de deslocamento. Tipicamente as cargas são deslocadas até ao fim de cada coluna de píxeis e depois são movidas para a direita até ao fim da linha, onde o circuito de leitura está presente, convertendo a carga numa tensão proporcional. O calcanhar de Aquiles dos CCD está justamente relacionado com este princípio de funcionamento, uma vez

que requer uma eficiência de transferência de carga praticamente perfeita para garantir um desempenho aceitável. Qualquer imperfeição no silício pode comprometer a eficiência de transferência, que, após milhares de deslocamentos num sensor de grande resolução, pode conduzir a perdas de sinal acumuladas significativas com consequência direta na degradação da imagem obtida [12] [13].

Já nos sensores CMOS, cada píxel possui os seus próprios transístores de leitura, sendo acedido por linhas e colunas como numa memória, permitindo um acesso individual a cada píxel. Embora a presença de circuitos ativos introduza ruído adicional, foram desenvolvidas técnicas de correção — como a leitura por amostragem dupla correlacionada (CDS) — que mitigam esse efeito.

Os sensores CMOS distinguem-se ainda pelo baixo consumo, alta velocidade de leitura e capacidade de integração. Esta capacidade de integração dos sensores CMOS permite incorporar, por exemplo, um ADC diretamente no *chip* do sensor, ao lado da matriz de píxeis. Isto simplifica o sistema e aumenta a velocidade de leitura, pois elimina a necessidade de transferir sinais analógicos para um ADC externo.

### 2.1.2. Arquiteturas de Píxel: PPS e APS

No desenvolvimento histórico dos sensores CMOS, a evolução da estrutura do píxel começou por soluções muito simples e foi ganhando circuitos ativos à medida que se buscava melhor desempenho. Assim, surgiram duas classes que marcaram etapas distintas dessa evolução: os sensores de píxel passivo (*Passive-Pixel Sensor*, PPS), desenvolvido por Weckler em 1967 [14], onde o píxel se limita praticamente ao fotodíodo e a um transístor de seleção; e os sensores de píxel ativo (*Active-Pixel Sensor*, APS), descritos por Noble em 1968 [15], que acrescentam transístores de amplificação e de *reset* no próprio píxel, para melhorar a velocidade de leitura e a relação sinal-ruído (*Signal-to-Noise Ratio*, SNR), como ilustrado na Figura 2.2.

A grande vantagem da estrutura PPS é o tamanho reduzido do píxel. Por outro lado, a elevada capacidade das colunas de leitura torna a leitura mais lenta. Além disso, apresenta uma sensibilidade reduzida e maior vulnerabilidade ao ruído [6]. Estas deficiências tornaram os PPS tecnologicamente obsoletos face à emergência dos sensores de píxel ativo, que passaram a dominar o desenvolvimento de circuitos de leitura de imagem.

Na estrutura APS, cada píxel incorpora um amplificador local cuja função é au-

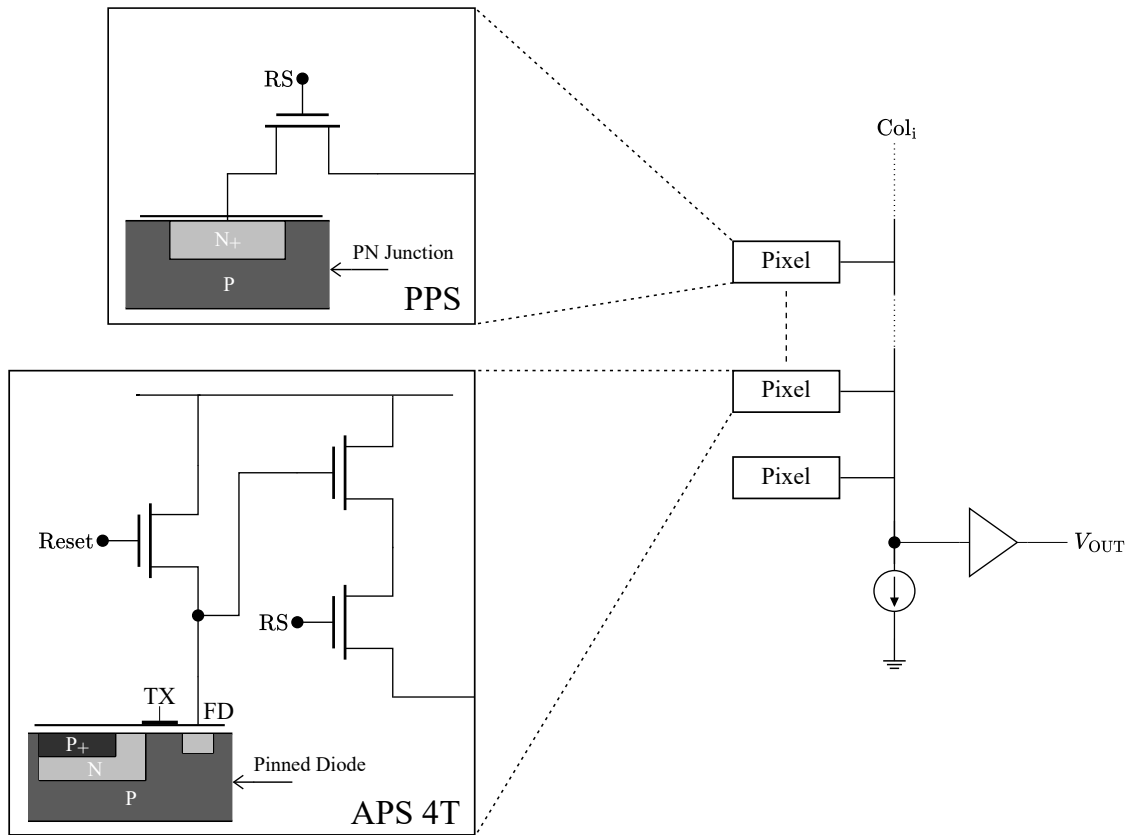


Figura 2.2: Estrutura interna de um píxel passivo (PPS) e um píxel ativo (APS) [16].

mentar o desempenho do píxel, nomeadamente em termos de ganho e capacidade de leitura. Este amplificador permanece inativo fora do ciclo de leitura, contribuindo assim para uma menor dissipação de potência. Existem diversas variantes da arquitetura APS, entre as quais se destaca a APS-4T, que integra fotodíodos *pinned* associados ao circuito de *reset*. Este tipo de fotodíodo é projetado para minimizar a corrente escura e atenuar os ruídos de reinicialização [11].

Apesar das vantagens, os APS também apresentam diversos desafios. Um dos principais é o ruído de padrão fixo (FPN), causado por variações no processo de fabrico que afetam os níveis de *threshold* e ganho dos transístores. Este efeito pode ser mitigado através de diversas técnicas, como por exemplo, o uso da técnica de amostragem dupla correlacionada (CDS). Além disso, existe uma redução do *fill factor* — a fração da área do píxel efetivamente sensível à luz — para cerca de 20-30% em relação aos PPS. Tipicamente são utilizadas microlentes sobre o píxel para redirecionar a luz incidente melhorando a captação de luz em até três vezes [6].

## 2.2. Fundamentos Teóricos dos Conversores Analógico-Digitais (ADC)

Independentemente da arquitetura interna do sensor de imagem, o resultado inicial da captura é sempre um sinal analógico proporcional à intensidade luminosa incidente em cada píxel. Para que esta informação possa ser armazenada, processada ou visualizada digitalmente, é imprescindível a sua conversão para o domínio digital. É neste ponto que os conversores analógico-digitais assumem um papel crucial. A qualidade, velocidade e robustez do ADC determina, em grande parte, a fidelidade da imagem resultante. Na Figura 2.3 apresenta-se um diagrama de blocos genérico de um ADC.

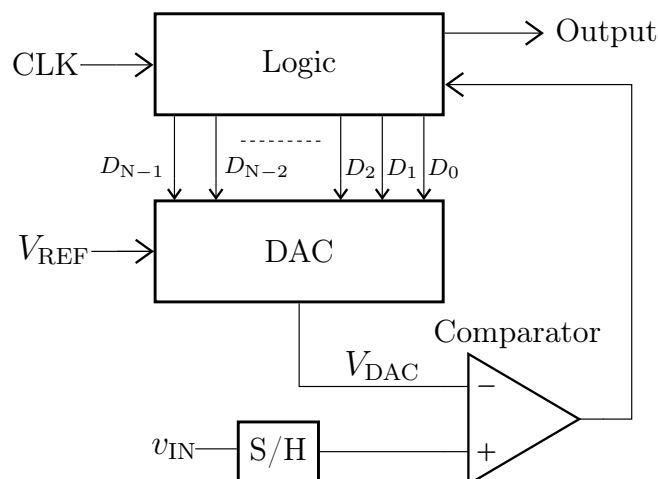


Figura 2.3: Diagrama de blocos genérico de um ADC — Adaptado de [17].

Tipicamente, um ADC é composto por um conversor digital-analógico (DAC) de referência, um comparador, circuito de amostragem e retenção (*Sample and Hold*, S&H) e lógica de controlo. O sinal analógico de entrada é inicialmente amostrado e mantido, para então ser comparado com as referências internas geradas pelo DAC. A lógica de controlo coordena as comparações necessárias e constrói, passo a passo, o código digital de  $N$  bits correspondente à entrada. Em termos simples, o ADC realiza uma quantização do sinal analógico convertendo um valor contínuo numa representação discreta em  $2^N$  níveis possíveis.

Antes de analisar as diferentes arquiteturas de ADC, é importante definir algumas características básicas de desempenho destes conversores. A curva típica de um

ADC é uma curva em escada onde cada nível digital corresponde um intervalo de tensões analógicas à entrada. A Figura 2.4a ilustra a curva de transferência ideal de um ADC de 3 *bits* (8 níveis) em função da tensão de entrada.

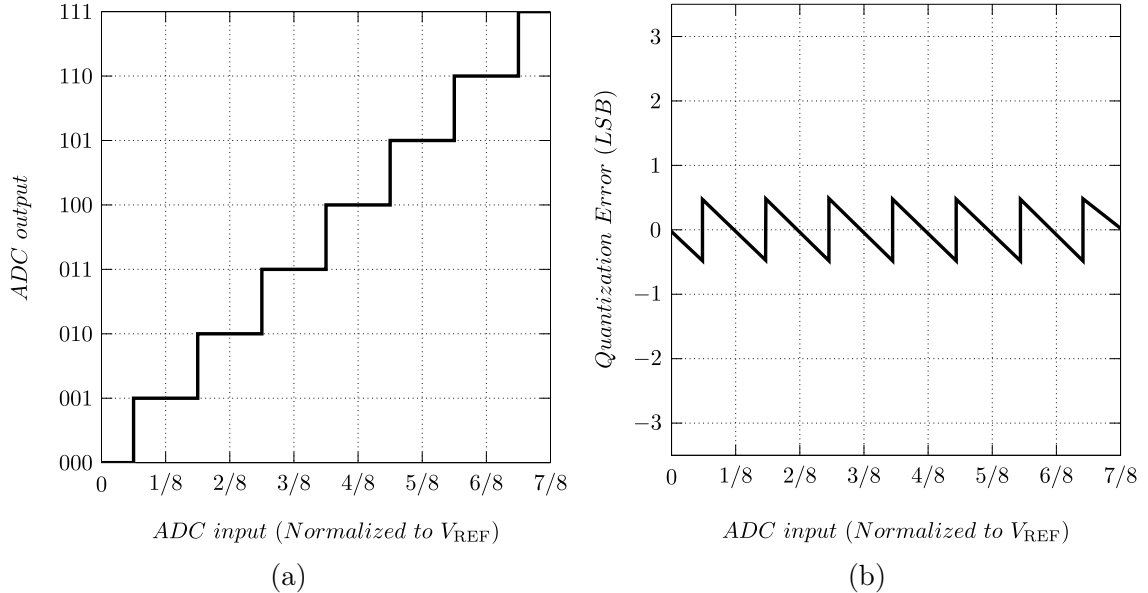


Figura 2.4: Ilustração da (a) curva de transferência ideal de um ADC e respetivo (b) erro de quantização associado a uma conversão analógica-digital [17].

Diversos parâmetros podem ser extraídos desta característica de conversão destacando-se a resolução, o erro de quantização, os erros estáticos (*offset* e *ganho*) e os indicadores de linearidade diferencial (*Differential Nonlinearity*, DNL) e integral (*Integral Nonlinearity*, INL), além da velocidade de amostragem e consumo.

### 2.2.1. Resolução e Erro de Quantização

A resolução de um ADC é definida pelo número de *bits*,  $N$ , do seu código digital de saída. Este número determina o total de níveis de quantização possíveis, dado por  $2^N$ . Por exemplo, um ADC de 3 *bits* possui  $2^3 = 8$  níveis de quantização possíveis. A menor variação de tensão que o conversor consegue distinguir à saída denomina-se LSB (*Least Significant Bit*), correspondendo ao peso do *bit* menos significativo na representação digital, e vale:

$$V_{\text{LSB}} = \frac{V_{\text{REF}}}{2^N}, \quad (2.2)$$

onde  $V_{\text{REF}}$  é o intervalo de tensão de entrada que se pretende converter (por exemplo, entre 0 V a  $V_{\text{REF}}$ ). Assim, o LSB corresponde ao degrau de tensão entre dois códigos digitais consecutivos. Na curva de transferência ideal assume-se que cada nível digital representa um intervalo de tensão uniforme, com amplitude igual a  $V_{\text{LSB}}$ .

Como consequência da quantização, existe um erro inerente associado a cada nível. O sinal analógico de entrada,  $v_{\text{IN}}$ , é contínuo, enquanto o sinal de saída (código digital) representa valores discretos. O erro de quantização,  $Q_e$ , é a diferença entre o valor analógico real e o valor quantizado representado pelo código digital correspondente [17]. Matematicamente, esse erro pode ser expresso como:

$$Q_e = v_{\text{IN}} - V_Q, \quad (2.3)$$

onde  $V_Q$  é a tensão representada pelo nível digital de saída (de acordo com a curva em escada do ADC). Num ADC ideal, o erro de quantização,  $Q_e$ , está confinado ao intervalo de  $[-\frac{1}{2} \text{ LSB}, +\frac{1}{2} \text{ LSB}]$ . Ou seja, no pior caso, a quantização introduz um erro máximo de meia unidade de LSB (assumindo uma distribuição uniforme do erro) [17]. Este erro representa um limite fundamental à precisão do ADC, mesmo na ausência de imperfeições adicionais ou desvios não ideais.

A resolução também afeta diretamente o ruído de quantização e o desempenho em termos de relação sinal-ruído. Segundo [17], um sinal sinusoidal cuja amplitude explora totalmente a gama dinâmica do conversor, a quantização ideal produz um SNR teórico de, aproximadamente:

$$\text{SNR}_{\text{dB}} = 6,02 N + 1,76, \quad (2.4)$$

onde  $N$  é o número de *bits* do ADC. Por exemplo, um ADC de 10 *bits* ideal apresentaria um SNR em torno de 61,96 dB. Na prática, ruídos eletrônicos e imperfeições podem degradar este valor efetivo.

### 2.2.2. *Offset* e Ganho

Além do erro intrínseco de quantização, os conversores reais apresentam erros estáticos devido a imperfeições analógicas. Os principais são o erro de *offset* e o erro de ganho, ilustrados na Figura 2.5.

O erro de *offset* manifesta-se como um deslocamento de toda a curva de trans-

ferência – isto é, mesmo para uma entrada nula, o ADC pode produzir um código digital diferente de zero (*offset* positivo ou negativo). Na curva característica, o *offset* aparece como um afastamento vertical da origem [17].

Já o erro de ganho refere-se a uma inclinação da curva de transferência diferente da ideal. Idealmente, um dado aumento na tensão de entrada deveria produzir exatamente o correspondente incremento nos códigos de saída. Se o ganho efetivo do ADC for ligeiramente diferente, a curva de transferência será mais íngreme ou mais plana que a ideal, resultando em erros proporcionais à amplitude do sinal [17].

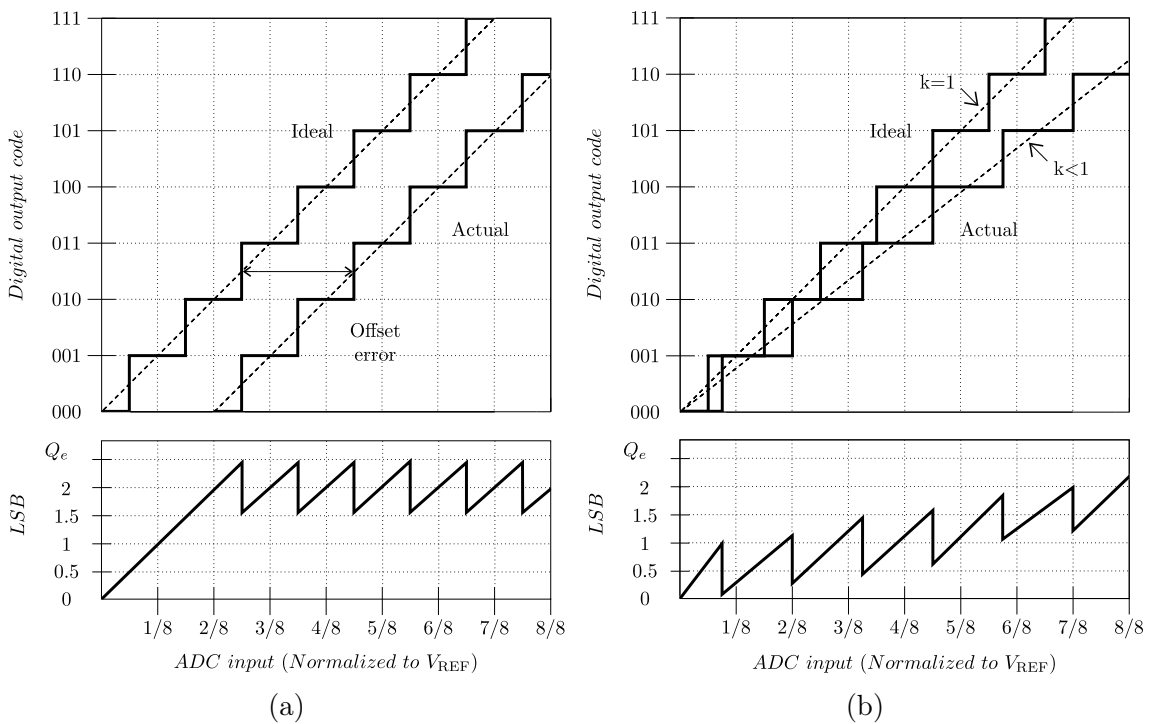


Figura 2.5: Ilustração dos erros de (a) *offset* e (b) ganho na curva de transferência de um ADC — Adaptado de [17].

O erro de *offset* afeta todos os códigos por igual (deslocamento constante), enquanto o erro de ganho causa uma discrepância que cresce com o valor do sinal de entrada (multiplicativo).

Estes erros estáticos podem ser calibrados ou corrigidos em parte por via digital (subtraindo o *offset* ou ajustando o ganho no pós-processamento). Muitas especificações de ADC fornecem os valores máximo de *offset* e ganho (normalizado em relação ao LSB). Em sensores de imagem, os erros de *offset* e ganho entre colunas de

píxeis manifestam-se como padrões fixos indesejados na imagem (um tipo de ruído de padrão fixo).

### 2.2.3. Linearidade: Não-Linearidade Diferencial e Integral

A linearidade de um ADC descreve o quão próxima a curva de transferência real está de uma linha ideal. Dois parâmetros são usualmente definidos: a Não-Linearidade Diferencial (*Differential Non-Linearity*, DNL) e a Não-Linearidade Integral (*Integral Non-Linearity*, INL) [18].

A DNL quantifica a variação do tamanho dos degraus da curva de transferência em relação ao LSB ideal. Para cada código de saída, calcula-se o tamanho do intervalo de entrada necessário para causar a transição para o próximo código. Num conversor ideal, todos esses intervalos devem ser exatamente 1 LSB. A DNL de um determinado código é definida como a diferença entre o tamanho do intervalo real e o tamanho ideal:

$$\text{DNL}_i = \frac{v_{\text{IN}}(i+1) - v_{\text{IN}}(i)}{V_{\text{LSB,ideal}}} - 1, \quad (2.5)$$

onde  $v_{\text{IN}}(i)$  é a tensão de transição analógica do código  $i$  e  $V_{\text{LSB,ideal}}$  o espaçamento ideal entre dois códigos digitais adjacentes. Assim, um  $\text{DNL} = 0$  LSB significa que o passo de tensão associado a um determinado código é exatamente o esperado. Já um  $\text{DNL} > 0$  indica um intervalo maior que o ideal e um  $\text{DNL} < 0$  indica um passo menor que o ideal.

A INL, por sua vez, mede o desvio absoluto da curva de transferência real em relação a uma linha reta ideal (normalmente definida pelos pontos extremos da função de transferência, ou por regressão linear nos pontos medidos). Para cada código, é verificada a diferença entre o ponto real de transferência e o valor correspondente na linha ideal. A INL máxima (valor absoluto máximo desse desvio) indica o quão distante está a curva de transferência do ADC da curva ideal. Por outras palavras, a INL reflete a acumulação dos erros diferenciais ao longo da faixa de conversão e pode ser descrita como [17]:

$$\text{INL}_i = \sum_{x=0}^i \text{DNL}_x. \quad (2.6)$$

A Figura 2.6 exemplifica a curva de transferência de um ADC não-ideal de 3 *bits*, afetado por estas não-linearidades. Na Figura 2.6a é possível observar a ausência do código 101, uma vez que  $DNL_{101} = -1$  LSB. Num ADC, um DNL igual a  $-1$  LSB implica garantidamente a ausência de pelo menos um código. Por outro lado, um DNL igual a  $+1$  LSB, apenas nos diz que o tamanho do degrau para o código correspondente é maior do que o ideal. Para garantir a monotonicidade de um ADC (ausência de códigos ausentes) a condição  $DNL > -1$  LSB deve ser atendida.

Na Figura 2.6b, por sua vez, é traçada uma linha reta com o melhor ajuste entre os pontos extremos correspondentes às transições do primeiro e do último código. A INL corresponde, então, à diferença entre os pontos de transição do conversor e a linha reta. Neste exemplo é perceptível que os códigos 011 e 110 introduzem erros de INL no sistema e podem ser determinados como:

$$INL_3 = 3/8 - 5/16 = 1/16 \text{ ou } 0,5 \text{ LSB}, \quad (2.7)$$

$$INL_6 = 5/8 - 11/16 = -1/16 \text{ ou } -0,5 \text{ LSB}. \quad (2.8)$$

Tipicamente, na caracterização de um ADC, especifica-se a DNL e INL máximas (em valor absoluto). Valores de INL e DNL baixos (próximos de 0) são desejáveis para assegurar alta precisão na conversão.

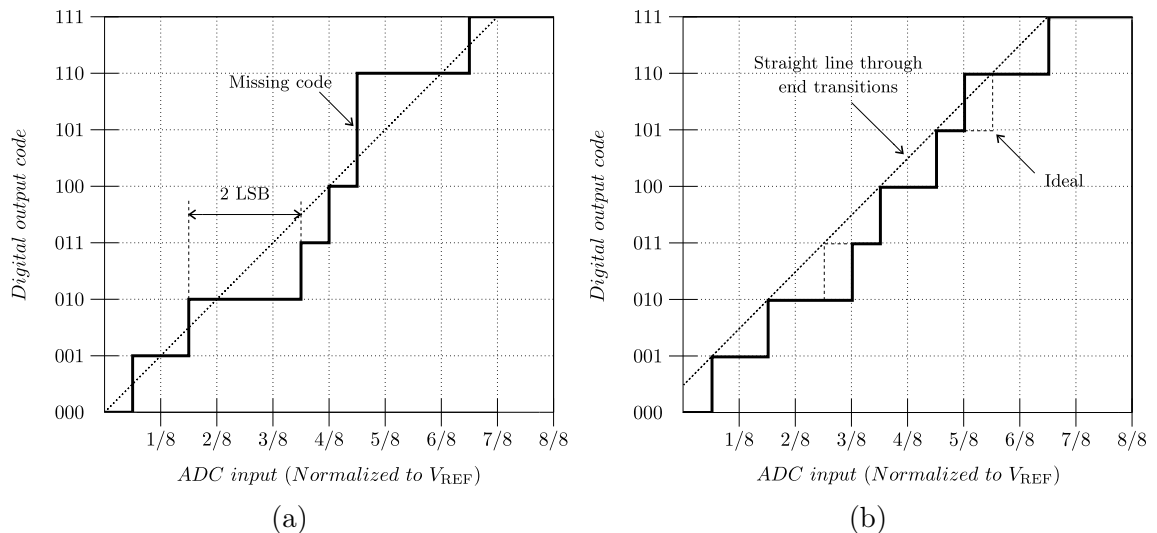


Figura 2.6: Ilustração dos erros de linearidade (a) diferencial (DNL) e (b) integral (INL) na curva de transferência de um ADC [17].

A linearidade é especialmente crítica em sensores de imagem pois não-linearidades podem introduzir distorções de intensidade que afetam a qualidade visual e a exatidão fotométrica da imagem. Uma prática comum é assegurar que um conversor (ADC ou DAC) de  $N$  bits tenha valores de DNL e INL abaixo de  $\pm 1/2$  LSB. O termo  $1/2$  LSB tipicamente denota o erro máximo de um conversor. Um conversor de  $N+1$  bits com DNL e INL acima de  $\pm 1/2$  LSB tem, na verdade, uma resolução de  $N$  bits [17], [18].

A verificação da linearidade costuma efetuar-se injetando rampas de tensão de valor conhecido na entrada do ADC e registrando os códigos obtidos. A partir desses dados calculam-se, depois, as curvas de INL e DNL.

#### 2.2.4. Frequência de Amostragem, Velocidade de Conversão e Consumo de Potência

A frequência de amostragem ou taxa de conversão de um ADC especifica quantas amostras por unidade de tempo podem ser convertidas. Esta taxa está associada ao tempo de conversão necessário para produzir um código digital válido a partir de uma nova amostra analógica. Diferentes arquiteturas de ADC apresentam compromissos distintos entre resolução e velocidade. Por exemplo, conversores *flash* conseguem frequências de amostragem extremamente altas (centenas de MS/s), à custa de menor resolução (tipicamente até 6–8 bits) e alto consumo de potência, enquanto conversores SAR e Sigma-Delta ( $\Sigma \Delta$ ) podem atingir 10–16 bits com frequências de amostragem moderadas [18].

No contexto dos sensores de imagem, a velocidade de conversão necessária depende da resolução espacial (número de píxeis) e da taxa de *frames* desejada. Em sensores APS, onde tipicamente existe um ADC por coluna, a frequência de amostragem de cada ADC deve ser suficiente para converter todos os píxeis dessa coluna dentro do intervalo de tempo de leitura de um *frame*. A esse valor deve ainda ser incluído margens de tempo para operações como *reset*, amplificação ou leitura de escuro, pelo que as especificações do ADC devem exceder essa taxa nominal. A velocidade de um ADC é, por convenção, expressa em amostras por segundo ( $S/s$ ).

O consumo de potência é uma especificação igualmente importante, especialmente em sensores portáteis ou de alta contagem de píxeis. O consumo de um ADC apresenta uma relação direta com a velocidade de conversão do mesmo e o obje-

tivo é conseguir o melhor compromisso entre ambos. Por exemplo, os ADC SAR e Sigma-Delta ( $\Sigma \Delta$ ) tendem a ser mais eficientes em termos de energia para resoluções moderadas, comparados aos ADC *pipeline* ou *flash* que consomem mais para alcançar altas velocidades.

## 2.3. Arquiteturas de Conversores Analógico-Digital

Ao longo das décadas, foram desenvolvidas diversas arquiteturas de ADC, cada uma com vantagens e desvantagens próprias, adequadas a diferentes faixas de velocidade, resolução e consumo. Nesta secção, comparam-se brevemente as diferentes arquiteturas comumente encontradas em sensores de imagem ou sistemas relacionados.

### 2.3.1. ADC *Flash*

Os conversores *flash* (ou paralelos) constituem, dentro das diversas topologias de ADC, a arquitetura mais veloz. Esta arquitetura é composta por um comparador por nível de quantização, totalizando  $2^N - 1$  comparadores, alimentados por uma rede resistiva de  $2^N$  resistências, que atua como um divisor resistivo de  $2^N$  níveis, como mostra a Figura 2.7.

Cada comparador compara a tensão de entrada com o nível de tensão correspondente. Para cada patamar obtém-se 0 se  $v_{IN}$  for inferior à tensão do divisor resistivo e 1 se for igual ou superior. Um descodificador é responsável por converter o resultado das  $2^N - 1$  comparações num código digital de  $N$  bits [17].

O primeiro registo documental conhecido da utilização de um conversor ADC do tipo *flash* remonta a uma patente de Paul M. Rainey, submetida em 1921, no âmbito de um sistema eletromecânico de transmissão baseado na técnica de modulação por código de pulsos (*Pulse Code Modulation*, PCM), por fac-símile [19].

A grande vantagem desta topologia é a velocidade de conversão — cada ciclo de relógio produz diretamente uma palavra digital. Esta rapidez, porém, tem um custo elevado em área e potência, pois o número de comparadores duplica a cada *bit* adicional. Por exemplo, um ADC *flash* de 8 bits implica o uso de 255 comparadores, enquanto para 9 bits de resolução o número de comparadores aumenta para 511. Além disso, o elevado ruído proveniente das capacidades parasitas dos comparadores conectados ao divisor resistivo também é um problema desta arquitetura.

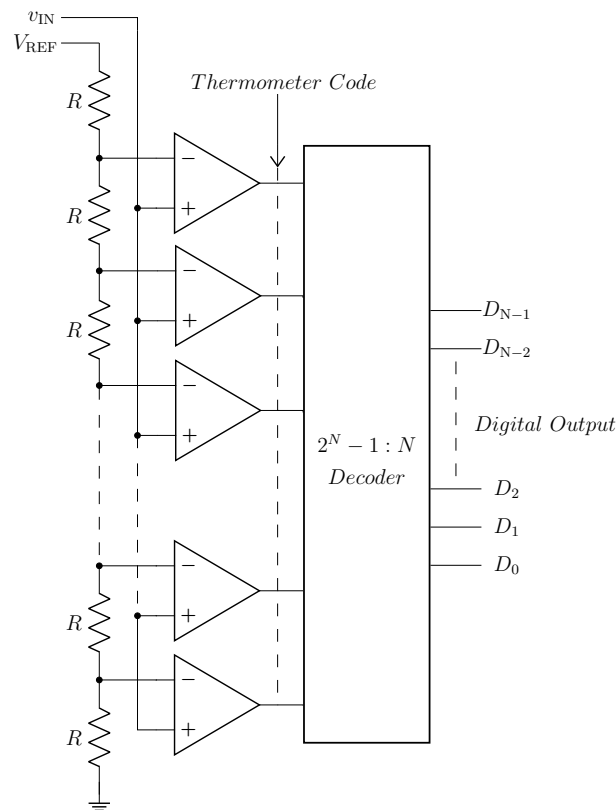


Figura 2.7: Arquitetura típica de um ADC *flash* — Adaptado de [17].

Na prática, os conversores *flash* em tecnologia CMOS costumam limitar-se a 8 *bits*, atingindo velocidades de conversão da ordem dos 10 a 40 MS/s [20].

### 2.3.2. ADC Rampa

Se a velocidade de conversão não for um fator determinante, a topologia em rampa (também conhecida como *single slope* ADC) é uma opção a considerar. Esta arquitetura é essencialmente composta por um gerador de rampa, um comparador, um contador e um bloco de memória, como mostra a Figura 2.8.

O sinal analógico de entrada é continuamente comparado com a rampa; quando a tensão da rampa iguala a da entrada, o comparador muda o seu estado, registrando o tempo (ou contagem de ciclos de relógio) decorrido, o qual representa o valor digital convertido. É, portanto, essencialmente uma operação que obtém um tempo proporcional ao sinal de entrada.

Quando a tensão de entrada é próxima do ponto inicial da rampa, o contador

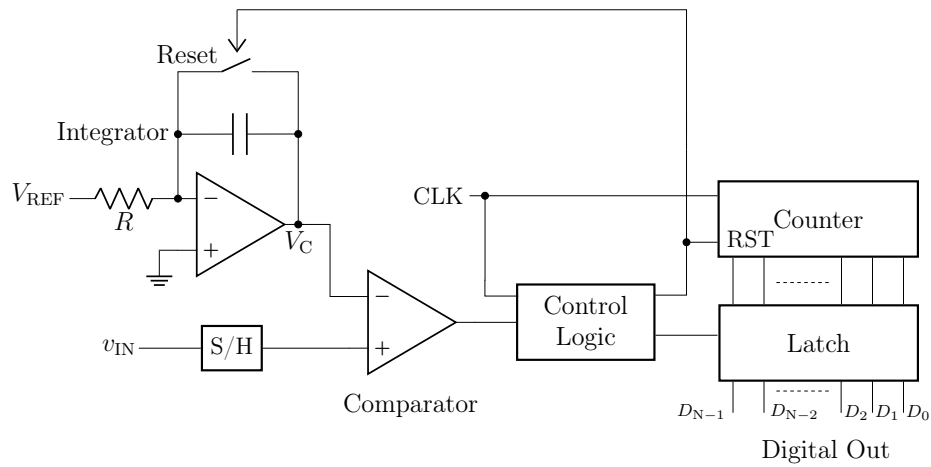


Figura 2.8: Arquitetura típica de um ADC Rampa — Adaptado de [17].

necessita de poucos ciclos para o comparador trocar de estado, pelo que o tempo de conversão é bastante curto. No entanto, se  $v_{IN}$  atinge o fim de escala, o contador tem de percorrer todos os valores possíveis, totalizando  $2^N$  ciclos de relógio. O tempo de conversão,  $t_c$ , depende, portanto, do sinal de entrada [17]:

$$t_c = \frac{v_{IN}}{V_{REF}} \times 2^N \times T_{CLK}, \quad (2.9)$$

onde  $T_{CLK}$  é o período do relógio. A principal desvantagem é, de facto, o tempo de conversão. Assim, por exemplo, um ADC *single-slope* de 10 *bits* necessitaria de 1024 ciclos por conversão. Isto torna a arquitetura de rampa potencialmente limitante para altas taxas de *frame*, no contexto de sensores de imagem.

### 2.3.3. ADC por Aproximações Sucessivas (SAR)

Os conversores analógico-digitais de aproximações sucessivas (SAR) combinam o baixo consumo e a simplicidade dos ADC rampa com a velocidade dos conversores *flash*. Este equilíbrio entre eficiência energética e rapidez tornou os ADC SAR uma solução de eleição para integração *on-chip*. O princípio do algoritmo de aproximações sucessivas remonta ao século XVI, com o matemático Tartaglia a propor uma solução de pesagem baseada em potências de dois (1, 2, 4, 8, 16, 32 *lb*) [18]. Para determinar o peso desconhecido, cada peso era testado sequencialmente, do maior para o menor, colocando-o na balança e observando se equilibrava ou excedia o peso desconhecido.

Se sim, o peso era mantido e subtraído ao valor restante; se não, era ignorado.

O princípio de funcionamento dos ADC SAR modernos permanece fiel ao algoritmo de procura binária proposto por Tartaglia. Tipicamente, num conversor analógico-digital por aproximações sucessivas, a tensão de entrada,  $v_{IN}$ , é amostrada e comparada com o valor do DAC. A lógica SAR ajusta a direção da procura binária de acordo com o resultado da comparação. A Figura 2.9 apresenta o diagrama de blocos desta topologia [17].

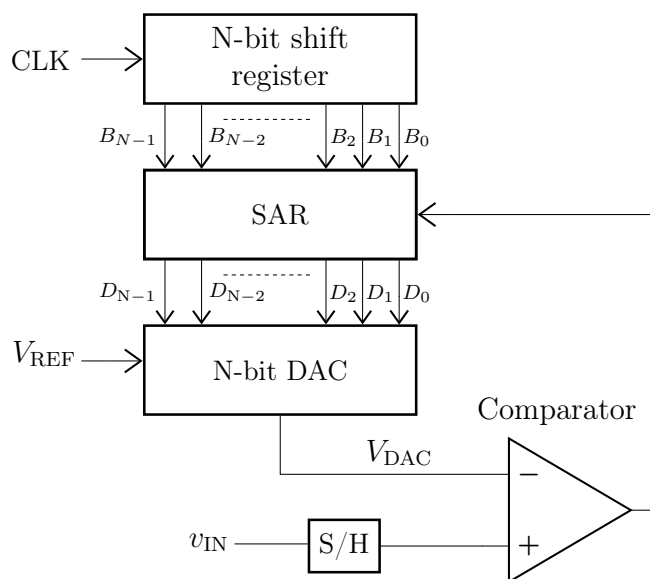


Figura 2.9: Arquitetura típica de um ADC SAR — Adaptado de [17].

O ciclo de decisão de um conversor SAR inicia-se colocando um 1 na posição mais significativa de um registo de deslocamento; esse marcador desloca-se uma casa para a direita a cada ciclo de relógio. Simultaneamente, o MSB do SAR,  $D_{N-1}$ , é posto a 1 com os restantes *bits* a 0. O código resultante será  $100\dots00$  e, portanto, a tensão de saída do DAC será colocada a  $V_{REF}/2$ . O primeiro código produzido pelo algoritmo SAR é sempre o código a meia-escala.

A tensão de referência é, então, comparada com a tensão de entrada,  $v_{IN}$ . Se  $v_{IN}$  for menor que  $V_{REF}/2$ , o resultado da comparação será 0 e  $D_{N-1}$  volta para 0. Caso  $v_{IN}$  seja maior que  $V_{REF}/2$ ,  $D_{N-1}$  permanece a 1. O valor de  $D_{N-1}$  será, portanto, o MSB do código final da conversão.

Com  $D_{N-1}$  definido, o registo de deslocamento desloca o 1 para o *bit* seguinte ( $D_{N-2}$ ), preservando o valor já fixado para  $D_{N-1}$  e forçando a 0 os restantes *bits*.

Dependendo de  $D_{N-1}$ , a saída do DAC será  $V_{\text{REF}}/4$  (se  $D_{N-1} = 1$ ) ou  $3V_{\text{REF}}/2$  (se  $D_{N-1} = 0$ ). Segue-se uma nova comparação e, consoante o resultado,  $D_{N-2}$  é mantido ou revertido. Esta sequência repete-se até o registo de deslocamento atingir o *bit* menos significativo,  $D_0$ . Desta forma, são necessárias  $N$  comparações (ciclos) para  $N$  *bits* de resolução. O exemplo da Figura 2.10 ilustra a aplicação deste algoritmo para um ADC de 4 *bits* ( $N=4$ ).

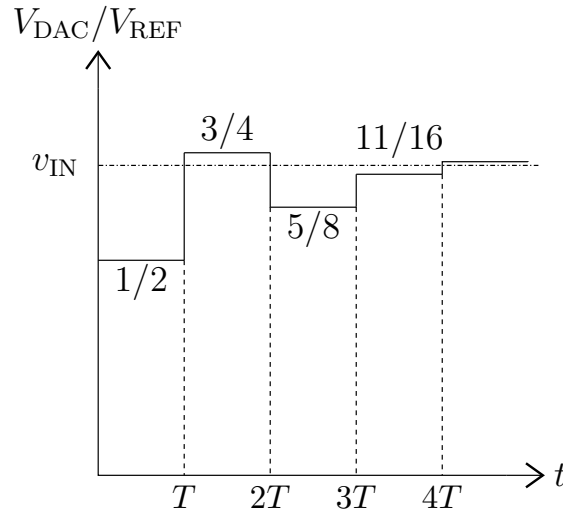


Figura 2.10: Exemplo de uma conversão SAR de 4 *bits* — Adaptado de [21].

O contador é reiniciado, com  $i = 1$ , o sinal de entrada,  $v_{\text{IN}}$  é amostrado e a tensão do DAC é colocada a metade da referência,  $V_{\text{REF}}/2$ . De seguida, é efetuada a primeira comparação. Uma vez que  $v_{\text{IN}}$  é superior a  $V_{\text{DAC}}$ , o resultado da comparação é 1, com esse valor a ser armazenado em  $D_3$ , segundo o fluxograma do algoritmo de aproximações sucessivas apresentado na Figura 2.11.

Como  $i < N$  e  $K = +1$ , o algoritmo continua e o novo valor estabelecido pelo DAC é:

$$V_{\text{DAC}(i+1)} = V_{\text{DAC}(i)} + \frac{KV_{\text{REF}}}{2^{(i+1)}} = \frac{V_{\text{REF}}}{2} + \frac{V_{\text{REF}}}{2^2} = \frac{3V_{\text{REF}}}{4}. \quad (2.10)$$

O valor de  $i$  é incrementado em uma unidade ( $i = 2$ ) e  $V_{\text{DAC}}$  é novamente comparado com  $v_{\text{IN}}$ . Como  $v_{\text{IN}} < V_{\text{DAC}}$ , o resultado da comparação é 0 e é armazenado em  $D_2$ . Como  $i < N$ , um novo valor para  $V_{\text{DAC}}$  é definido:

$$V_{\text{DAC}(3)} = \frac{3V_{\text{REF}}}{4} - \frac{V_{\text{REF}}}{8} = \frac{5V_{\text{REF}}}{8}. \quad (2.11)$$

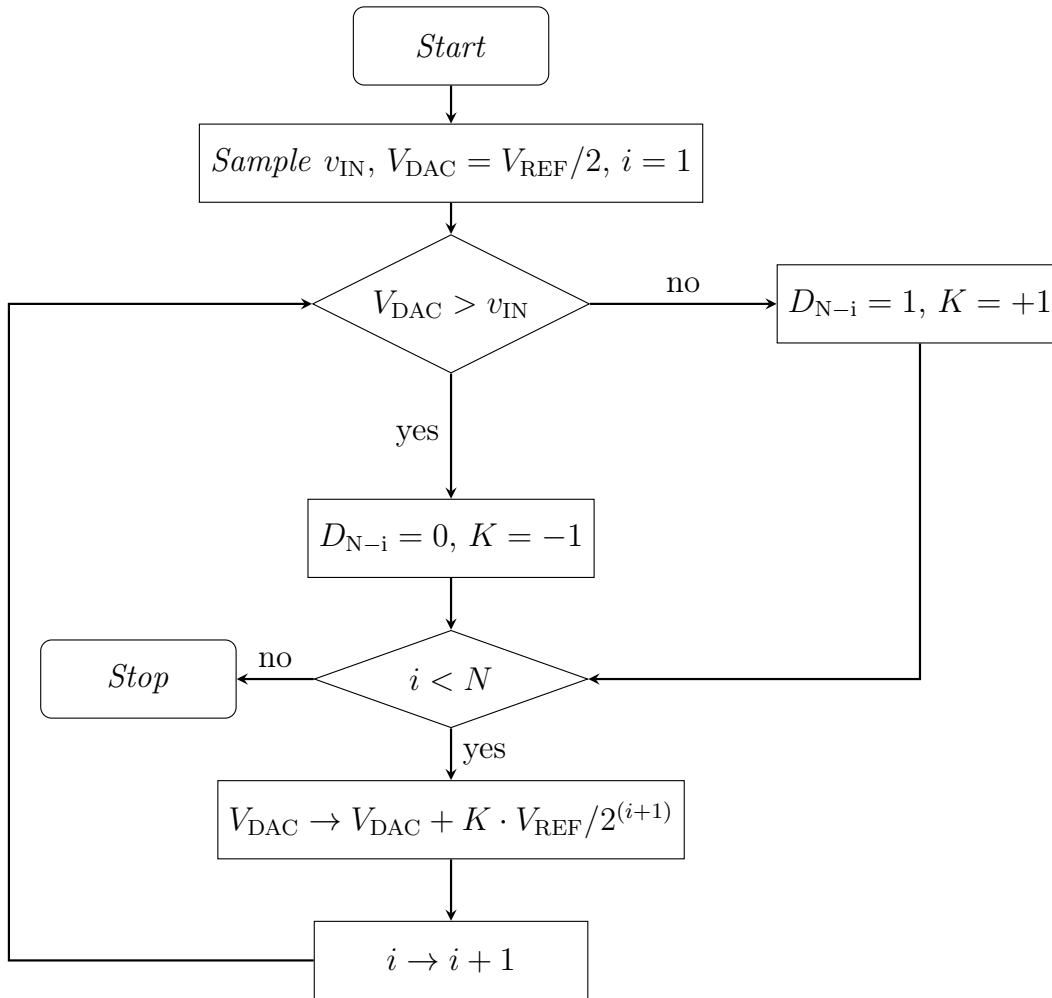


Figura 2.11: Fluxograma do algoritmo de aproximações sucessivas — Adaptado de [22].

Na terceira iteração ( $i = 3$ ),  $v_{IN}$  é comparado com  $5V_{REF}/8$ . O resultado da comparação é 1 e é armazenado em  $D_1$ . Como  $i < N$ , a tensão de referência do DAC,  $V_{DAC}$ , cresce em  $V_{REF}/16$  e o contador é incrementado em uma unidade ( $i = 4$ ). A comparação  $v_{IN} > 11V_{REF}/16$ , resulta no valor 1, sendo armazenado em  $D_0$ . Uma vez que  $i = N$ , o algoritmo termina e o código de saída  $D_3D_2D_1D_0 = 1011$  é disponibilizado.

Um dos primeiros registos conhecidos da utilização de um conversor analógico-digital por aproximações sucessivas (SAR ADC) num sensor de imagem CMOS remonta a 1997, num artigo publicado pelo grupo de Eric Fossum [23]. Desde então, a arquitetura SAR tem sido amplamente adotada em sensores de imagem CMOS.

### 2.3.4. Comparação entre Topologias de ADC

Existem diversas topologias de ADC que apresentam vantagens e limitações específicas que as tornam apropriadas para determinadas aplicações. Conversores *delta-sigma* ( $\Sigma \Delta$ ), por exemplo, são capazes de alcançar resoluções muito elevadas (superiores a 16 *bits*) devido à técnica de sobreamostragem e à filtragem digital. No entanto, como ilustrado na Figura 2.12, possuem taxas de conversão relativamente baixas, tipicamente até algumas centenas de kS/s, sendo inadequados para aplicações que exigem leitura rápida de grande volume de dados, como sensores de imagem para vídeo em alta definição ou captura de movimentos rápidos.

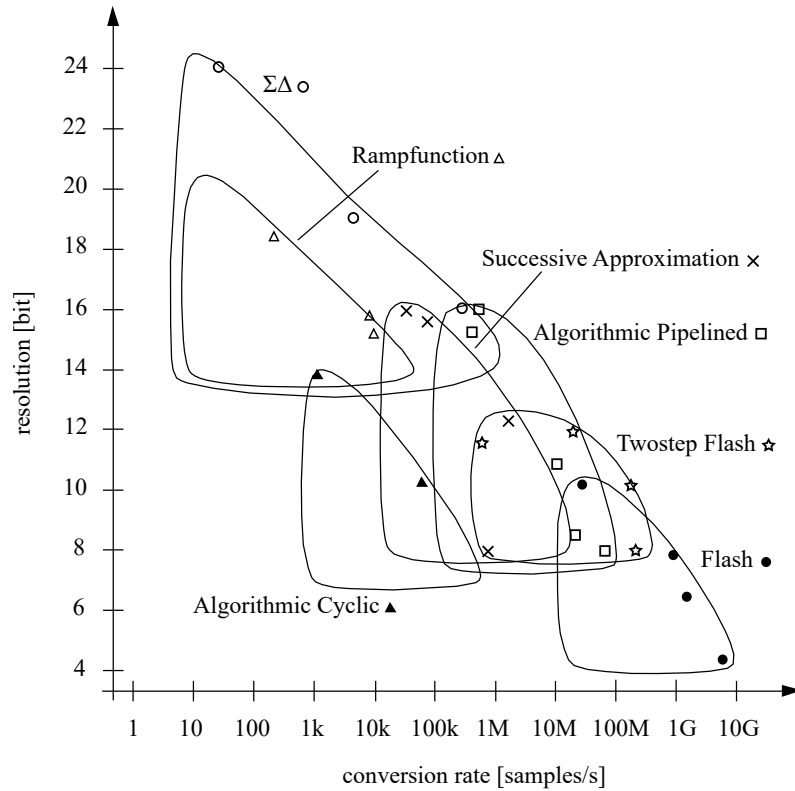


Figura 2.12: Comparação entre diversas topologias de ADC em termos de resolução e velocidade de conversão [21].

Por outro lado, os conversores *flash* têm uma velocidade extremamente alta (até múltiplos GS/s), ideais para aplicações que exigem tempos mínimos de conversão. Porém, a resolução está habitualmente limitada a 6–8 *bits*, devido ao crescimento exponencial de área e consumo energético associado aos múltiplos comparadores

exigidos. Já as arquiteturas *Pipeline* oferecem um equilíbrio intermédio, alcançando taxas elevadas (dezenas a centenas de MS/s) com resoluções médias a elevadas, mas a um custo significativo em termos de área, consumo e complexidade, tornando-se menos atraentes para integrações por coluna em sensores de imagem [21].

Os ADC rampa destacam-se pela sua simplicidade, baixo consumo e excelente gama de conversão. No entanto têm a sua velocidade limitada pelo tempo necessário que a rampa leva para percorrer todos os níveis até ao valor de entrada — implicando  $2^N$  ciclos por conversão. No contexto de sensores de imagem, a topologia SAR mostra-se especialmente vantajosa. Como indica a Figura 2.12, os conversores SAR cobrem um intervalo amplo de resoluções (tipicamente 10–16 *bits*) e taxas de conversão até dezenas de MS/s, mantendo ao mesmo tempo baixo consumo estático e simplicidade estrutural.

## 2.4. Conversor Digital-Analógico (DAC)

Dentro dos ADC, um elemento crítico é o DAC interno utilizado para gerar a tensão de referência,  $V_{\text{DAC}}$ , em cada passo de comparação. A escolha da topologia do DAC afeta diretamente a linearidade, área e consumo do conversor.

### 2.4.1. DAC baseado numa Cadeia Resistiva

O DAC em divisor resistivo é uma das mais comuns topologias de DAC vistas na implementação de ADC pela sua facilidade de implementação. É uma arquitetura formada por  $2^N$  resistências em série, criando  $2^N$  níveis de tensão entre 0 V e  $V_{\text{REF}}$ , como mostra a Figura 2.13. A esta topologia é, normalmente, associada uma cadeia de interruptores responsáveis por selecionar a tensão correspondente a qualquer código digital e um decodificador para controlo dos interruptores. A origem deste tipo de DAC remonta a meados do século XIX, tendo sido inicialmente proposto por Lord Kelvin [24]. As primeiras implementações foram feitas recorrendo a relés e resistências e, posteriormente, com tubos de vácuo na década de 1920 [25]–[27].

Numa implementação de um ADC SAR, o divisor resistivo pode ser utilizado de forma binária, por exemplo, realizando sucessivas aproximações até chegar a um valor próximo da tensão a converter. Numa primeira fase compara-se a entrada com o ponto médio de referência (nível  $2^{N-1}$ ), depois seleciona-se a metade superior ou

inferior da rede e compara-se com o quarto ou três-quartos da tensão de referência. Este algoritmo repete-se, recursivamente, até atingir uma condição de paragem.

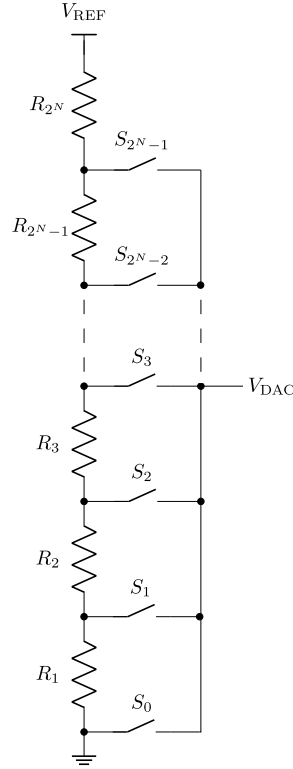


Figura 2.13: Arquitetura típica de um DAC baseado numa rede resistiva [17].

A tensão de saída ideal do DAC em divisor resistivo é dada por [17]:

$$V_{(i)\text{DAC,ideal}} = \frac{(i)V_{\text{REF}}}{2^N}, \text{ para } i = 0, 1, 2, \dots, 2^N - 1. \quad (2.12)$$

A grande vantagem desta cadeia de resistências é a fiabilidade da tensão de saída. A resistência de qualquer condutor elétrico varia com a temperatura [28]:

$$R = R_{\text{REF}}[1 + \alpha(T - T_{\text{REF}})], \quad (2.13)$$

com  $R$  sendo a resistência do material,  $R_{\text{REF}}$ , a resistência do material à temperatura de referência,  $T_{\text{REF}}$ ,  $T$  é a temperatura do condutor e  $\alpha$  o coeficiente de temperatura da resistência para o condutor elétrico. Se uma variação de temperatura existir,  $\Delta T$ , a resistividade do condutor elétrico irá mudar e, conseqüentemente, a resistência,  $R$ , também. Esta topologia, no entanto, garante que uma alteração no coeficiente

de temperatura do condutor incida de forma proporcional sobre cada segmento da cadeia. Consequentemente, a resistência total do divisor resistivo é alterada mas os  $2^N$  níveis de tensão são preservados.

Existem, naturalmente, algumas desvantagens no dimensionamento desta arquitetura, nomeadamente o crescimento exponencial no número de componentes necessários à medida que a resolução do DAC aumenta, o que pode-se tornar num problema em projetos com requerimentos de área apertados. Além disso, a própria malha resistiva é responsável por uma dissipação de potência estática:

$$I_{\text{divisor\_resistivo}} = \frac{V_{\text{REF}}}{R_{\text{eq}}}, \quad R_{\text{eq}} = 2^N R_k. \quad (2.14)$$

Embora o valor de  $R_k$  deva ser o mais pequeno possível para minimizar a área ocupada, o consumo de potência tornar-se-ia num problema. Existe, portanto, um compromisso entre área e consumo de potência que deve ser estabelecido.

### 2.4.2. DAC baseado numa Rede R-2R

Uma alternativa à arquitetura anterior é ilustrada na Figura 2.14, com uma estrutura baseada numa rede  $R$ - $2R$ . Esta arquitetura foi proposta por B. D. Smith, em 1953 [29], e é composta por conjuntos de resistências de valor  $R$  e  $2R$  e dependendo do seu arranjo — ou seja, se estão conectadas a  $V_{\text{REF}}$  ou a  $0\text{ V}$  — resulta numa tensão de saída relacionada com  $V_{\text{REF}}$ .

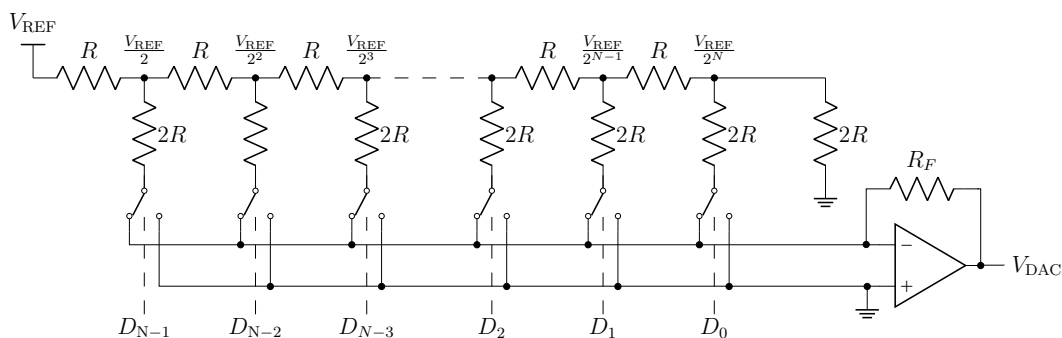


Figura 2.14: Arquitetura típica de um DAC baseado numa rede  $R$ - $2R$  [17].

A ideia desta topologia passa por atuar nos diferentes pares de resistências  $R$ - $2R$ , de forma a criar diferentes níveis de tensão que permitam quantizar a gama de tensões a converter. Uma vez que se trata de um circuito linear, é possível aplicar

o princípio da sobreposição para calcular  $V_{\text{DAC}}$  [17], [30]. Desta forma, a tensão de saída do DAC,  $V_{\text{DAC}}$ , pode ser obtida pela soma das contribuições ponderadas de cada conjunto  $R$ - $2R$ :

$$V_{\text{DAC}} = V_{\text{REF}} \sum_{i=1}^N D_i \frac{1}{2^i}. \quad (2.15)$$

Por exemplo, se os *bits* 1 e 3 estiverem ligados a  $V_{\text{REF}}$  com todas as outras entradas ligadas a 0 V, a tensão de saída pode ser obtida por:

$$V_{\text{DAC}} = \frac{V_{\text{REF}}}{2} + \frac{V_{\text{REF}}}{8}, \quad (2.16)$$

o que reduz para:

$$V_{\text{DAC}} = \frac{5V_{\text{REF}}}{8}. \quad (2.17)$$

O efeito de cada *bit* sucessivo, aproximando-se do LSB, é  $\frac{1}{2}$  do efeito do *bit* anterior. Se esta sequência for estendida para  $N$  *bits*, o efeito do LSB em  $V_{\text{DAC}}$  aproxima-se de 0 V. Por outro lado, com todos os *bits* ligados a  $V_{\text{REF}}$ , aproxima-se de  $V_{\text{REF}}$ , como mostrado pela equação:

$$\lim_{N \rightarrow \infty} \left( V_{\text{REF}} \sum_{i=1}^N \frac{1}{2^i} \right) = V_{\text{REF}}. \quad (2.18)$$

A grande vantagem da rede  $R$ - $2R$  é a utilização de apenas  $2N$  resistências. Além disso, a impedância de saída vista pelo amplificador ou comparador tende a ser constante, o que simplifica o *design* do estágio de saída. A principal desvantagem desta arquitetura é a sua precisão. A resistência de condução do interruptor,  $r_{\text{ON}}$ , em série com a resistência  $2R$ , introduz um fator que não pode ser desconsiderado. Além disso, cada resistência tem a si associada uma tolerância fazendo com que a proporção ideal de 2:1 seja algo difícil de obter em cenários reais de aplicação. Em cenários em que a resolução é um fator crítico, o tamanho dos interruptores pode ser aumentado para diminuir a influência do mesmo. Semelhante à topologia anterior, o DAC do tipo  $R$ - $2R$  tem a si associado um consumo estático de corrente que depende do divisor resistivo formado pela cadeia de resistências  $R$ - $2R$ .

### 2.4.3. DAC baseado numa Rede Capacitiva

Outra estrutura bastante popular dentro da tecnologia CMOS é o DAC baseado numa rede capacitiva, apresentado na Figura 2.15. Esta topologia consiste num conjunto de condensadores binariamente ponderados, totalizando  $2^N C$  (por exemplo,  $C, 2C, 4C, \dots, 2^{N-1}C$ ), conectados a um nó comum e ligados a um comparador [17]. O princípio de funcionamento é baseado na redistribuição de carga onde inicialmente todos os condensadores da rede são descarregados e a tensão de entrada,  $v_{IN}$ , é amostrada na rede. Em seguida, cada ramo capacitivo é, seletivamente, conectado a  $V_{REF}$  ou  $0 V$  formando um divisor capacitivo fazendo com que a tensão de saída,  $V_{DAC}$ , seja uma função do divisor capacitivo.

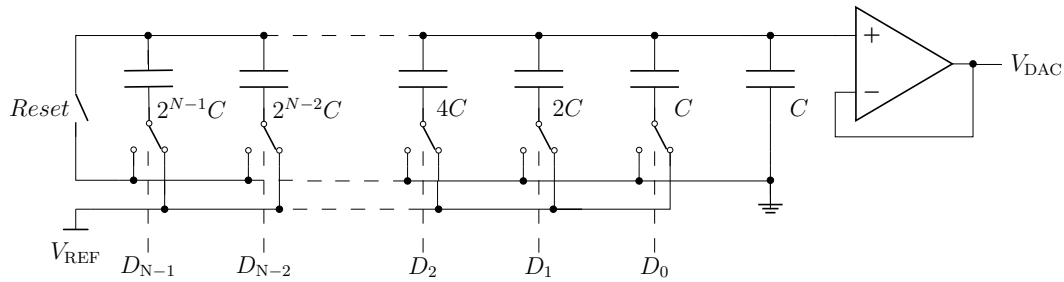


Figura 2.15: Arquitetura típica de um DAC baseado numa rede capacitiva [17].

Da Figura 2.15, se o MSB é conectado a  $V_{REF}$  e os restantes a  $0 V$ , a tensão de saída do DAC,  $V_{DAC}$ , será:

$$V_{DAC} = V_{REF} \times \frac{2^{N-1}C}{(2^{N-1} + 2^{N-2} + 2^{N-3} + \dots + 4 + 2 + 1 + 1)C}. \quad (2.19)$$

Uma vez que a capacidade total da rede capacitiva é  $2^N C$ , a expressão 2.19 pode ser simplificada para:

$$V_{DAC} = V_{REF} \times \frac{2^{N-1}C}{2^N C} = \frac{V_{REF}}{2}. \quad (2.20)$$

A relação entre  $V_{REF}$  e  $V_{DAC}$  pode ser generalizada para:

$$V_{DAC} = V_{REF} \times \frac{2^k C}{2^N C} = 2^{k-N} \times V_{REF}. \quad (2.21)$$

Aplicando o princípio da sobreposição,  $V_{DAC}$  pode ser expresso em função de qualquer palavra digital de entrada:

$$V_{\text{DAC}} = \sum_{k=0}^{N-1} D_k \times 2^{k-N} \times V_{\text{REF}}. \quad (2.22)$$

Esta arquitetura apresenta várias vantagens como a ausência de consumo estático, o que é valioso quando se tem centenas de ADC dentro de um mesmo *chip*. Além disso, a rede capacitiva pode servir simultaneamente como elemento de amostragem e como DAC, economizando área e simplificando a temporização do ADC [17].

No entanto e, tal como a topologia  $R-2R$ , esta arquitetura é altamente dependente de uma relação fiável entre os valores de cada condensador. Erros de *undercutting* (remoção lateral do óxido na fotogravura) e gradientes de espessura do dielétrico (*non-uniform oxide growth*) tornam a relação entre os condensadores algo difícil de obter [17]. Acresce que, a presença de um interruptor associado a cada condensador introduz uma capacidade parasita a que a arquitetura não é insensível. Essas capacidades ficam em série com o elemento principal prejudicando a linearidade do sistema.

Existe também um problema associado ao dimensionamento de condensadores em silício. Se se considerar um ADC SAR de 10 *bits* com um condensador mínimo de  $C_u = 200$  fF, o condensador associado ao MSB terá uma capacidade de:

$$C_{\text{MSB}} = 2^9 \times 200 \text{ fF} = 105 \text{ pF}. \quad (2.23)$$

Na tecnologia CMOS de 65 nm, condensadores MOM (*Metal-Oxide-Metal*) tipicamente apresentam uma densidade,  $\rho_{\text{MOM}}$ , de 1.6–1.9 fF/ $\mu\text{m}^2$ . Adotando o valor médio 1.8 fF/ $\mu\text{m}^2$ , a área fotográfica,  $A$ , necessária é:

$$A = \frac{C_{\Sigma}}{\rho_{\text{MOM}}} = \frac{205 \text{ pF}}{1,8 \text{ fF}/\mu\text{m}^2} \approx 1,14 \times 10^5 \mu\text{m}^2, \quad (2.24)$$

o que corresponde, em primeira aproximação, a um quadrado de cerca de  $337 \mu\text{m} \times 337 \mu\text{m}$ . A esse valor são acrescentadas margens de isolamento, metal de interligação e os interruptores MOS que o circundam. Mesmo à escala de 65 nm, este bloco ocupa uma área considerável, ilustrando porque é que, na prática, esta topologia pode não ser a preferida para projetos com limites de área apertados, como por exemplo micro-câmaras.

## 2.5. Comparadores nos ADC SAR

O comparador é um dos blocos fundamentais na arquitetura de um ADC SAR, sendo responsável por tomar uma decisão binária em cada ciclo do processo de conversão. A sua função consiste em comparar a tensão analógica de entrada com a tensão gerada pelo DAC interno do ADC e fornecer uma saída digital que indica qual das duas é maior. Esta decisão orienta a lógica SAR na seleção do próximo *bit* durante o processo iterativo de aproximações sucessivas.

### 2.5.1. Funcionamento e Parâmetros dos Comparadores

A operação básica do comparador é ilustrada na Figura 2.16. Quando a tensão aplicada à entrada não-inversora (+) é superior ao da entrada inversora (-), a saída do comparador assume o nível lógico alto,  $V_{OH}$ . No sentido inverso, quando o potencial na entrada não-inversora é inferior ao da entrada inversora, a saída assume o nível lógico baixo,  $V_{OL}$ .

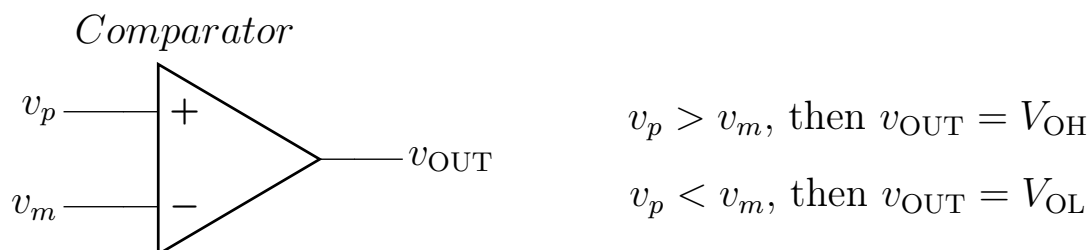


Figura 2.16: Princípio de funcionamento de um comparador [17].

Existem diversos parâmetros que devem ser tidos em conta no desenho do bloco do comparador. Um compromisso que se procura é que este bloco seja suficientemente rápido e preciso para garantir que a decisão binária seja tomada corretamente e dentro de um curto intervalo de tempo. Na Figura 2.17a é ilustrada a curva de resposta de um comparador ideal em contraste com a curva de resposta de um comparador não-ideal (Figura 2.17b). O tempo de decisão do comparador depende diretamente da amplitude do sinal de entrada [31].

A velocidade de comutação de um comparador pode ser determinada de diferentes formas. Numa abordagem convencional, esta é definida como o intervalo de tempo decorrido desde o instante em que o sinal de relógio atinge 50% do seu valor

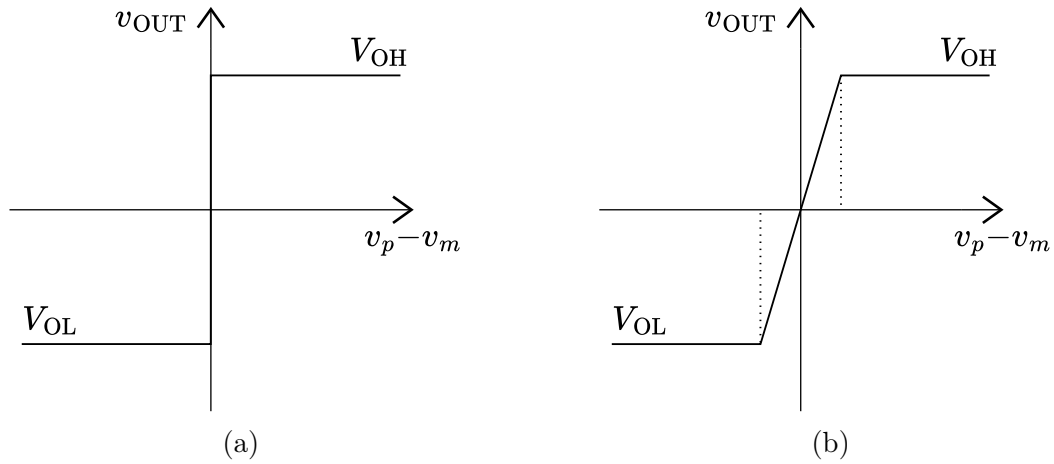


Figura 2.17: Curva de resposta de um comparador (a) ideal e (b) não ideal [31].

de transição até ao momento em que a diferença entre as saídas  $v_m$  e  $v_p$  atinge 50% de  $V_{DD}$ . Outra alternativa consiste em considerar que a decisão é tomada quando a diferença entre  $v_m$  e  $v_p$  atinge 90% de  $V_{DD}$ , assegurando, assim, uma margem de confiança superior relativamente à determinação do estado lógico da saída.

O consumo de potência nos comparadores assume particular importância em aplicações de baixa potência. Neste contexto, estes podem ser classificados em duas categorias principais: as arquiteturas dinâmicas que se destacam pela ausência de corrente estática durante o funcionamento, ao contrário dos comparadores estáticos, que mantêm uma corrente contínua mesmo fora da fase de comparação [31].

A tensão de *offset* de entrada é um efeito não ideal comum nos comparadores e corresponde à menor diferença de tensão necessária entre as entradas para que o sinal de saída comute corretamente. Na prática, este fenómeno pode ser modelado como uma fonte de tensão conectada a uma das entradas do comparador, como mostra a Figura 2.18. O ponto de comutação do comparador é deslocado do ponto ideal na presença de *offset* [22].

A principal causa do *offset* é o *mismatch* entre os transístores do par diferencial de entrada, resultante de pequenas variações nas dimensões físicas e nos parâmetros elétricos dos dispositivos, como a tensão de limiar (*threshold*) ou a resistência de condução. Estes desajustes são inevitáveis devido às tolerâncias do processo de fabrico e tornam o *offset* difícil de prever com exatidão antes da produção. Para mitigar este efeito, é comum aumentar as dimensões dos transístores críticos, reduzindo

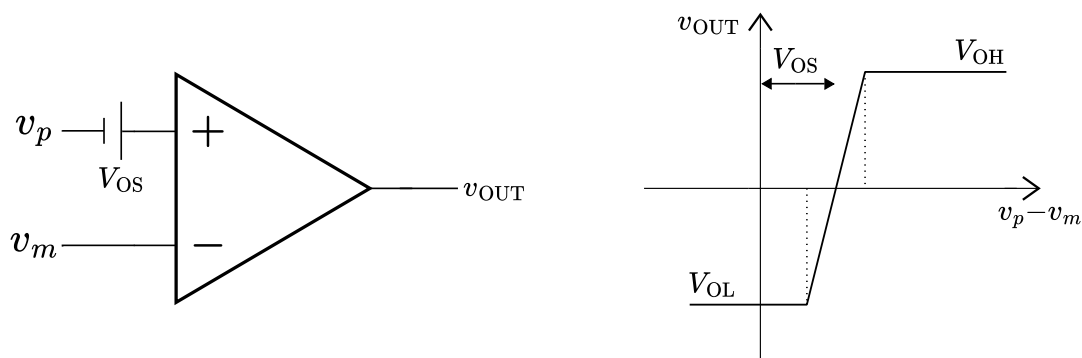


Figura 2.18: Ilustração de um comparador afetado por uma tensão de *offset* [22]

assim o impacto relativo das variações estatísticas. No entanto, em casos extremos, o *offset* pode ser suficientemente elevado para impedir o comparador de distinguir corretamente entre dois níveis de tensão próximos, levando a decisões incorretas e à introdução de erros sistemáticos no sistema [22].

Outro parâmetro crítico no desempenho dos comparadores é o ruído referido à entrada (*input-referred noise*). Tal como acontece com o *offset*, o ruído tem origem principalmente nas imperfeições dos transístores do par diferencial de entrada. O ruído térmico e o ruído de disparo introduzem incerteza na decisão do comparador, especialmente quando a diferença de tensão entre as entradas é pequena. Este ruído pode ser modelado como uma flutuação aleatória no ponto de comutação [31], [32].

Adicionalmente, um fenómeno importante que afeta a precisão do comparador é o denominado *kickback noise*. Estas perturbações acontecem devido às capacidades parasitas existentes entre os terminais dos transístores. Quando o comparador inicia o processo de comparação, as variações rápidas nos nós de saída acoplam-se capacitivamente às entradas, perturbando o sinal de entrada. Em situações em que a tensão diferencial de entrada é pequena, o *kickback noise* pode inverter o resultado da comparação, originando erros aleatórios e comprometendo a exatidão do conversor ADC. Para mitigar este efeito, recorre-se frequentemente a técnicas de isolamento das entradas, como o uso de estágios pré-amplificadores [31].

### 2.5.2. Topologias de Comparadores

Existem diversas topologias de comparadores utilizadas em conversores analógico-digitais de acordo com as suas necessidades. A Tabela 2.1 apresenta uma compara-

ção qualitativa das principais topologias, considerando os critérios mais relevantes: velocidade, *offset*, gama de entrada, consumo e complexidade.

Esta comparação é útil para destacar os compromissos inerentes a cada escolha arquitetural. As topologias dinâmicas, como o *StrongARM Latch* e o *Double-Tail Latch*, caracterizam-se por uma elevada velocidade devido à sua natureza regenerativa, que permite uma decisão rápida através de realimentação positiva. A característica dinâmica reflete-se no baixo consumo em regime estacionário — ou seja, o consumo de potência é significativamente reduzido quando não há comutação do sinal de saída — tornando estas topologias ideais para aplicações de baixa potência [33]. A versão *double-tail* costuma alcançar um menor *offset* em comparação com a sua versão mais simplificada, ao isolar a fase de pré-amplificação da fase de regeneração. Esta separação permite maior tolerância a imprecisões do circuito com o custo de um aumento da complexidade estrutural [34].

Os comparadores baseados em amplificadores operacionais são preferidos em contextos onde se privilegia a linearidade e uma elevada rejeição ao ruído. Estas estruturas caracterizam-se também por um consumo contínuo de corrente mesmo fora das fases ativas de decisão. O comparador telescópico é particularmente rápido e consome pouca potência, beneficiando de um único estágio com elevada impedância de saída. Contudo, a sua faixa de entrada é limitada pela tensão de saturação dos transístores em *cascode*, o que pode ser impeditivo em aplicações com uma faixa de entrada reduzida. O *folded cascode* resolve esta limitação ao permitir a utilização de transístores de entrada com polaridade oposta, expandindo a gama de entrada, à custa de maior consumo. Os comparadores de dois estágios, são tipicamente compostos por um estágio diferencial seguido de um estágio *common-source*. O primeiro estágio providencia ganho e o segundo estágio maximiza o *output swing* do comparador. No entanto, esta abordagem introduz uma penalização em termos de consumo e tempo de decisão devido à própria característica de dois estágios [35].

Tabela 2.1: Comparação qualitativa de diferentes topologias de comparadores.

Topologia	Velocidade	Offset	Faixa de Entrada	Consumo	Complexidade
<i>StrongARM Latch</i> [33]	Alta	Baixo	Alta	Baixo	Baixa
<i>Double-Tail Latch</i> [34]	Alta	Baixo	Alta	Baixo	Média
<i>Telescopic Cascode</i> [35]	Alta	Médio	Baixa	Médio	Média
<i>Folded-Cascode</i> [35]	Média	Baixo	Médio	Alta	Alta
<i>Dual-Stage</i> [35]	Baixa	Baixo	Alta	Alta	Alta

## 2.6. Amostragem Dupla Correlacionada (CDS)

A técnica de amostragem dupla correlacionada — do inglês *Correlated Double Sampling* (CDS) — tem grande relevância em sistemas de aquisição de imagem, pois permite atenuar vários tipos de ruído inerentes ao processo de leitura dos sensores. Em termos simples, o CDS consiste em tomar duas amostras correlacionadas do sinal de cada píxel: uma amostra de referência (tipicamente o nível de *reset* do píxel, sem iluminação) e uma amostra do sinal efetivo (após a integração da luz). Ao se calcular a diferença entre essas duas amostras, obtém-se o valor de sinal útil compensado, eliminando componentes indesejadas como *offset* e ruídos de baixa frequência.

### 2.6.1. Ruído em Sensores de Imagem CMOS

Os sensores de imagem CMOS estão sujeitos a diversas fontes de ruído que degradam a qualidade do sinal capturado. Entre os principais destacam-se o ruído de padrão fixo (FPN), o ruído térmico — tipicamente ruído branco, incluindo o ruído de *reset* ( $kT/C$ ) e o ruído Johnson dos transístores — e os *offsets* introduzidos pelos diversos blocos do sistema [36].

O FPN refere-se a variações sistemáticas e fixas entre os elementos do sensor — por exemplo, diferenças de ganho entre píxeis — resultando num padrão de ruído que permanece constante imagem após imagem sob condições de iluminação uniforme. Sem correção, o FPN manifesta-se como pontos ou linhas mais claros/escuros de forma repetitiva na imagem mesmo em situações em que o sensor é exposto a condições de iluminação uniforme. Já o ruído térmico inclui componentes aleatórios causados pelo movimento termicamente agitado de portadores nos circuitos (ruído branco) e também componentes de baixa frequência como o ruído *flicker* ( $1/f$ ). Um exemplo crítico de ruído térmico em sensores de imagem é o ruído de *reset* associado à capacidade do píxel. Sempre que o fotodíodo de um píxel é reinicializado, a tensão de *reset* apresenta uma incerteza termicamente limitada ( $kT/C$ ) que introduz um ruído de nível no píxel [37].

A motivação para o uso do CDS é precisamente atenuar estas componentes de ruído e *offset*. Tomando duas amostras correlacionadas no tempo — uma imediatamente após o *reset* do píxel (referência de negro) e outra após a integração do sinal — e subtraindo-as, é possível cancelar quaisquer termos constantes que afetem

igualmente ambas as medidas. Por outras palavras, ruídos e desvios presentes de forma comum nas duas amostras são eliminados. Isto inclui o *offset* fixo do caminho de leitura (que afeta igualmente a leitura de *reset* e de sinal) e, também, o ruído de *reset* do condensador do píxel, pois este ruído manifesta-se como um deslocamento aleatório no nível de *reset* do píxel que permanece constante durante o intervalo até à leitura do sinal. Assim, ao subtrair o nível de *reset* do nível de sinal, remove-se completamente o ruído de *reset* do resultado. Por outro lado, componentes de ruído puramente aleatórios não correlacionados entre as duas amostras não são cancelados pela subtração. No caso simplificado de ruído branco com variância  $\sigma^2$  em cada amostra, a operação de diferença resulta numa variância de aproximadamente  $2\sigma^2$  (sendo o desvio-padrão  $\sqrt{2}\sigma$ ).

### 2.6.2. Fundamento da Amostragem Dupla Correlacionada

A técnica de CDS envolve efetuar duas amostras sequenciais de um sinal de saída do sensor seguidos de uma operação de subtração. No contexto de um sensor de imagem, esses dois níveis correspondem geralmente ao nível de *reset* do píxel,  $V_{RST}$ , medido logo após o fotodíodo ser reinicializado e o nível de sinal,  $V_{SIG}$ , medido após o período de exposição luminosa. Supondo que o sinal de saída analógico de um píxel possa ser modelado como:

$$v_{OUT} = V_{SIG} + V_{OS} + n_s, \quad (2.25)$$

durante a leitura do sinal, e

$$v_{OUT,reset} = V_{RST} + V_{OS} + n_r, \quad (2.26)$$

durante a leitura do *reset*, onde  $V_{OS}$  representa um termo de *offset* DC fixo do canal de leitura (comum a ambas as leituras),  $n_s$  representa ruído aleatório presente na leitura do sinal, e  $n_r$  o ruído presente na leitura do *reset*. O valor final após a aplicação da técnica de CDS é obtido por subtração:

$$v_{OUT,CDS} = V_{SIG} - V_{RST} + (n_s - n_r). \quad (2.27)$$

Note-se que o termo de *offset*,  $V_{OS}$ , foi cancelado. Idealmente,  $v_{OUT,CDS}$  corresponde apenas à variação de tensão causada pela foto-carga ( $V_{SIG} - V_{RST}$ ), que é

proporcional à carga integrada, somada à diferença dos ruídos aleatórios não correlacionados  $n_s - n_r$ .

Do ponto de vista de implementação, a amostragem dupla correlacionada pode ser realizada tanto de forma inteiramente analógica (antes da conversão analógico-digital), quanto de forma digital (após conversão analógico-digital) ou ainda através de uma abordagem mista que combine as duas técnicas, de forma a tirar partido das vantagens de ambas as abordagens.

### 2.6.3. CDS Analógico vs CDS Digital

Para ilustrar os efeitos visuais associados aos diferentes tipos de amostragem nos sensores de imagem CMOS, a Figura 2.19 apresenta uma comparação direta entre quatro casos distintos: imagem no escuro sem qualquer técnica de CDS (2.19a), com CDS analógico (2.19b), com CDS digital (2.19c) e com a combinação de CDS digital e analógico (2.19d). Todas as imagens foram obtidas sob condições de exposição luminosa idênticas, permitindo evidenciar claramente o impacto de cada abordagem na atenuação do ruído de padrão fixo e na fidelidade da imagem.

No CDS analógico, a subtração entre o sinal de *reset* e o sinal exposto do píxel é realizada no domínio analógico, antes da conversão analógico-digital. Tipicamente, o CDS analógico é implementado através de circuitos de amostragem e retenção. Numa primeira fase, a tensão de *reset* do píxel é amostrada num condensador e, em seguida, essa tensão é combinada com a tensão do píxel após o tempo de exposição, obtendo-se uma diferença analógica correspondente à carga acumulada (sinal útil). Essa diferença é então enviada para um conversor analógico-digital (ADC) para a quantização do sinal.

A vantagem desta abordagem é a rapidez uma vez que apenas uma conversão analógico-digital é necessária por píxel (a do valor já subtraído). Consequentemente, o CDS analógico pode oferecer maior velocidade de leitura, uma vez que elimina a necessidade de múltiplas leituras por píxel no ADC. Além disso, ao cancelar o nível de *reset* diretamente no domínio analógico, o ruído térmico associado ao ruído *reset* armazenado no condensador de amostragem do píxel é reduzido [37].

O impacto do CDS analógico é evidenciado pela comparação entre a imagem sem CDS (Figura 2.19a) e a imagem com CDS (Figura 2.19b). No primeiro caso, a variância do histograma da imagem atinge um valor de aproximadamente 27,74

refletindo a forte presença de ruído de *reset* e variações fixas entre píxeis. Com a introdução do CDS analógico, essa variância reduz-se drasticamente para cerca de 3,4 evidenciando uma melhoria substancial na uniformidade da imagem. Refira-se que a variância traduz-se num desvio padrão,  $\sigma$ , e está diretamente relacionada com o grau de uniformidade da imagem, sendo, por isso, um bom indicador da eficácia do processo de amostragem na redução do ruído residual.

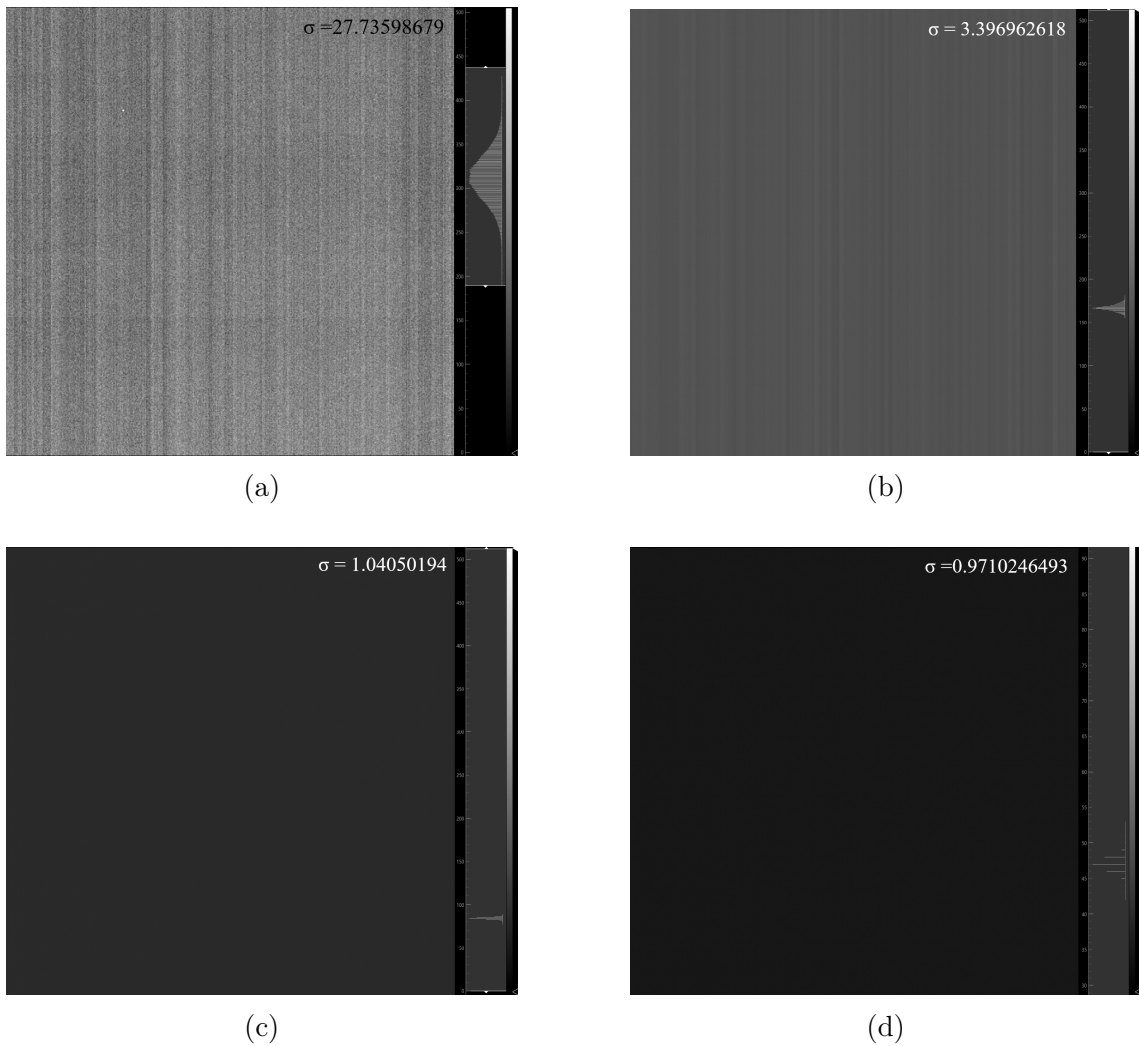


Figura 2.19: Comparação entre os diferentes tipos de CDS num sensor de imagem CMOS, sob as mesmas condições de exposição à luz. Em (a) sem aplicação de CDS, em (b) com aplicação de CDS analógico, em (c) com aplicação de CDS digital e em (d) com a combinação de CDS analógico e digital.

No entanto, o CDS analógico apresenta algumas desvantagens. Para alcançar

alta precisão na subtração analógica, são necessários condensadores de grande capacidade [37]. Em sensores de alta resolução (acima de 8 *bits*), torna-se difícil manter a exatidão da diferença analógica – pequenas diferenças de nível podem se perder devido a ruídos e imperfeições do circuito analógico. Além disso, o CDS analógico não consegue eliminar discrepâncias de *offset* ou de ganho do próprio ADC entre colunas. Este fenómeno é visível na Figura 2.19b com as diversas colunas do sensor a apresentarem níveis de cor diferentes, mesmo em condições de luminosidade uniforme.

No CDS digital, as duas amostras (sinal de *reset* e sinal pós-exposição) de cada píxel são convertidas separadamente para o domínio digital, e a subtração é efetuada numericamente. A grande vantagem dessa estratégia é a potencial precisão elevada: a correção do FPN passa a depender da resolução do ADC e do processamento digital, permitindo alcançar qualidades de imagem superior a 10 *bits*, sem estar limitado pelo tamanho dos condensadores ou ruído térmico. Além disso, o CDS digital cancela não apenas o *offset* intrínseco do píxel, mas também quaisquer erros de *offset* constantes no caminho de leitura (por exemplo, o *offset* do comparador do ADC), desde que esses erros permaneçam os mesmos nas duas conversões.

Visualmente, o efeito da aplicação do CDS digital é evidenciado na Figura 2.19c, onde se observa uma imagem substancialmente mais uniforme em comparação com a obtida através de CDS analógico, representada na Figura 2.19b. Esta diferença torna-se particularmente evidente na análise dos histogramas apresentados à direita de ambas as figuras: o histograma correspondente ao CDS digital apresenta uma variância significativamente menor, refletida por um desvio padrão menor. A desvantagem primária do CDS digital é o aumento do tempo de conversão e sua complexidade. Como são necessárias duas conversões analógico-digital por píxel (duas leituras separadas), o tempo total de conversão praticamente duplica em comparação com uma única leitura.

Para tirar partido das vantagens de ambas as abordagens, é possível recorrer a uma combinação de CDS analógico com CDS digital. Nesta configuração híbrida, a subtração inicial do nível de *reset* ocorre no domínio analógico, reduzindo o ruído térmico associado ao *reset* e permitindo uma leitura mais limpa do sinal útil. Em seguida, após a conversão analógico-digital, o CDS digital é responsável por cancelar *offsets* residuais introduzidos pelo caminho de leitura. Esta estratégia combinada permite alcançar uma redução mais eficaz do ruído total, melhorando a uniformidade

da imagem sem sacrificar o desempenho temporal ou a complexidade do sistema. A Figura 2.19d ilustra o resultado obtido com esta abordagem mista, sendo a imagem com a menor variância e, conseqüentemente, com o nível de negro mais estável e uniforme entre as quatro analisadas.

#### 2.6.4. Impacto do CDS em ADC de Rampa e SAR

A penalização em termos de desempenho temporal do CDS digital depende diretamente da arquitectura de ADC utilizada no sensor. Para ilustrar esta relação, é apresentada uma comparação sobre o impacto teórico do CDS digital no tempo de conversão em duas arquitecturas distintas de ADC: o ADC de rampa e o ADC por aproximações sucessivas.

Como discutido na Secção 2.3.2, um ADC de rampa simples necessita de um contador que mede o tempo que o sinal de rampa demora a atingir o nível de tensão do píxel, determinando assim o código digital correspondente. O principal problema desta arquitectura é que o tempo de conversão cresce exponencialmente com a resolução [38].

Uma vez que a aplicação do CDS digital requer duas conversões analógico-digitais — uma do sinal de *reset* e outra do sinal do píxel — o que, no caso de um ADC de rampa, implica a realização de duas rampas completas por conversão, resultando em aproximadamente  $2 \times 2^N$  passos de comparação. No caso de uma resolução de 10 *bits*, isto corresponde a  $1024 + 1024 = 2048$  ciclos de relógio para obter ambas as leituras. Generalizando, o tempo total de conversão CDS de um ADC rampa de  $N$  *bits* pode ser expresso por:

$$t_{c,CDS} = \frac{2^N}{f_{clk}} + \frac{2^q}{f_{clk}} \quad (2.28)$$

onde  $f_{clk}$  é a frequência do relógio do contador,  $N$  é o número de *bits* do conversor e  $q$  é um inteiro que define a gama de conversão para o sinal de *reset* [38].

Na prática, este tempo pode ser otimizado se o intervalo de conversão do sinal de *reset*,  $V_{RST}$ , for inferior ao intervalo necessário para a conversão do sinal exposto,  $V_{SIG}$ . De facto, como o sinal de *reset* corresponde à resposta do píxel na ausência de luz — um valor previsível e tipicamente restrito a uma faixa estreita da curva de transferência do píxel — é comum reduzir a rampa de *reset* à gama correspondente

à resposta do píxel no escuro. Por essa razão, é frequente que a duração da rampa de *reset* seja reduzida para cerca de um quarto da duração da rampa usada para o sinal exposto. Mesmo assumindo essa redução, o tempo total de uma conversão CDS num ADC rampa é de  $1024 + 256 = 1280$  ciclos de relógio.

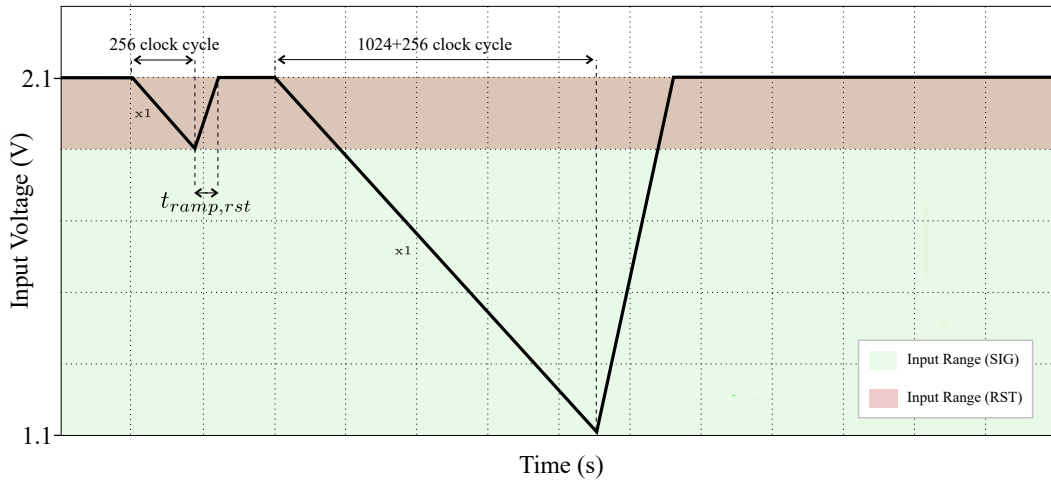
Por contraste, num ADC SAR, o número de ciclos de conversão cresce linearmente com a resolução. Um ADC SAR de  $N$  bits realiza exatamente  $N$  comparações por conversão, independentemente da amplitude do sinal. Assim, para uma resolução de 10 bits, são necessários apenas 10 ciclos de relógio por conversão. Para uma conversão CDS, totalizam-se  $2 \times N = 20$  ciclos de relógio — um número muito inferior aos 1280 ciclos do ADC rampa. Esta vantagem torna a arquitetura SAR particularmente atrativa em sensores que exigem elevadas velocidades de leitura e alta resolução.

A precisão da conversão do sinal de *reset* torna-se especialmente determinante em ambientes de baixa luminosidade, onde as componentes de ruído intrínsecas de um sensor de imagem são predominantes. Nestas condições, reduzir a conversão do sinal de *reset* a 256 ciclos de relógio pode ser considerado insuficiente. Para melhorar o contraste das imagens obtidas é comum, em ambientes de baixa luminosidade, a introdução de ganho no sistema, como ilustrado na Figura 2.20.

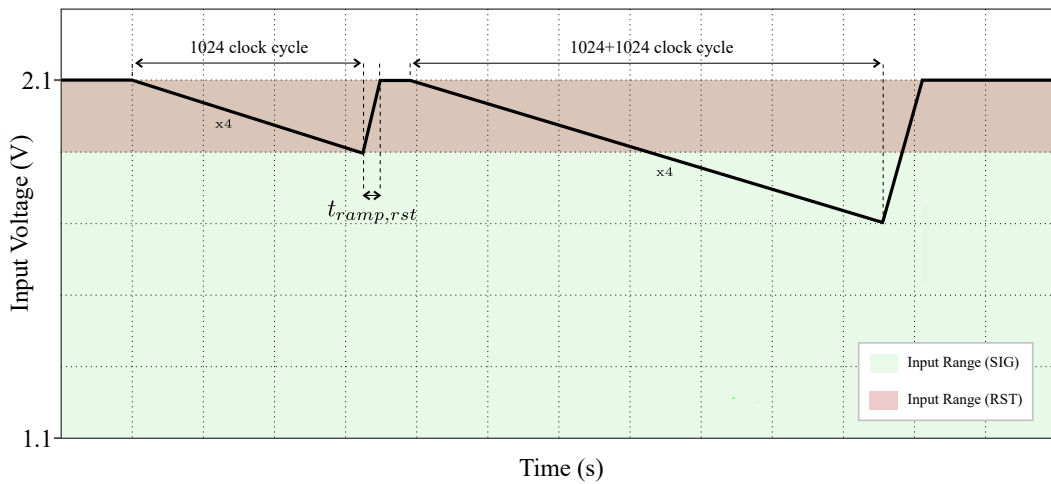
No contexto de uma conversão CDS num ADC rampa, a introdução de ganho traduz-se na alteração do declive da rampa de referência. A Figura 2.20b exemplifica o caso da aplicação de ganho de 4, onde a gama do sinal de *reset* é quantificada em 1024 níveis — ou seja, uma resolução 4 vezes maior em relação a uma conversão sem aplicação de ganho. Para garantir que a cobertura da faixa de *reset* é total, o tempo total da conversão do sinal de *reset* aumenta na mesma proporção.

Para que a conversão CDS seja corretamente realizada, o passo de quantização (LSB) deve manter-se inalterado entre a conversão de *reset* e a conversão do sinal, o que implica que o declive da rampa seja o mesmo em ambas as operações.

É importante notar que a aplicação de ganho reduz a gama de conversão disponível para o sinal. Na prática, esta operação corresponde a quantizar a faixa de *reset* do píxel em passos de quantização mais pequenos. Manter o LSB constante nas duas conversões obriga a reduzir a gama de sinal na mesma proporção, como ilustrado na Figura 2.20b. Por este motivo, a utilização de ganho é especialmente vantajosa em ambientes pouco iluminados, onde a gama dinâmica do sinal tende a ser naturalmente mais baixa, como referido anteriormente.



(a)



(b)

Figura 2.20: Formas de onda de uma conversão CDS num ADC de rampa com ganho (a)  $\times 1$  e (b)  $\times 4$ .

A principal desvantagem da aplicação de ganho num ADC de rampa reside no aumento significativo da duração total da conversão. Considerando o pior caso, em que a rampa percorre a totalidade da gama de entrada correspondente ao nível de *reset* do pixel, seriam necessários 1024 ciclos de relógio para quantizar este valor. Isto introduziria uma penalização de  $1024 + 1024$  ciclos de relógio para a conversão de sinal, além do tempo necessário para a reinicialização do sinal de referência da rampa,  $t_{ramp,rst}$ . Assim, totalizam-se mais de 3000 ciclos de relógio para efetuar uma

conversão CDS num ADC de rampa de 10 *bits* com ganho 4.

O ADC SAR, por sua vez, é imune a este problema. A característica dinâmica desta topologia permite a introdução de ganho com uma simples alteração das tensões de referência do DAC sem penalização no tempo total da conversão. Assim, uma conversão com CDS num ADC SAR tem um custo fixo de ciclos de relógio, de acordo com a resolução do ADC. Se se efetuar um exercício semelhante ao realizado para o ADC de rampa, uma conversão com CDS com a aplicação de ganho 4 num ADC SAR de 10 *bits* teria um custo total de 20 ciclos de relógio. De notar que, tal como no ADC SAR, o passo de quantização da conversão de sinal deve manter-se o mesmo da conversão de *reset* o que implica que, com a introdução de ganho, a faixa de cobertura do ADC diminua.

## Desenho da Arquitetura do ADC

Este capítulo apresenta o enquadramento teórico e propõe uma arquitetura alternativa de conversor analógico-digital (ADC), com aplicação específica em sensores de imagem. Inicia-se com a análise dos principais requisitos técnicos destes sistemas, fundamentando a escolha da topologia adotada. Segue-se a descrição detalhada da arquitetura proposta, incluindo o respetivo diagrama de blocos e a função de cada subsistema. A proposta visa satisfazer os requisitos de um sensor de imagem de elevado desempenho, nomeadamente elevada taxa de conversão, elevada linearidade, baixo consumo energético e a capacidade de realizar CDS.

### 3.1. Enquadramento do Capítulo

O presente trabalho visa propor uma arquitetura de conversor analógico-digital (ADC) alternativa à atualmente utilizada no sensor P110 da empresa ams-OSRAM [1]. O ADC deste sensor baseia-se numa arquitetura de rampa, associada a um contador e um comparador, responsáveis pela conversão do sinal analógico de entrada num código digital. Um esquema simplificado pode ser observado na Figura 3.1.

A implementação deste conversor foi fabricada em tecnologia CMOS de 65 nm, operando com uma tensão de alimentação de 3,3 V, e apresenta uma resolução de 10 *bits*. O tempo de conversão, sem CDS, é de aproximadamente 600 ns, com um consumo médio de 1 mW/conversão. Sabe-se ainda que o erro de não-linearidade integral (INL) desta arquitetura é da ordem de  $\pm 3$  LSB. Quando operado em modo CDS, o tempo de conversão aumenta para valores superiores a 1,2  $\mu$ s, dependendo do ganho aplicado a esta etapa de conversão. Este tempo depende ainda do processo

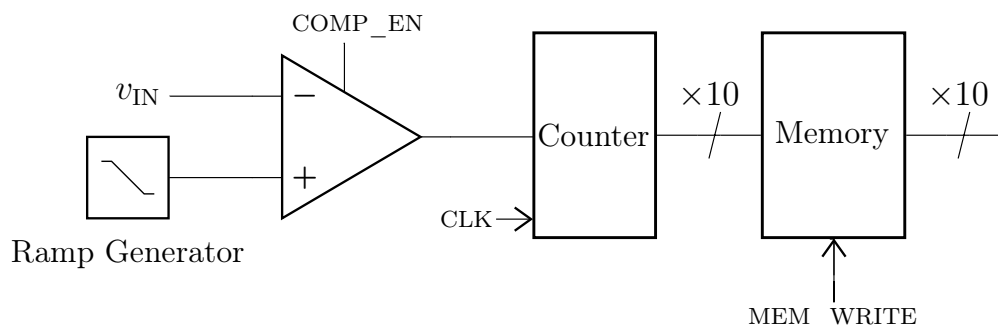


Figura 3.1: Diagrama de blocos do ADC em rampa do sensor P110.

de recuperação da rampa após a conversão *reset*, uma vez que, quanto maior for a gama de entrada do ADC, maior será o tempo necessário para o sinal da rampa regressar ao valor inicial e iniciar a conversão seguinte.

Com base nestes dados, começou-se por estabelecer algumas metas para o desenvolvimento da nova arquitetura do ADC. Em primeiro lugar, pretende-se conceber a nova arquitetura mantendo a mesma tecnologia de fabrico — CMOS de 65 nm — e a tensão de operação de 3,3 V, tal como no P110.

Um dos objetivos centrais é reduzir o tempo de conversão, de modo a permitir taxas de aquisição de imagem superiores. Assumindo um sensor base composto por uma matriz de  $1080 \times 1080$  píxeis, partilhando cada ADC por blocos de 10 colunas, resulta que cada ADC é responsável por converter:

$$N_{\text{pixels}} = 10 \times 1080 = 10\,800 \text{ píxeis/frame.} \quad (3.1)$$

E estabelecendo uma taxa mínima de atualização de quadros de 60 *frames* por segundo, a taxa mínima de amostragem de cada ADC deve ser:

$$f_s = N_{\text{pixels}} \times 60 = 10\,800 \times 60 = 648\,000 \text{ amostras/segundo,} \quad (3.2)$$

resultando, assim, uma taxa mínima de amostragem,  $f_s$ , de 648 kS/s por ADC, necessária para garantir a aquisição de 60 quadros por segundo.

Uma vez que a integridade da imagem depende da precisão com que cada píxel é amostrado, é fundamental garantir a implementação de um sistema com boa linearidade. No Capítulo 2 observou-se que, tipicamente, procura-se otimizar os valores de DNL e INL para que estejam na gama de  $\pm 1/2$  LSB. Pretende-se, por-

tanto, um sistema robusto a interferências e variações das condições de operação — como variações na tensão de alimentação e variações da temperatura ambiente — sendo crucial para aplicações onde a fiabilidade da imagem é determinante. Por exemplo, em aplicações como a endoscopia, a qualidade da imagem não pode ser comprometida, sob risco de limitar a aplicabilidade clínica do sistema.

O consumo de potência é igualmente um parâmetro crítico. Também dentro do contexto da endoscopia, o aumento da dissipação de potência pode traduzir-se num aquecimento localizado, causando desconforto ou risco para o paciente durante o procedimento [39]. Adicionalmente, em aplicações portáteis ou sem fios, os sensores são normalmente alimentados por baterias, pelo que se torna essencial otimizar a eficiência energética para maximizar o tempo de operação.

A resolução necessária de um ADC para sensores de imagem depende, em última análise, da sensibilidade do olho humano à variação da luminância. Existem diversos estudos que procuram modelar o olho humano com o objetivo de determinar a sua sensibilidade à luminância, ou seja, quantos níveis distintos de cinza podem ser efetivamente percebidos. Entre os modelos mais reconhecidos encontram-se os propostos por Movshon e Kiorpes [40], o modelo proposto por Daly [41] e o modelo de Barten [42], [43]. Estes modelos indicam que o olho humano, nas melhores condições, consegue discriminar entre 700 e 900 tons de cinza [44]. Este limite perceptual está na base da norma DICOM PS3.14 - *Gray Standard Display Function* (GSDF) que estabelece uma curva de luminância baseada na percepção humana dividida em 1023 passos perceptualmente equidistantes, também conhecidos como JND (Diferenças Justo Percetíveis). Por estas razões, os ADC dos sensores de imagem são tipicamente dimensionados para resoluções entre 10 - 12 *bits* [45].

Paralelamente, optou-se por investigar arquiteturas alternativas à rampa, nomeadamente os conversores por aproximações sucessivas (SAR), dada a sua reconhecida eficiência para aplicações em sensores de imagem. Esta escolha revelou-se especialmente adequada quando comparada com outras topologias. Por exemplo, os conversores sigma-delta, tal como os de rampa, permitem atingir elevadas resoluções, mas com menor velocidade e maior complexidade. Por outro lado, as arquiteturas *flash* e *pipeline* oferecem taxas de conversão mais elevadas, mas penalizam significativamente o consumo de potência e a área do sensor. A arquitetura SAR surge, assim, como um compromisso ideal entre resolução, velocidade e eficiência energética, sendo por isso explorada nas secções seguintes.

## 3.2. Proposta de ADC

Com os requisitos estabelecidos, pôde-se iniciar o esboço da arquitetura geral do conversor analógico-digital. A Figura 3.2 apresenta uma proposta de arquitetura para este conversor.

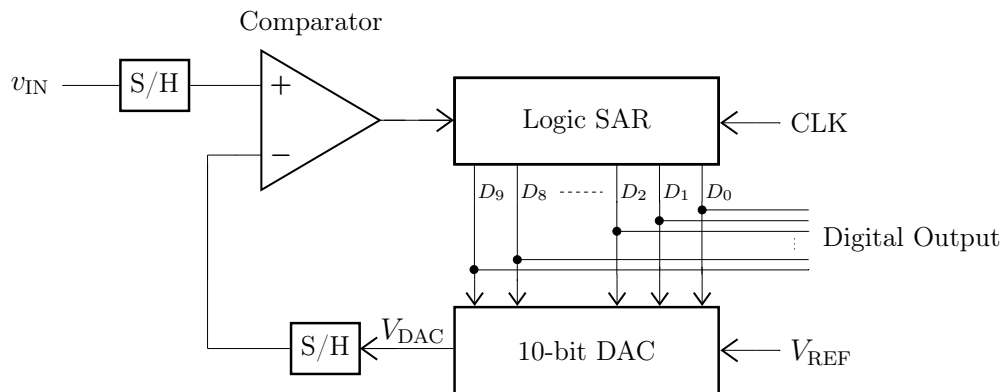


Figura 3.2: Proposta de arquitetura para o ADC SAR.

Este conversor deve ser do tipo SAR, operar a 3,3 V, dispor de uma resolução de 10 *bits*, ser capaz de efetuar conversões com taxas acima de 648 kS/s, com não linearidades e, simultaneamente, ser robusto e capaz de suportar variações da tensão de alimentação, variações de temperatura, lidar com as tolerâncias dos componentes e presença de ruído, sem comprometer o seu normal funcionamento.

### 3.2.1. Conversor Digital-Analógico (DAC)

O conversor digital-analógico (DAC) será o bloco com maior influência na precisão do ADC. Este bloco deverá apresentar uma resolução de 10 *bits*, e deve ser capaz de mapear uma tensão analógica na saída de acordo com o código de entrada. Por outras palavras, é equivalente dizer que o DAC de 10 *bits* apresenta um total de  $2^{10}$  (ou 1024) possíveis valores de entrada e deve conseguir, para uma variação de 1 LSB na entrada, mapear na saída uma mudança de 1 em 1024 partes em relação ao valor de tensão de referência,  $V_{REF}$ .

A tensão de referência do DAC deve ser um espelho da resposta em tensão do píxel à variação luminosa. No caso do píxel do P110, no escuro, este apresenta aos seus terminais uma tensão de aproximadamente 2,1 V. Com o aumento da

intensidade luminosa, a tensão do píxel decresce atingido o valor de 1,1 V na condição em que é exposto à luminosidade máxima (ou seja, o branco) ou em saturação. Desta forma, o DAC deve ser capaz de colocar na tensão analógica de saída valores entre 1,1 V e 2,1 V. A variação mínima que o DAC deve ser capaz de introduzir na saída tem relação direta com as tensões de referência superior,  $V_{\text{REF},\text{superior}}$ , e inferior,  $V_{\text{REF},\text{inferior}}$ , e com a resolução do mesmo [17]:

$$\frac{V_{\text{REF},\text{superior}} - V_{\text{REF},\text{inferior}}}{2^N} = \frac{2,1 - 1,1}{2^{10}} \approx 977 \mu\text{V}. \quad (3.3)$$

A escolha da topologia do DAC deve ter em conta que deve ser capaz de variar a tensão de saída em  $977 \mu\text{V}$  para uma variação de 1 LSB à entrada. Além disso, espera-se um sistema que seja monótono, garantindo que não exista ausência de códigos, nem dois códigos com a mesma faixa de tensão de saída. Na prática, para aproximar o sistema de um comportamento ideal (linear e monótono), procura-se dimensionar o DAC com precisão superior a 1 LSB, reduzindo os erros de DNL e INL. Tipicamente, num ADC espera-se obter valores inferiores a  $\pm 1/2$  LSB de DNL e INL [17].

Tendo em conta as exigências descritas, foi escolhida uma arquitetura de DAC baseada numa cadeia de resistências. Apesar de apresentar consumo estático contínuo — tal como a topologia  $R-2R$  — este pode ser controlado através de um dimensionamento adequado da rede resistiva. A principal vantagem desta abordagem reside na elevada precisão intrínseca, resultante do fabrico uniforme das resistências num mesmo processo tecnológico. Assim, mesmo que ocorram variações absolutas com a temperatura ou alimentação, o rácio entre resistências mantém-se praticamente constante, garantindo uma elevada linearidade e monotonicidade.

### 3.2.2. Comparador

A topologia escolhida para o comparador foi a *StrongARM Latch*, amplamente utilizada em ADC pela sua elevada sensibilidade e robustez. O termo *StrongARM* surgiu como uma homenagem ao uso deste circuito no microprocessador *StrongARM* da *Digital Equipment Corporation* [46]. Esta topologia foi originalmente introduzida por Kobayashi, da Toshiba [47], e destaca-se pela ausência de consumo estático, rapidez e elevada sensibilidade. A Figura 3.3 ilustra o diagrama de blocos geral deste comparador, essencialmente composto por um circuito pré-amplificador e uma *latch*.

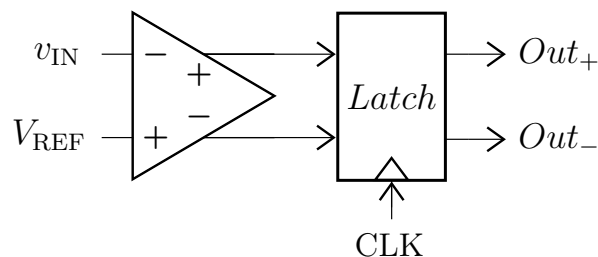


Figura 3.3: Diagrama de blocos do comparador *StrongARM Latch*.

O funcionamento do comparador *StrongARM* pode ser compreendido em duas fases principais. Durante a fase de pré-carga ( $\text{CLK} = 0$ ), os nós de saída do comparador são forçados ao nível lógico alto anulando o estado anterior e, simultaneamente, o par diferencial de entrada encontra-se desligado, preparando o circuito para uma nova amostragem. Quando o relógio transita para o nível alto, inicia-se a fase de avaliação onde começa a fluir uma corrente no par diferencial proporcional à tensão de entrada. A menor diferença de corrente entre os ramos é amplificada pela *latch*, conduzindo uma das entradas para zero e a outra para nível alto. Este ciclo é totalmente dinâmico, uma vez que a corrente só flui durante a comutação dos inversores da *latch*, e este não dissipa energia em regime estático.

Uma das principais limitações desta topologia reside na sua elevada sensibilidade a assimetrias. Qualquer desbalanceamento estrutural — seja no circuito *latch*, no par diferencial de entrada (por exemplo, com diferenças entre os limiares de tensão,  $V_{\text{TH}}$ , dos transístores), ou mesmo assimetrias nas impedâncias de entrada e saída — pode comprometer a correta avaliação da diferença de tensão, conduzindo a decisões erradas no processo de comparação. Estas fontes de erro contribuem para o *offset* do comparador. Assim, de modo a garantir que as impedâncias de entrada estão equilibradas nas duas entradas do comparador, tanto a tensão proveniente do píxel ( $v_{\text{IN}}$ ) como a do DAC ( $V_{\text{DAC}}$ ) devem ser previamente amostradas por circuitos de amostragem idênticos, assegurando simetria no ponto de comparação.

### 3.2.3. Lógica SAR

A Figura 3.4 representa o diagrama de blocos proposto para a lógica de controlo do conversor analógico-digital do tipo SAR deste trabalho. Esta é uma arquitetura típica de conversores SAR, inspirada na implementação proposta por T. O. Anderson

em 1972, e é composta essencialmente por duas unidades funcionais: o sequenciador, que impõe uma sequência de ativação dos sinais de controlo dos *bits*, e o registo SAR, que armazena progressivamente os resultados binários da conversão [48].

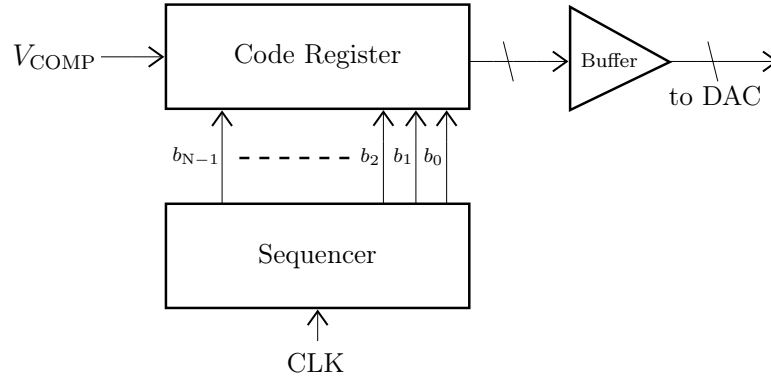


Figura 3.4: Diagrama de blocos da lógica SAR.

O *Sequencer* é sincronizado com o sinal de relógio e tem como função ativar, de forma ordenada, cada um dos *bits* da palavra digital, iniciando pelo *bit* mais significativo. A cada ciclo de relógio, este registo ativa um único sinal de controlo,  $b_k$ , que determina qual o *bit* a ser avaliado no instante correspondente. Paralelamente, o *Code Register* mantém o estado atual da palavra digital. Este registo inicia colocando o MSB com o nível lógico alto, enquanto os restantes permanecem a 0. A palavra digital formada é enviada para o DAC, que a converte numa tensão analógica,  $V_{DAC}$ , a qual é, posteriormente, comparada com a tensão de entrada  $v_{IN}$ .

Com base no resultado da comparação, a lógica SAR decide se o *bit* avaliado mantém o nível lógico alto ou se deve voltar para 0. Este processo repete-se ciclicamente para cada *bit*, com o *Sequencer* a sequenciar a operação e o *Code Register* a acumular o resultado final da conversão. Ao fim de  $N$  ciclos de relógio, para um conversor de  $N$  *bits*, a palavra armazenada no *Code Register* corresponde ao valor digital resultante da conversão.

A inclusão de um *buffer* entre a lógica SAR e o DAC garante a estabilidade do sinal de saída e o isolamento entre os dois blocos, sendo particularmente importante devido ao facto de o DAC apresentar uma capacidade de entrada não negligenciável. Na ausência do *buffer*, a velocidade da DAC e da própria lógica ficariam comprometidas. Além disso, o *buffer* garante que a corrente na cadeia de resistências se mantenha constante, contribuindo para a manutenção da precisão do DAC.

## Projeto dos Circuitos do ADC

Com a arquitetura base definida, deu-se início à fase de implementação dos principais blocos ao nível do circuito. Para este processo recorreu-se ao *software* Cadence Virtuoso, uma ferramenta amplamente utilizada no desenho e simulação de circuitos integrados, tanto a nível académico como industrial.

### 4.1. DAC em Cadeia Resistiva

Na implementação do DAC em cadeia resistiva, é fundamental alcançar um compromisso entre precisão, consumo de potência e tempo de estabilização da saída (*settling time*). Conforme discutido no Capítulo 2, esta topologia exige a utilização de  $2^N$  resistências ligadas em série, bem como  $2^N$  interruptores que selecionam o ponto de saída da cadeia.

Para avaliar o desempenho estático desta arquitetura, nomeadamente os parâmetros INL e DNL, seguiu-se a abordagem descrita em [17], partindo da suposição de que cada resistência da cadeia apresenta uma determinada tolerância associada ao seu valor nominal

$$R_k = R + \Delta R_k, \quad (4.1)$$

onde  $R$  é o valor ideal da resistência afetado por uma tolerância,  $\Delta R_k$ . Assumindo também que as tolerâncias da cadeia de resistências são simétricas, ou seja, a soma de todos os termos correspondentes às tolerâncias é zero:

$$\sum_{k=1}^{2^N} \Delta R_k = 0. \quad (4.2)$$

A  $k$ -ésima tensão da cadeia de resistências pode ser obtida considerando a soma de todas as resistências acima e incluindo a resistência  $k$ , dividida pela soma de todas as resistências da cadeia:

$$v_k = V_{\text{REF}} \times \frac{\sum_{i=1}^k R_i}{\sum_{i=1}^{2^N} R_i} = V_{\text{REF}} \times \frac{\sum_{i=1}^k (R + \Delta R_i)}{2^N R}, \quad (4.3)$$

$$v_k = \frac{V_{\text{REF}}}{2^N R} \left[ (k)R + \sum_{i=1}^k \Delta R_i \right] = \frac{k V_{\text{REF}}}{2^N} + \frac{V_{\text{REF}}}{2^N R} \sum_{i=1}^k \Delta R_i, \quad (4.4)$$

e, simplificando, obtém-se que a tensão no ponto  $k$  da cadeia de resistência é:

$$v_k = v_{k,\text{ideal}} + \frac{V_{\text{REF}}}{2^N} \sum_{i=1}^k \frac{\Delta R_i}{R}. \quad (4.5)$$

A expressão 4.5 é construída assumindo a referência inferior do DAC  $V_{\text{REF},\text{inferior}} = v_0 = 0 \text{ V}$ . Esta assunção, no entanto, não interfere nas conclusões seguintes.

No Capítulo 2, em 2.2.3, viu-se que a INL corresponde à diferença entre a tensão ideal e a tensão real nos pontos de transição ou, por outras palavras:

$$\text{INL} = v_k - v_{k,\text{ideal}}. \quad (4.6)$$

Substituindo a Equação 4.5 em 4.6, tem-se que:

$$\text{INL} = \frac{V_{\text{REF}}}{2^N} \sum_{i=1}^k \frac{\Delta R_i}{R}. \quad (4.7)$$

Assumindo que o pior caso acontece quando a metade superior da cadeia de resistências é afetada pelo valor máximo positivo da tolerância e a metade inferior é afetada pelo valor máximo negativo (ou vice-versa), o INL máximo é dado por:

$$|\text{INL}|_{\text{max}} = \frac{V_{\text{REF}}}{2^N} \times \sum_{i=1}^{2^{N-1}} \frac{\Delta R_i}{R} = \frac{V_{\text{REF}}}{2^N} \times \frac{2^{N-1} \times \Delta R_i}{R} = \frac{1}{2} \text{LSB} \times 2^N \times (\% \text{ matching}). \quad (4.8)$$

Para  $N = 10$  bits, a máxima tolerância admitida seria de aproximadamente 0,1%.

A DNL, por sua vez, é escrita em função de duas tensões adjacentes da cadeia de resistências:

$$|v_k - v_{k-1}| = \left| \frac{(k)V_{\text{REF}}}{2^N} + \frac{V_{\text{REF}}}{2^N R} \sum_{i=1}^k \Delta R_i - \left( \frac{(k-1)V_{\text{REF}}}{2^N} + \frac{V_{\text{REF}}}{2^N R} \sum_{i=1}^{k-1} \Delta R_i \right) \right|, \quad (4.9)$$

$$|v_k - v_{k-1}| = \left| \frac{V_{\text{REF}}}{2^N} \left( 1 + \frac{\Delta R_k}{R} \right) \right|. \quad (4.10)$$

A DNL pode ser obtida subtraindo na Equação 4.9, o tamanho do passo ideal (1 LSB):

$$\text{DNL}_i = \left| \frac{V_{\text{REF}}}{2^N} \left( 1 + \frac{\Delta R_k}{R} \right) - \frac{V_{\text{REF}}}{2^N} \right| = \left| \frac{V_{\text{REF}}}{2^N} \times \frac{\Delta R_k}{R} \right|. \quad (4.11)$$

A Equação 4.11 ilustra a grande característica desta topologia, ou seja, a tensão de saída do DAC formado por uma cadeia de resistências é sempre monótona (não há ausência de códigos).

A Figura 4.1 apresenta uma visão detalhada do circuito utilizado para a implementação do DAC da Figura 2.13. Este bloco é composto por um interruptor controlado pela palavra  $D_i < 9:0 >$  que determina se a respectiva célula está ativa ou não. O transistor  $M_2$  funciona como interruptor principal e é apenas ativado quando os transistores  $M_0$  e  $M_1$  e o interruptor controlado por  $D_i < 9:0 >$  estão ativos.

Durante o funcionamento normal do DAC, os transistores  $M_0$  e  $M_1$  permanecem ativos, assegurando o correto comportamento do circuito. O transistor  $M_0$  controla a corrente que flui pela lógica de seleção, enquanto  $M_1$  tem como função eliminar o consumo estático durante o período de inatividade, contribuindo para a redução do consumo de potência. O sinal à saída do inversor controla o transistor  $M_2$ , responsável por conectar o nó superior da respectiva resistência à saída do DAC.

A cadeia resistiva do DAC é formada por 1024 resistências ligadas em série. Cada resistência  $R[i]$  tem o seu nó superior conectado ao nó inferior da resistência anterior  $R[i-1]$  e o seu nó inferior conectado ao nó superior da resistência seguinte  $R[i+1]$ . Esta configuração repete-se ao longo de toda a cadeia, estabelecendo uma divisão uniforme da tensão de referência. As únicas exceções ocorrem nos extremos:

a resistência superior,  $R[0]$ , tem o seu nó superior ligado a  $V_{REF,superior}$ , enquanto a resistência inferior,  $R[1023]$ , tem o seu nó inferior conectado a  $V_{REF,inferior}$ .

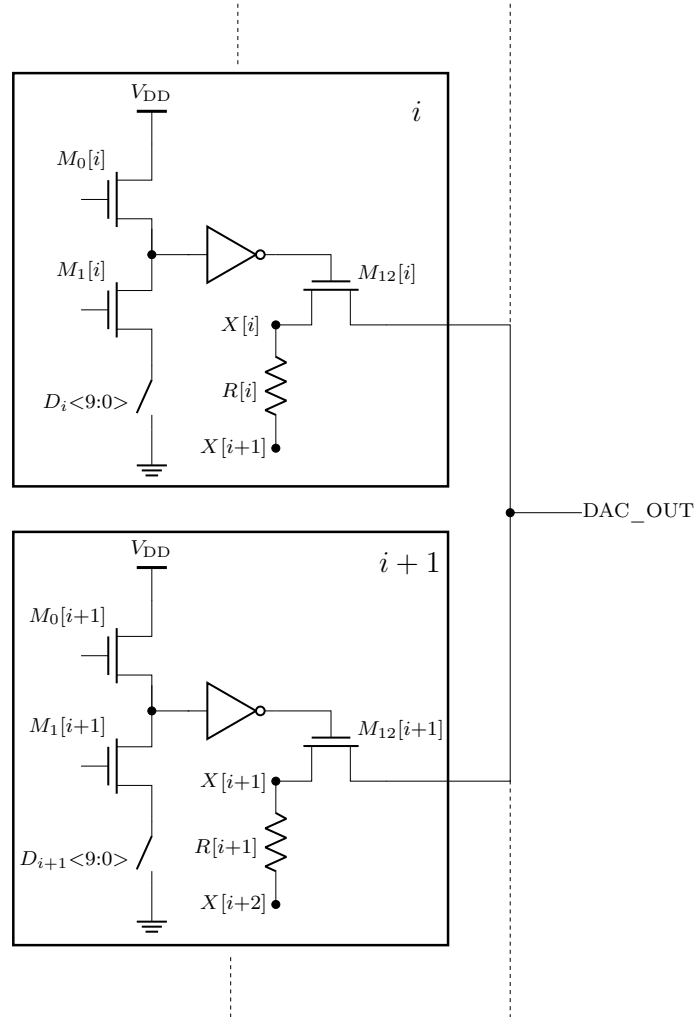


Figura 4.1: Implementação do DAC em cadeia resistiva de 10 *bits*.

Para seleccionar apenas um dos 1024 ramos resistivos do DAC foi desenvolvida uma estratégia de ativação baseada em descodificação distribuída, que substitui a abordagem convencional de um descodificador convencional 1:1024. Esta solução permite associar diretamente o código digital de entrada ao ramo correspondente da cadeia resistiva, garantindo que apenas um interruptor é ativado de cada vez.

Por isso, o sinal digital de entrada do DAC é o vetor  $SAR\_DAC\_SET <9:0>$  e transporta uma palavra binária de 10 *bits* correspondente a um número inteiro entre 0 e 1023. A ativação de  $M_2$  de uma determinada célula só ocorre se todos os transístores

da respetiva célula estiverem no modo de condução — ou seja, se todos os bits de  $D_i\langle k \rangle$  se encontrarem no nível lógico alto, com  $k$  a variar entre 0 e 9. Cada uma das 1024 células possui, assim, um código único de ativação, determinado pela seguinte relação aritmética:

$$D_i\langle k \rangle = \begin{cases} \text{SAR\_DAC\_SET}\langle k \rangle & \text{se } \left\lfloor \frac{i}{2^k} \right\rfloor \bmod 2 = 1, \\ \text{SAR\_DAC\_SET\_N}\langle k \rangle & \text{caso contrário,} \end{cases} \quad (4.12)$$

onde  $i$  é o índice da célula selecionada, que pode assumir valores entre 0 e 1023, e  $k$  representa a posição do *bit* da palavra de controlo, variando entre 0 e 9. O termo  $\text{SAR\_DAC\_SET\_N}\langle k \rangle$  corresponde ao valor lógico negado de  $\text{SAR\_DAC\_SET}\langle k \rangle$ .

A operação mod devolve o resto da divisão inteira, assim,  $\left\lfloor \frac{i}{2^k} \right\rfloor \bmod 2$  alterna ciclicamente entre 0 e 1 ao longo de  $i$ , permitindo endereçar de forma binária cada ramo da rede resistiva em função da palavra digital fornecida ao DAC. A Tabela 4.1 mostra o resultado da lógica de controlo para os primeiros valores de  $i = 0, 1, 2, \dots, 7$ , correspondentes às oito resistências iniciais da cadeia.

Tabela 4.1: Exemplo da palavra digital  $D_i\langle k \rangle$  formada para  $i = 0$  a 7 e  $k = 0$  a 9, onde  $S = \text{SAR\_DAC\_SET}\langle k \rangle$  e  $N = \text{SAR\_DAC\_SET\_N}\langle k \rangle$ .

$i \backslash k$	0	1	2	3	4	5	6	7	8	9
0	N	N	N	N	N	N	N	N	N	N
1	S	N	N	N	N	N	N	N	N	N
2	N	S	N	N	N	N	N	N	N	N
3	S	S	N	N	N	N	N	N	N	N
4	N	N	S	N	N	N	N	N	N	N
5	S	N	S	N	N	N	N	N	N	N
6	N	S	S	N	N	N	N	N	N	N
7	S	S	S	N	N	N	N	N	N	N

Os valores **S** e **N** indicam, respetivamente, que o sinal  $D_i\langle k \rangle$  assume  $\text{SAR\_DAC\_SET}\langle k \rangle$  ou o seu complemento  $\text{SAR\_DAC\_SET\_N}\langle k \rangle$ . Assim, quando o resultado é 1, atribui-se  $\text{SAR\_DAC\_SET}\langle k \rangle$  (**S**), caso contrário,  $D_i\langle i \rangle = \text{SAR\_DAC\_SET\_N}\langle k \rangle$  (**N**). No final, forma-se a palavra digital  $D_i\langle 9:0 \rangle$ , aplicada ao circuito de descodificação da Figura 4.1.

Numa primeira fase dimensionou-se o divisor resistivo para um consumo estático de  $40 \mu\text{A}$ . Tratando-se de um conversor composto por 1024 resistências idênticas com tensões de referência superior,  $V_{\text{REF},\text{superior}}$ , e inferior,  $V_{\text{REF},\text{inferior}}$ , de 2,1 V e 1,1 V, respetivamente, pode-se determinar que:

$$I_{\text{divisor\_resistivo}} = \frac{V_{\text{REF},\text{superior}} - V_{\text{REF},\text{inferior}}}{R_{\text{total}}} \Leftrightarrow R_{\text{total}} = \frac{(2,1 - 1,1) \text{ V}}{40 \mu\text{A}} = 25 \text{ k}\Omega. \quad (4.13)$$

O valor unitário de cada resistência, obtido pela divisão de  $R_{\text{total}}$  pelas 1024 resistências da cadeia, foi de aproximadamente  $24,41 \Omega$ .

Para avaliar o tempo de estabilização do DAC, procedeu-se à simulação da sua resposta dinâmica sob a condição em que se antecipa o maior tempo para a estabilização do sinal de saída. No contexto dos conversores SAR, esta situação ocorre após a primeira iteração do algoritmo, momento em que o DAC transita da meia-escala para um quarto da escala total, no sentido ascendente ou descendente da escala de tensão. Para forçar esta condição aplicou-se uma transição abrupta no sinal digital de entrada,  $\text{SAR\_DAC\_SET}\langle 9:0 \rangle$ , e registou-se o tempo para a estabilização do sinal de saída do DAC. A Figura 4.2 ilustra o tempo de resposta obtido.

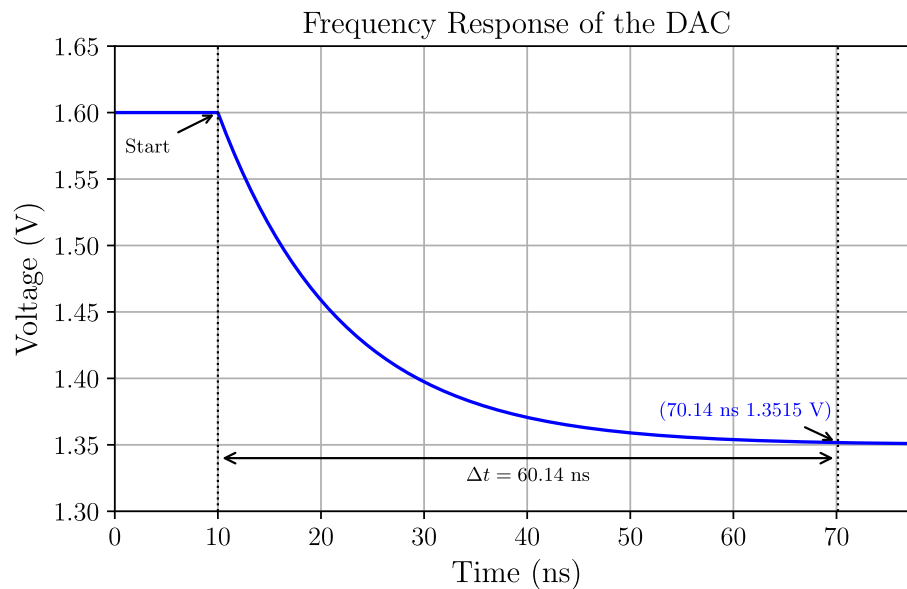


Figura 4.2: Tempo de resposta do DAC com resistência uma unitária de  $24 \Omega$ .

O tempo de estabilização desta topologia é maioritariamente determinado pela constante de tempo  $\tau = RC$ , onde  $R$  corresponde à resistência vista na malha de saída da cadeia resistiva e  $C$  representa a capacidade de saída associada ao nó de comutação, que é, sobretudo, dominada pela capacidade entre dreno e fonte do interruptor,  $M_{12}$ , do respetivo nó. Para mitigar este atraso, recorreu-se a duas estratégias complementares: por um lado, reduziu-se o valor unitário das resistências do divisor de 24,41  $\Omega$  para 5  $\Omega$ , aumentando a corrente de polarização para aproximadamente 200  $\mu A$  e, conseqüentemente, diminuindo o tempo de resposta. Por outro lado, minimizou-se a contribuição capacitiva do interruptor  $M_{12}$  reduzindo a sua dimensão física, de forma a diminuir a capacidade  $C_{ds}$ . A Figura 4.3 apresenta a resposta ao mesmo impulso de entrada, com as melhorias efetuadas, em contraste com a proposta inicial.

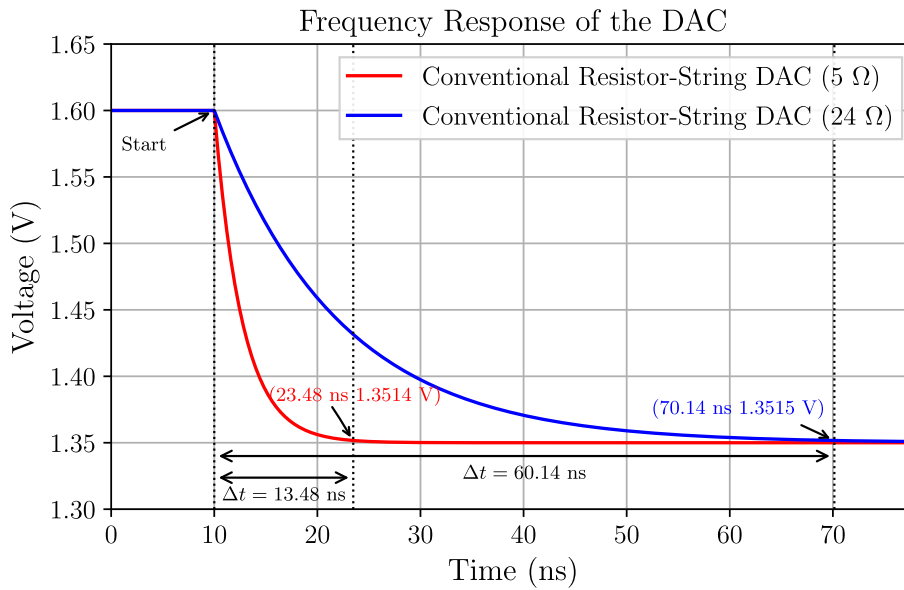


Figura 4.3: Tempo de resposta do DAC com resistências unitárias de 5  $\Omega$  e 24  $\Omega$ .

Com esta otimização, o tempo de estabilização foi reduzido de 60 ns para cerca de 13 ns, o que representa uma melhoria superior a 78%. Esta redução assume particular relevância no contexto de uma conversão SAR completa de 10 *bits*, uma vez que a eliminação de 47 ns por *bit* representa um ganho acumulado de aproximadamente 470 ns no tempo total de conversão de 10 *bits*. Em contrapartida, o consumo estático do DAC aumentou para 195  $\mu A$ .

A capacidade de saída do DAC pode ainda ser otimizada com uma ligeira modificação na sua arquitetura. Como ilustrado na Figura 4.4, na configuração convencional deste conversor, a saída do DAC está permanentemente ligada a um único interruptor ativo e a  $2^N - 1$  interruptores desligados. Cada um destes interruptores corresponde a um transistor NMOS, cujo terminal da fonte está interligado em paralelo aos das restantes 1023 unidades, formando um nó comum de leitura da tensão de saída.

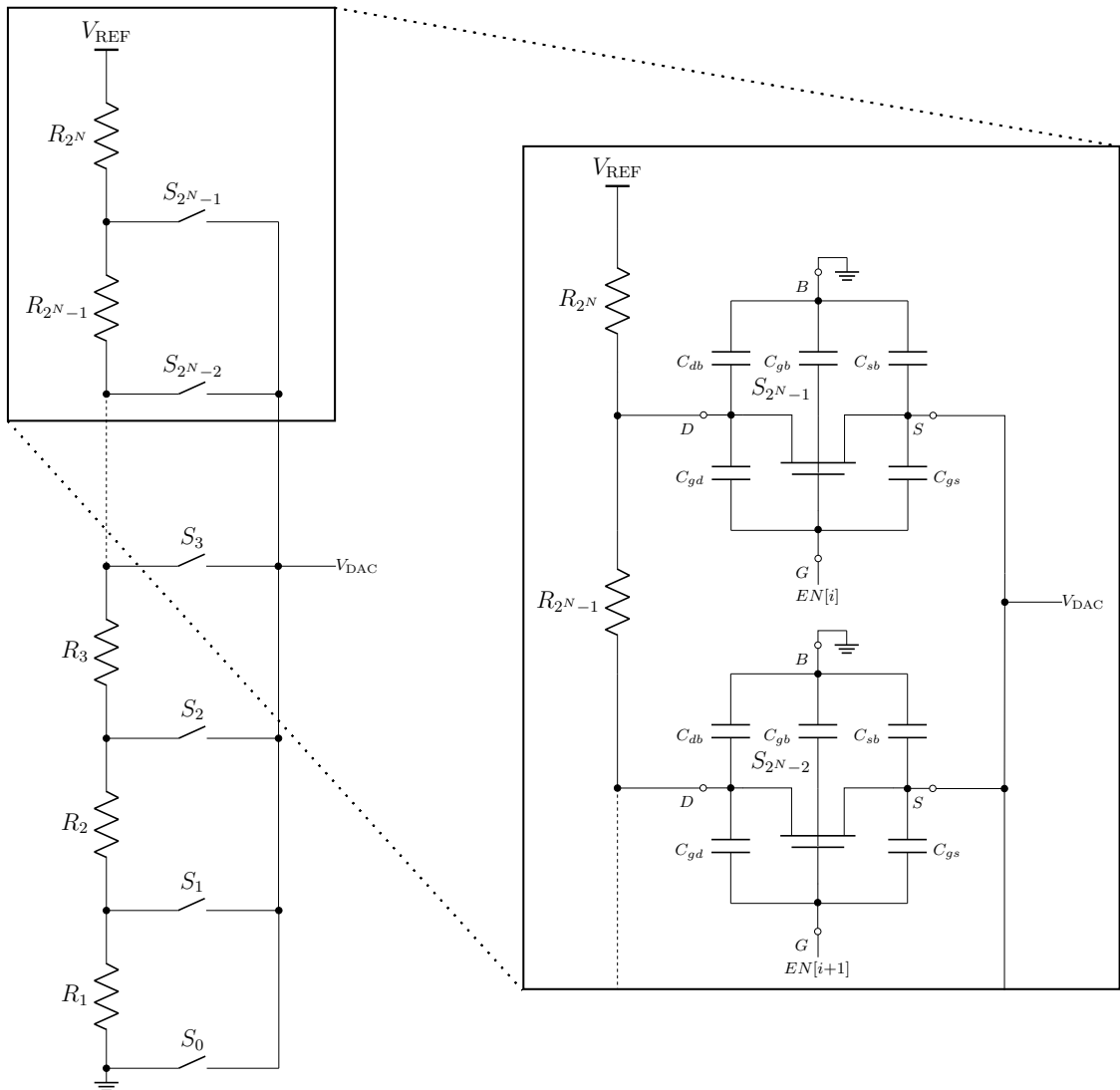


Figura 4.4: Ilustração das capacidades parasitas do nó de saída do DAC em cadeia resistiva.

Mesmo desligados, estes transístores contribuem com uma capacidade parasita

entre a fonte e o substrato,  $C_{sb}$ . Embora esta capacidade tenha um valor reduzido, o seu efeito cumulativo resulta numa capacidade significativa no nó de saída. Esta capacidade parasita afeta negativamente o tempo de estabilização da tensão, degradando o desempenho do DAC.

Uma solução alternativa para este problema é ilustrada na Figura 4.5, onde um conjunto de interruptores binários garante que o nó de saída está ligado, no máximo, a  $N$  interruptores em condução e a  $N$  interruptores em corte. Desta forma, a capacidade de saída é substancialmente reduzida [17].

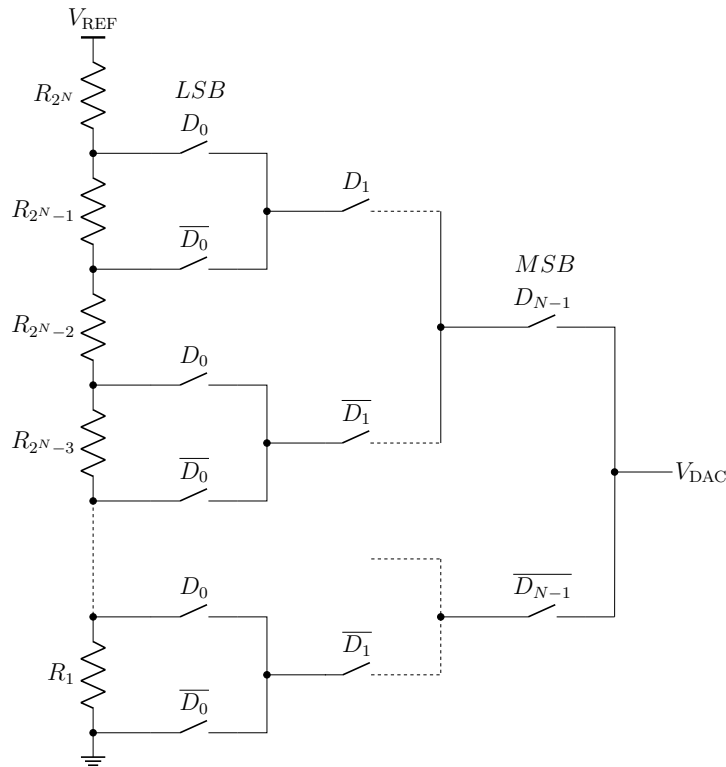


Figura 4.5: Arquitetura do DAC em cadeia resistiva com a introdução de conjuntos de interruptores binários para diminuição da capacidade de saída [17].

Os resultados ilustrados na Figura 4.6 confirmam, de facto, a melhoria no tempo de estabilização com a introdução da arquitetura com interruptores binários. Para uma resistência unitária de  $5 \Omega$ , o tempo de estabilização medido foi de  $3,51 \text{ ns}$ , evidenciando uma melhoria significativa face aos  $23,48 \text{ ns}$  da topologia convencional. Comparando com a proposta inicial, que utilizava resistências unitárias de  $24 \Omega$  e apresentava um tempo de  $60,14 \text{ ns}$ , a melhoria é ainda mais expressiva.

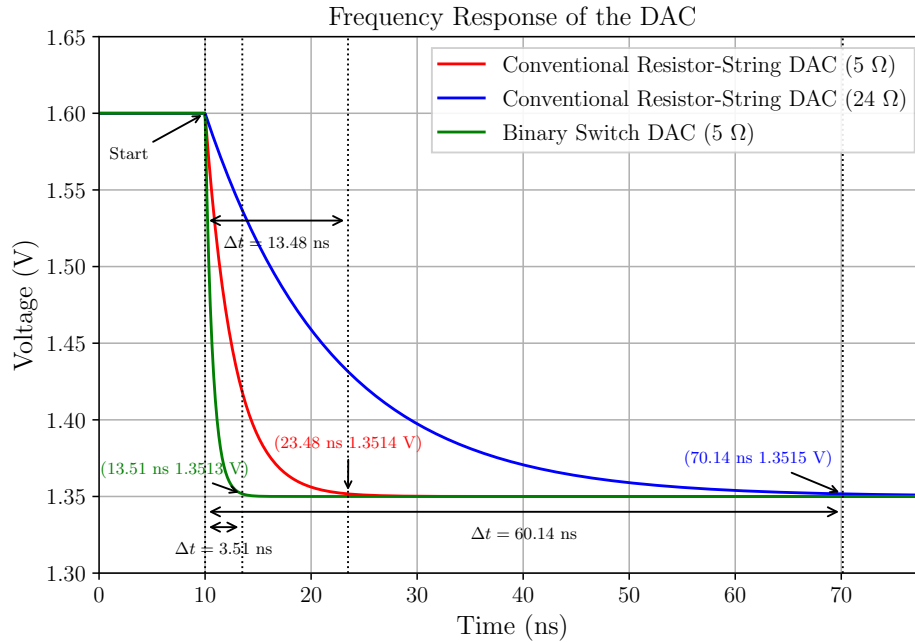


Figura 4.6: Comparação dos tempos de resposta do DAC com interruptores binários com resistência unitária de  $5 \Omega$  e com o esquema de ativação convencional para resistências unitárias de  $24 \Omega$  e  $5 \Omega$ .

Apesar do benefício óbvio que seria reduzir ainda mais o valor das resistências, tal abordagem revela-se contraproducente do ponto de vista de implementação física. Em tecnologias CMOS, e em particular na tecnologia de 65 nm utilizada, resistências com valores abaixo de  $5 \Omega$  requerem maior largura ou maior número de segmentos em paralelo, resultando num aumento substancial da área ocupada em *layout*. Este aumento não só compromete a densidade de integração, como pode introduzir gradientes térmicos e variações de processo ao longo da matriz resistiva, afetando a linearidade do DAC. Assim, optou-se por fixar o valor unitário das resistências em  $5 \Omega$ , por se considerar este valor um compromisso adequado entre desempenho dinâmico e viabilidade de implementação física.

## 4.2. Circuito de Amostragem (S&H)

O circuito de amostragem (*Sample and Hold*, S&H) é um bloco fundamental numa arquitetura SAR, pois permite capturar e manter constante o valor da tensão ana-

lógica de entrada durante o processo de conversão. Sem este circuito, a conversão digital seria imprecisa devido a flutuações da entrada enquanto a conversão ocorre.

Além disso, o circuito de amostragem também influencia diretamente o desempenho global do ADC, em particular no que diz respeito ao ruído térmico e à velocidade de amostragem. A implementação típica do S&H é composta por um condensador de amostragem e um interruptor de controlo. Quando esse interruptor é ativado, aparece uma pequena diferença de potencial aos seus terminais, sendo geralmente modelado como uma resistência,  $r_{ON}$ . A Figura 4.7 mostra o circuito de amostragem implementado (4.7a) e o seu modelo equivalente (4.7b) para análise de ruído.

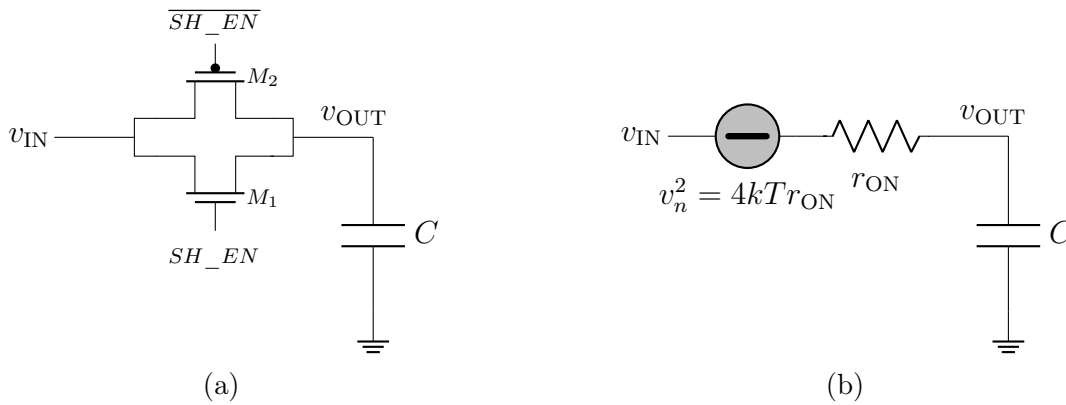


Figura 4.7: (a) Circuito de amostragem convencional e respetivo (b) modelo equivalente [49].

Nesta implementação foi utilizado um *complementary switch*, constituído por um par de transístores NMOS e PMOS em paralelo, controlados pelos sinais complementares ( $SH\_EN$  e  $\overline{SH\_EN}$ ). Esta topologia permite manter uma baixa resistência de condução em toda a gama de tensões de entrada, uma vez que pelo menos um dos transístores estará na região de triódo.

É conhecido que uma resistência com resistividade  $r_{ON}$  atua como uma fonte de ruído (proveniente do ruído Johnson) e pode ser modelada, segundo [50], como uma fonte de tensão aleatória de densidade espectral de potência igual a

$$\overline{v_n^2} = 4kTr_{ON}B, \quad (4.14)$$

onde  $k$  é a constante de Boltzmann,  $T$  é a temperatura absoluta,  $r_{ON}$  representa a resistência de condução do interruptor que está ativo e  $B$  a largura de banda

do sistema. Por outro lado, o condensador  $C$  não gera ruído térmico, no entanto, quando associado a uma resistência, o circuito comporta-se como um filtro passa-baixo com largura de banda [50]:

$$B = \frac{1}{4r_{\text{ON}}C}. \quad (4.15)$$

Substituindo em (4.14), obtém-se a expressão que caracteriza o ruído térmico no circuito de amostragem:

$$\overline{v_n^2} = \frac{4kTr_{\text{ON}}}{4r_{\text{ON}}C} = \frac{kT}{C}, \quad (4.16)$$

e, conseqüentemente, a tensão eficaz,  $V_{\text{RMS}}$ , aos terminais do condensador:

$$V_{\text{RMS}} = \sqrt{\frac{kT}{C}}. \quad (4.17)$$

Esta equação é particularmente importante no dimensionamento do condensador,  $C$ , do circuito de amostragem uma vez que se deve garantir que o ruído no sistema seja muito inferior ao tamanho do LSB do ADC. Neste trabalho considerou-se um condensador de 1 pF. Para uma temperatura típica de 35 °C (308,15 K), obtém-se que:

$$V_{\text{RMS}} = \sqrt{\frac{1,380 \times 10^{-23} \times 308,15}{1 \times 10^{-12}}} = 65,2 \mu\text{V}. \quad (4.18)$$

Embora  $r_{\text{ON}}$  não afete diretamente o ruído (por ser eliminado na expressão final), tem impacto direto no tempo de carregamento do condensador. A constante de tempo do circuito é  $\tau = r_{\text{ON}}C$ , e considera-se que o tempo necessário para carregar completamente o condensador é cerca de  $5\tau$ . Para garantir um tempo de amostragem curto, é desejável minimizar  $r_{\text{ON}}$ , o que justifica o uso do *complementary switch*.

### 4.3. *Buffer*

Apesar de contribuir significativamente para a melhoria do desempenho em termos de ruído, a introdução do circuito de amostragem (S&H) introduz um novo desafio no sistema. Partindo do pressuposto que o condensador de amostragem se encontra completamente descarregado no instante em que o interruptor do circuito S&H é

ativado, este apresenta uma impedância extremamente baixa. Essa baixa impedância aparece em paralelo com o divisor resistivo do DAC, alterando o valor da tensão que o DAC procura impor na sua saída.

Adicionalmente, o divisor resistivo do DAC não consegue fornecer corrente suficiente para carregar o condensador de amostragem de forma eficiente. Em teoria, a rede resistiva do DAC foi dimensionada para fornecer uma corrente contínua na ordem dos  $200 \mu A$ . Durante o instante de amostragem, parte desta corrente é desviada para o carregamento do condensador, sendo, no entanto, insuficiente para assegurar esta operação com a celeridade exigida. Esta limitação pode originar desvios transitórios no nível de tensão de saída do DAC e, conseqüentemente, introduzir erros na conversão analógico-digital.

Para resolver esta limitação, foi implementado um *buffer* entre a saída do DAC e a entrada do circuito S&H. O *buffer* atua como um amplificador de corrente com ganho unitário de tensão. A Figura 4.8 representa o *buffer* desenvolvido para este trabalho.

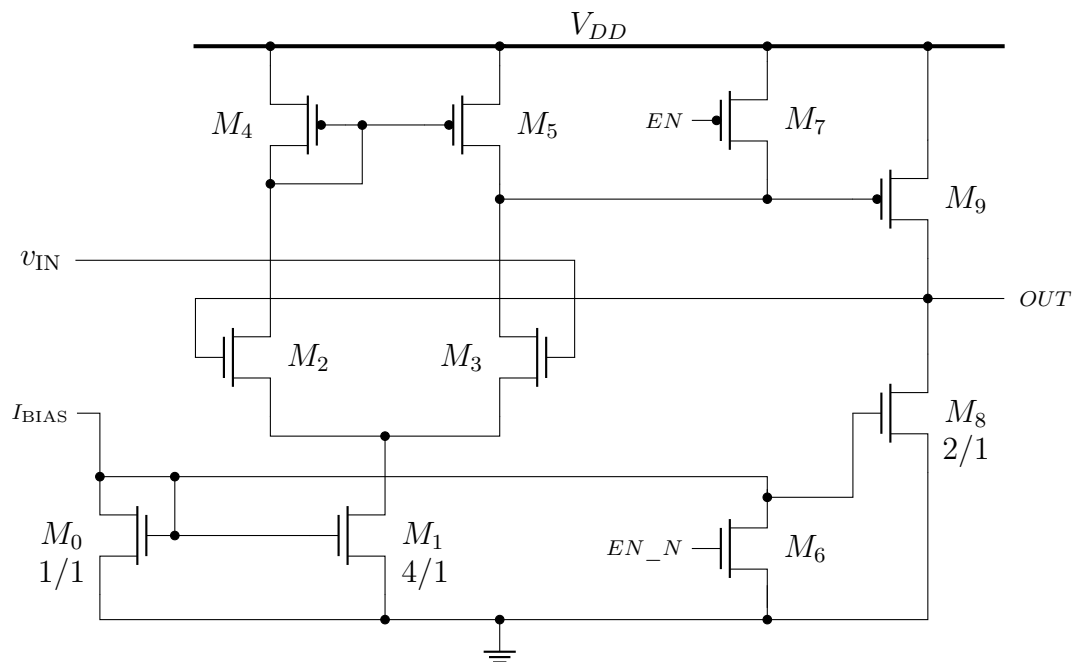


Figura 4.8: Esquemático do *buffer* implementado.

A topologia adoptada corresponde a um seguidor de tensão baseado num amplificador operacional, onde a saída está realimentada na entrada inversora. A entrada

do DAC é ligada à entrada não-inversora, assegurando que a tensão de saída do amplificador replica com precisão a tensão do DAC, mas com maior capacidade de fornecimento de corrente. A entrada do *buffer* é aplicada ao transistor  $M_3$ , sendo o sistema polarizado por uma corrente de referência,  $I_{BIAS}$ . O primeiro estágio multiplica a corrente de referência por um fator de 4, enquanto o segundo estágio introduz um fator de multiplicação adicional de 2. A elevada impedância de entrada garante que o DAC não é sobrecarregado, enquanto a impedância de saída reduzida permite fornecer rapidamente a corrente necessária para carregar o condensador do S&H de forma estável.

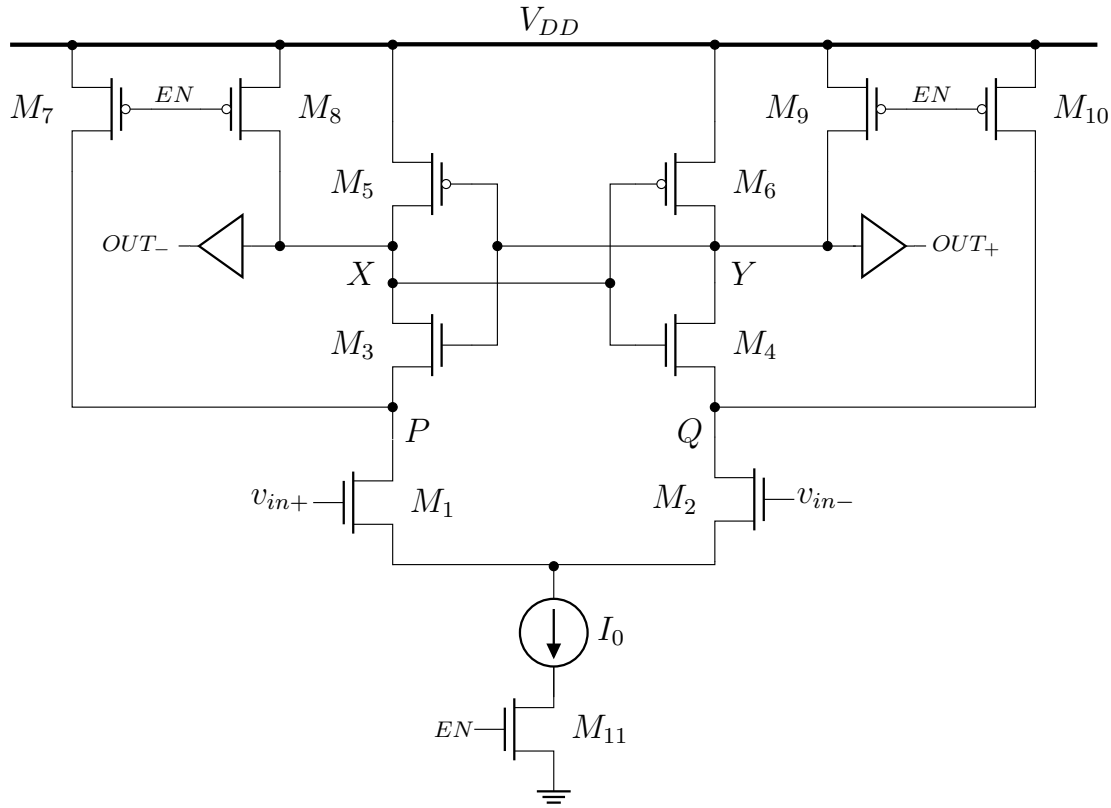
O principal benefício deste arranjo reside na sua capacidade de isolar as impedâncias envolvidas. Do lado do DAC, o circuito vê uma carga praticamente nula, enquanto do lado do circuito de amostragem é disponibilizada uma corrente suficiente para garantir uma amostragem precisa, sem introduzir perturbações na tensão de referência.

#### 4.4. Comparador — *StrongARM Latch*

O comparador *StrongARM* considerado é apresentado na Figura 4.9. Este comparador é composto por um par diferencial ( $M_1$  e  $M_2$ ) polarizado por uma corrente  $I_0$  e um circuito *latch*, com os transistores  $M_3 - M_6$  a desempenharem essa função. Os transistores  $M_7 - M_{10}$  atuam como interruptores para reinicialização dos diferentes nós do comparador.

Quando o  $EN = 0$ , o circuito entra na fase de reinicialização, onde  $M_{11}$  não conduz e  $M_7, M_8, M_9$  e  $M_{10}$  estão ligados, forçando os nós  $X, Y, P$  e  $Q$  a  $V_{DD}$ . Nesta fase o circuito *latch* é forçado a um equilíbrio, que é algo necessário para posteriormente desempenhar a fase de regeneração.

Quando  $EN = 1$ ,  $M_7, M_8, M_9$  e  $M_{10}$  estão desligados e  $M_{11}$  está ligado. Começa a fluir uma corrente proporcional à diferença de tensão na malha de entrada diferencial ( $v_{in+} - v_{in-}$ ) e inicia-se a descarga dos nós internos  $P$  e  $Q$ . Esta fase é denominada de fase de amplificação, uma vez que qualquer pequena diferença nas tensões de entrada é amplificada nos nós  $P$  e  $Q$ , e dura até  $V_P$  e  $V_Q$  atingirem  $V_{DD} - V_{TH,3}$ , onde  $V_{TH,3}$  é a tensão de *threshold* do transistor  $M_3$ , considerada igual à de  $M_4$  nesta análise.


 Figura 4.9: Esquemático do comparador *StrongARM Latch* implementado.

O tempo da fase de amplificação é afetado pelas capacidades dos nós  $P$ ,  $C_P$ , e  $Q$ ,  $C_Q$ , sendo aproximadamente [51]:

$$T_s = \frac{C_{P,Q} \times V_{TH,3}}{\frac{1}{2}I_0}, \quad (4.19)$$

onde  $C_{P,Q} = C_P = C_Q$ .

No instante em que os transistores  $M_3$  e  $M_4$  entram em condução, tem início a fase de propagação. Durante esta etapa existe uma transferência de carga entre os nós  $P$  e  $X$  e  $Q$  e  $Y$ . Este processo decorre até os nós de saída atingirem  $V_{DD} - V_{TH,5}$  e dura [51]:

$$T_p = \frac{(C_{X,Y} + C_{P,Q}) \times |V_{TH,5}|}{\frac{1}{2}I_0}, \quad (4.20)$$

com  $C_{X,Y} = C_X = C_Y$  a representar a capacidade de saída do comparador e  $V_{TH,5}$  a tensão de *threshold* do transistor  $M_5$  que se considera idêntica à de  $M_6$  nesta análise.

Na última fase, denominada de fase de regeneração,  $M_5$  e  $M_6$  estão ligados e qualquer pequena diferença de tensão na entrada será amplificada e colocada na saída. Um dos nós é posto de volta a  $V_{DD}$  e o outro atinge 0 V, completando a decisão do comparador.

Além do par diferencial de entrada formado por  $M_1$  e  $M_2$ , os restantes transístores desempenham funções importantes no funcionamento do comparador. Os transístores  $M_3$  e  $M_4$  são responsáveis por cortar a componente estática da corrente após a tomada de decisão do comparador. Já  $M_5$  e  $M_6$  têm a função de colocar o nível alto da saída a  $V_{DD}$ . Na ausência destes dispositivos, a descarga nos nós  $X$  e  $Y$  resultaria num nível lógico alto degradado, especialmente para diferenças entre  $v_{in+}$  e  $v_{in-}$  pequenas. Os interruptores  $M_7$ ,  $M_{10}$  têm duas funções essenciais. Ao estabelecerem uma tensão de  $V_{DD}$  em  $P$  e  $Q$  eliminam os estados anteriores nesses nós, além de permitirem uma fase de amplificação antes de  $M_1$  e  $M_2$  entrarem na região de triodo. Adicionalmente, os interruptores  $M_8$  e  $M_9$  carregam os nós de saída para  $V_{DD}$ , assegurando que  $M_5$  e  $M_6$  estão descarregados durante a fase inicial de amplificação [33].

O *buffer* presente na saída é composto por dois inversores em série e tem como objetivo diminuir a capacidade de saída do comparador. Além de permitir uma otimização no tempo de resposta do comparador, garante que ambos os nós apresentam a mesma impedância de saída.

#### 4.4.1. Desequilíbrios do Circuito

O *mismatch* entre transístores é uma das principais fontes de erro no contexto de comparadores dinâmicos como o *StrongARM Latch*. Neste tipo de arquitetura, a precisão da decisão de comparação é altamente sensível às assimetrias introduzidas, sendo essencial compreender os mecanismos de propagação dos desajustes (*mismatch*) até à saída do circuito.

Tal como discutido em [51], uma abordagem eficaz consiste na análise do circuito durante as fases de amplificação e de regeneração, onde  $M_1 - M_4$  estão em saturação. Partindo do princípio de que os desajustes constituem pequenas perturbações num circuito idealmente simétrico, é possível aplicar o princípio da sobreposição e estudar isoladamente a influência de cada fonte de *mismatch*.

As duas principais fontes de desajuste no par diferencial de entrada ( $M_1$  e  $M_2$ )

são a variação da tensão de limiar,  $\Delta V_{TH}$ , e a variação do coeficiente de transcondutância,  $\Delta\beta$ . Estas manifestam-se como um *offset* de tensão à entrada, dado por [51]:

$$v_{os|M_{1,2}} = \frac{\Delta I_{M_{1,2}}}{g_{m_{1,2}}} = \Delta V_{TH_{1,2}} + \frac{\Delta\beta_{1,2}}{\beta_{1,2}} \times \frac{V_{DSAT_{1,2}}}{2}, \quad (4.21)$$

onde  $\Delta I_{M_{1,2}}$  é a corrente de desajuste resultante das variações da tensão de *threshold*,  $\Delta V_{TH_{1,2}}$ , e do coeficiente de transcondutância,  $\Delta\beta_{1,2}$ , de  $M_1$  e  $M_2$ ;  $g_{m_{1,2}}$  representa o parâmetro de transcondutância dos transístores  $M_1$  e  $M_2$  e  $V_{DSAT_{1,2}}$  é a tensão mínima para estes operarem em saturação.

Quanto ao par regenerativo  $M_5$  e  $M_6$ , o seu impacto no *offset* é geralmente negligenciável, uma vez que, aquando da sua ativação, o ganho interno já amplificou suficientemente o sinal diferencial de entrada, ultrapassando quaisquer desequilíbrios residuais entre estes transístores. Relativamente aos transístores  $M_3$  e  $M_4$ , o desajuste em  $V_{TH}$  traduz-se numa corrente diferencial constante durante a fase de propagação. No entanto, esta corrente não altera a carga total das capacidades nos nós  $P$  e  $Q$ , nem tem grande influência nos nós de saída. Além disso, dado que as correntes nestes transístores são fixadas pelo par diferencial  $M_1$ – $M_2$ , o desajuste do coeficiente de transcondutância,  $\beta$ , entre  $M_3$  e  $M_4$  também é irrelevante [51].

Deste modo, a otimização do projeto centrou-se, essencialmente, na mitigação das assimetrias nos transístores  $M_1$  e  $M_2$ , assumindo que estes se mantêm na região de saturação ao longo da fase de propagação.

#### 4.4.2. Velocidade

A velocidade do comparador *StrongARM Latch* é determinada principalmente por duas componentes: a latência associada às fases de amplificação e propagação e o tempo de regeneração:

$$t_{\text{delay}} = T_s + T_p + n\tau_{\text{reg}}, \quad (4.22)$$

onde  $T_s$  é o tempo de amostragem,  $T_p$  é o tempo de propagação,  $\tau_{\text{reg}}$  é a constante de tempo de regeneração e  $n$  representa o número de constantes de tempo necessário para alcançar o nível lógico desejado, em função da taxa de erro admissível. Esta constante é necessária para a situação em que o diferencial de entrada é demasiado

pequeno para que a regeneração alcance o limiar lógico dentro de uma janela de relógio.

A constante de tempo de regeneração,  $\tau_{\text{reg}}$ , depende da capacidade de saída,  $C_L$ , e da transcondutância do par PMOS regenerativo,  $g_{m,5,6}$  [51]:

$$\tau_{\text{reg}} \approx \frac{C_L}{g_{m,5,6}}. \quad (4.23)$$

Assim, para maximizar a velocidade, é desejável minimizar  $C_L$  e maximizar  $g_m$ .

É também essencial assegurar que os transístores  $M_1$  e  $M_2$  permanecem na região de saturação durante toda a fase de propagação. Se entrarem em triodo, o ganho dinâmico interno pode ser comprometido, com os nós internos  $P$  e  $Q$  a descarregarem prematuramente a tensão amplificada, prejudicando o tempo de resposta e aumentando a probabilidade de erro do comparador. Este fenómeno ocorre geralmente quando a tensão comum de entrada é próxima de  $V_{DD}$ . Além disso, o controlo da corrente  $I_0$  deve ser assegurado. Tipicamente procura-se aumentar esta corrente para diminuir o tempo de propagação, no entanto, isto também significa que o tempo que  $M_1$  e  $M_2$  permanecem em saturação diminui. Em termos práticos, isto significa que a duração da fase de amplificação é encurtada, o que pode comprometer a amplificação total da tensão de entrada antes do início da regeneração.

#### 4.4.3. Ruído de *Kickback*

O *kickback noise* é uma característica inerente ao funcionamento do comparador *StrongARM Latch* e resulta da operação dinâmica e regenerativa do circuito. Este ruído consiste na propagação inversa de perturbações dos nós internos para os terminais de entrada, o que pode introduzir erros na leitura da tensão de entrada ou interferir com o funcionamento de circuitos sensíveis que o antecedem. A Figura 4.10 ajuda a ilustrar este fenómeno.

Uma das principais origens do ruído de *kickback* está associada aos impulsos de corrente que ocorrem aquando da ativação do comparador. No instante em que o transístor  $M_{11}$  entra em condução, a corrente de dreno é inicialmente fornecida diretamente das capacidades  $C_{gs1}$  e  $C_{gs2}$  dos transístores de entrada. Posteriormente, quando  $M_{11}$  desliga, o sinal de relógio (EN) acopla-se novamente às entradas através das capacidades parasitas  $C_{gd11}$ , transferindo carga para  $C_{gs1}$  e  $C_{gs2}$  e originando



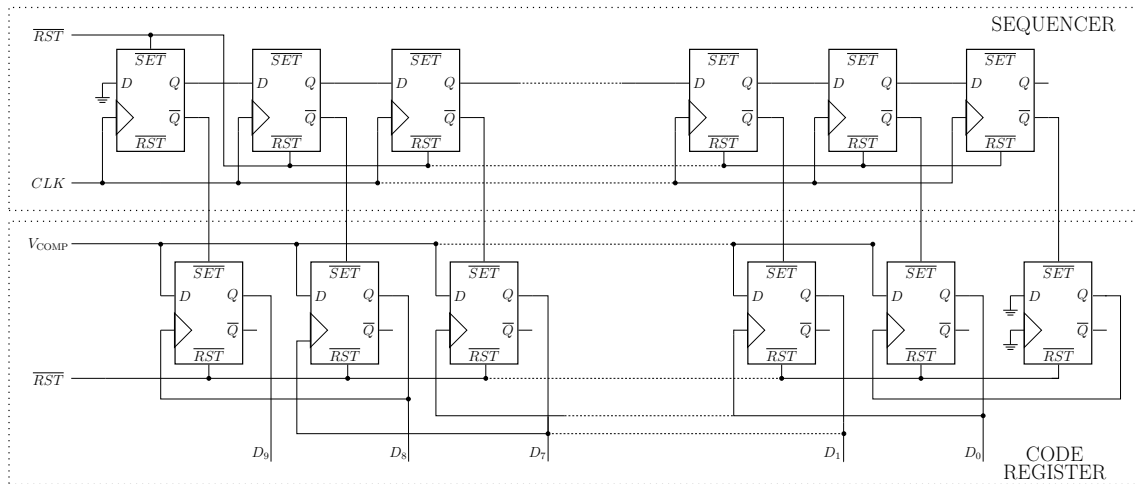


Figura 4.11: Esquemático da lógica SAR implementado — Adaptado de [48].

ao DAC que, por sua vez, é responsável por colocar uma nova tensão de referência para comparação. O comparador verifica então se a soma das contribuições dos *bits* excede ou não a tensão analógica de entrada  $v_{IN}$ . Conforme o resultado, o *bit* que inicialmente foi colocado a 1 é mantido caso  $v_{IN} \geq V_{DAC}$  ou redefinido para 0, caso contrário. Em fórmula simples:

$$b_i = \begin{cases} 1, & \text{se } v_{IN} \geq V_{DAC,i} \\ 0, & \text{se } v_{IN} < V_{DAC,i} \end{cases}, \quad (4.24)$$

em que  $b_i$  é o *bit* em decisão (na posição de peso  $2^i$ ) e  $V_{DAC,i}$  é a tensão de referência gerada pelo DAC assumindo  $b_i = 1$  e os *bits* mais significativos já decididos. Após decidir o MSB, o processo repete-se para os próximos *bits* seguindo o fluxograma da Figura 2.11. A Tabela 4.2 mostra a evolução da palavra digital durante a aplicação da lógica SAR ao longo de um ciclo completo de conversão.

Para operar esta lógica o registo de deslocamento no sequenciador contém  $N+1$  *flip-flops*, dos quais apenas um assume o nível alto 1 de cada vez. A cada ciclo de relógio, esse valor é deslocado uma posição para a direita, percorrendo do MSB até ao LSB.

Para iniciar a lógica SAR, o sinal  $\overline{RST}$  é temporariamente colocado a zero enquanto  $\overline{SET}$  permanece a 1. Desta forma, o *flip-flop* do sequenciador associado ao MSB tem a sua saída, Q, a 1, enquanto os restantes são reinicializados com Q = 0. No ciclo de relógio seguinte,  $\overline{RST}$  volta a 1 e os *flip-flop* entram no modo de

Tabela 4.2: Evolução dos sinais internos da lógica SAR durante a conversão.

Ciclo	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Comp.
1	1	0	0	0	0	0	0	0	0	0	$b_9$
2	$b_9$	1	0	0	0	0	0	0	0	0	$b_8$
3	$b_9$	$b_8$	1	0	0	0	0	0	0	0	$b_7$
4	$b_9$	$b_8$	$b_7$	1	0	0	0	0	0	0	$b_6$
5	$b_9$	$b_8$	$b_7$	$b_6$	1	0	0	0	0	0	$b_5$
6	$b_9$	$b_8$	$b_7$	$b_6$	$b_5$	1	0	0	0	0	$b_4$
7	$b_9$	$b_8$	$b_7$	$b_6$	$b_5$	$b_4$	1	0	0	0	$b_3$
8	$b_9$	$b_8$	$b_7$	$b_6$	$b_5$	$b_4$	$b_3$	1	0	0	$b_2$
9	$b_9$	$b_8$	$b_7$	$b_6$	$b_5$	$b_4$	$b_3$	$b_2$	1	0	$b_1$
10	$b_9$	$b_8$	$b_7$	$b_6$	$b_5$	$b_4$	$b_3$	$b_2$	$b_1$	1	$b_0$
11	$b_9$	$b_8$	$b_7$	$b_6$	$b_5$	$b_4$	$b_3$	$b_2$	$b_1$	$b_0$	–

deslocamento, com o sinal 1 a percorrer toda a cadeia de *flip-flop* do sequenciador.

O registo de código é composto por  $N+1$  *flip-flops* do tipo D, que armazenam os *bits*  $b_{N-1}$  até  $b_0$ . Cada *flip-flop* é atualizado apenas quando o *bit* correspondente está em teste, ou seja, quando o respetivo sinal do sequenciador está ativo.

O mecanismo de armazenamento baseia-se na interação entre dois *flip-flop* consecutivos. Quando o *bit* seguinte é colocado em teste, o *flip-flop* anterior é ativado, respondendo à transição ascendente do sinal de relógio. Uma vez que  $\overline{\text{SET}}$  e  $\overline{\text{RST}}$  estão a 1, o resultado da comparação,  $V_{\text{COMP}}$  é captado. Dado que o *flip-flop* do *bit* em teste apenas mantém o nível lógico 1 ou realiza uma transição descendente para 0 — nunca ocorrendo uma nova transição ascendente — garante-se que o valor de comparação é corretamente armazenado. Em simultâneo, o sequenciador avança para o *bit* seguinte ( $i - 1$ ), iniciando um novo ciclo de decisão.

No final dos  $N$  ciclos, os *flip-flop* do registo de código contêm a palavra digital convertida, representando  $v_{\text{IN}}$  [48].

## Análise de Resultados

A avaliação do comportamento de circuitos integrados requer a aplicação de metodologias de simulação capazes de reproduzir, de forma realista, as variações que ocorrem tanto durante o processo de fabrico como nas condições de operação. No presente trabalho, foram realizados diversos testes para a validação dos diferentes blocos que compõem o ADC desenvolvido. Os principais testes incluem a análise sob variações de processo, tensão e temperatura (*Process, Voltage and Temperature, PVT*), simulações estatísticas do tipo Monte Carlo além da análise de estabilidade em regime de frequência.

Uma análise PVT permite estudar o desempenho o circuito em cenários extremos de variação de processo (P), tensão de alimentação (V) e temperatura (T). Durante o processo de fabrico CMOS, pequenas variações no processo originam diferenças nas características dos transístores e componentes passivos de um lote para outro, sendo que, por exemplo, dispositivos de um lote podem ser mais rápidos ou mais lentos que o normal. Normalmente consideram-se *corners* de processo, como TT (típico), FF (*fast/fast* – transístores NMOS e PMOS ambos mais condutivos que o normal), SS (*slow/slow* – ambos mais lentos), FS e SF (combinação de NMOS rápido e PMOS lento e vice-versa). Além disso, analisa-se o comportamento do circuito para diferentes valores de temperatura, abrangendo tipicamente um intervalo entre  $-40\text{ }^{\circ}\text{C}$  e  $125\text{ }^{\circ}\text{C}$ , e para valores diferentes de tensão de alimentação — tipicamente entre 3,2 V e 3,4 V, em torno do valor nominal de 3,3 V.

Complementarmente, recorreu-se a simulações do tipo Monte Carlo com o objetivo de estudar os efeitos de dispersão estatística nos parâmetros dos dispositivos associado às suas tolerâncias. Neste tipo de análise são introduzidas variações aleatórias nas dimensões dos transístores, nas suas tensões de limiar, nas capacidades parasitas e noutros parâmetros elétricos relevantes, de acordo com distribuições es-

tatísticas compatíveis com a tecnologia usada. Ao realizar um grande número de simulações Monte Carlo, é possível avaliar o comportamento típico do ADC e determinar o desvio padrão e a dispersão de parâmetros como o *offset*, o tempo de resposta ou o consumo de potência.

A análise de estabilidade é fundamental para os blocos com realimentação negativa, como é o caso do *buffer* implementado neste trabalho. Esta análise permite caracterizar a resposta em frequência do sistema e determinar parâmetros críticos como a margem de fase e a frequência de ganho unitário. A margem de fase representa a distância angular, em graus, entre a resposta em fase do sistema e o limiar de instabilidade de  $-180^\circ$ , quando o ganho em malha aberta atinge 0 dB [52]. A estabilidade e a resposta transitória do circuito dependem diretamente destes parâmetros. Assim, com esta análise procura-se encontrar um equilíbrio, garantindo que o sistema é estável mesmo perante perturbações e, simultaneamente, apresenta um tempo de resposta aceitável para os requisitos do projeto.

Todas as simulações realizadas neste trabalho incluíram a modelação explícita do ruído interno dos circuitos. A introdução do ruído no circuito foi feita com a adição de sinusóides com frequências e amplitudes aleatórias aos diferentes sinais do circuito, reproduzindo as componentes espectrais típicas do ruído eletrónico. A conjugação destas metodologias de simulação permite avaliar o desempenho do circuito de forma abrangente garantindo que o circuito é funcional, estável e preciso, em diferentes condições de operação.

## 5.1. Avaliação da Precisão do DAC

Além da análise da velocidade de resposta apresentada no capítulo anterior, foi também avaliada a precisão do DAC na imposição de uma tensão analógica para cada código digital de entrada. Para esse efeito, procedeu-se à caracterização do erro absoluto, definido como a diferença entre o valor teórico ideal e a tensão de saída obtida em simulação. A entrada do DAC, composta por um vetor digital de 10 *bits*, foi incrementada sequencialmente de 0 a  $2^N - 1$ , garantindo a cobertura integral da gama de conversão. Para avaliar a robustez da arquitetura perante condições realistas de operação, todas as simulações foram realizadas sob variações de PVT.

A expressão teórica da tensão de saída de um DAC ideal de  $N$  *bits*, baseado

numa rede resistiva, é dada por:

$$V_{\text{OUT}} = V_{\text{REF,inferior}} + \left( \frac{D}{2^N - 1} \right) \times (V_{\text{REF,superior}} - V_{\text{REF,inferior}}), \quad (5.1)$$

onde  $D$  representa o código digital de entrada, e  $V_{\text{REF,inferior}}$  e  $V_{\text{REF,superior}}$  os limites inferior e superior da tensão de referência, respetivamente.

A Figura 5.1 ilustra o erro absoluto obtido para todos os códigos da gama, permitindo observar a conformidade do comportamento simulado com o modelo ideal. A discrepância máxima foi registada no código  $D = 1023$ , com um erro de aproximadamente  $41,5 \mu\text{V}$ , o que representa aproximadamente  $0,04 \text{ LSB}$ . O erro mínimo ocorreu a meia-escala, com um desvio de apenas  $19,8 \text{ nV}$ .

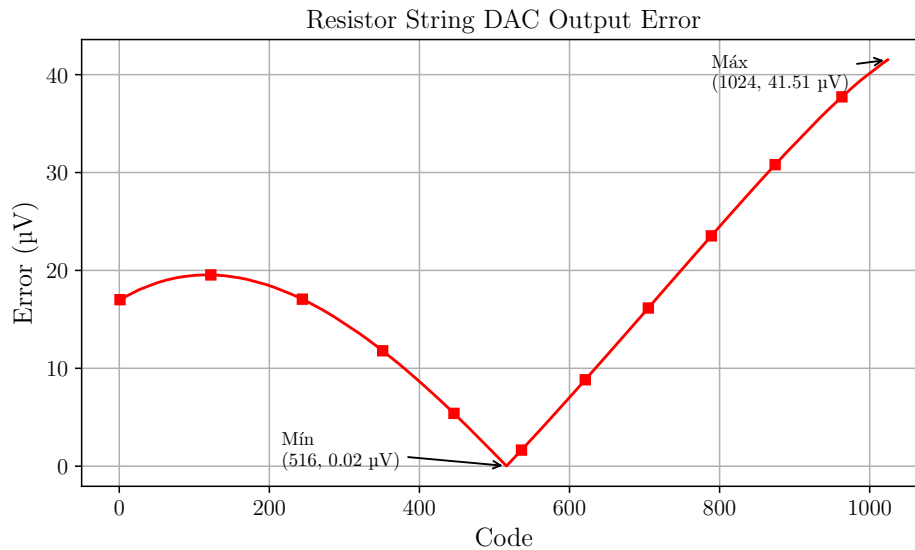


Figura 5.1: Erro absoluto da tensão de saída do DAC em cadeia resistiva.

Para complementar a análise, foram realizadas simulações Monte Carlo a diferentes códigos digitais, de forma a quantificar a variabilidade estatística do erro associado às tolerâncias dos dispositivos. A Figura 5.2 apresenta os histogramas do erro absoluto nos códigos 100 e 950, escolhidos por se encontrarem próximos dos dois picos máximos do erro absoluto do DAC. Verifica-se uma tendência crescente do erro absoluto com o aumento do código de entrada, com erros médios de  $12,96 \mu\text{V}$  para o código 100 e  $23,37 \mu\text{V}$  para o código 950, estando em concordância com os resultados obtidos anteriormente.

O desvio padrão,  $\sigma$ , que quantifica a dispersão do erro em torno do valor médio,  $\mu$ , foi de aproximadamente  $8,04 \mu\text{V}$  para o código 950 e  $8,30 \mu\text{V}$  para o código 100. Admitindo uma distribuição aproximadamente normal, é expectável, com 99,7 % de confiança, que o erro absoluto permaneça dentro do intervalo  $[\mu - 3\sigma; \mu + 3\sigma]$  [53]. No pior caso (código 950), tal intervalo correspondeu a  $[15,32 \mu\text{V}; 31,42 \mu\text{V}]$ , valor significativamente inferior a 1 LSB, confirmando assim a elevada precisão do DAC.

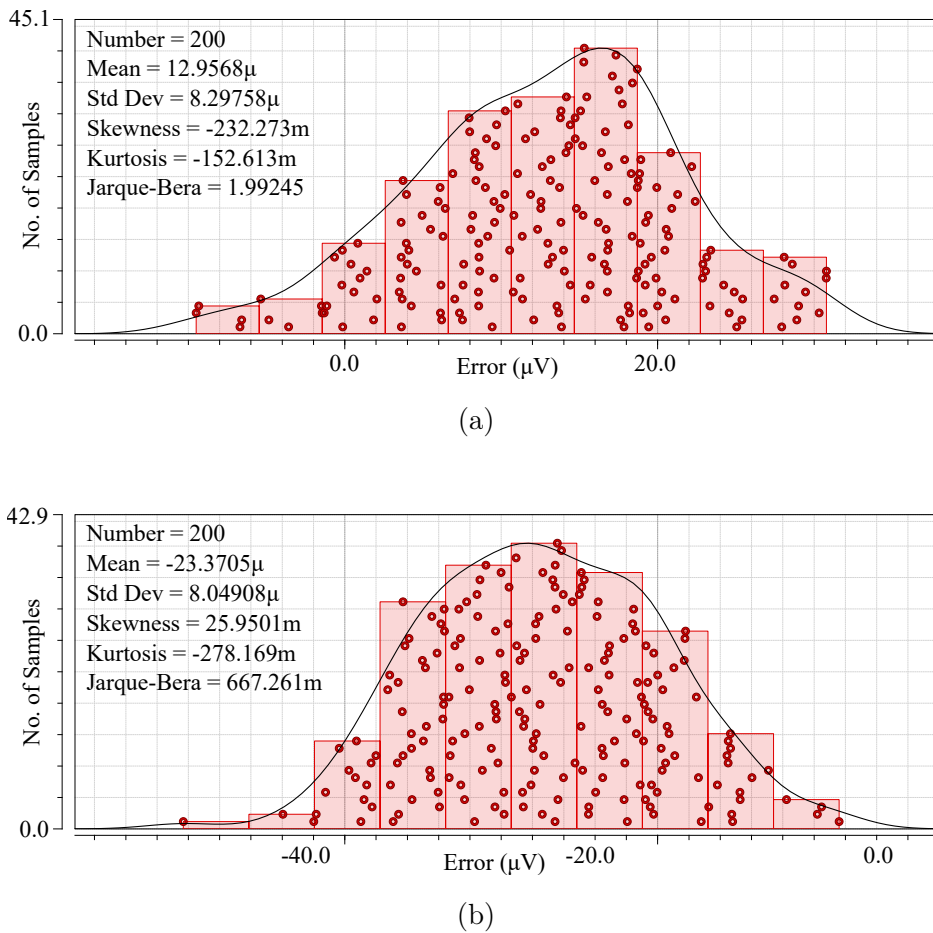


Figura 5.2: Dispersão do erro absoluto do DAC para os códigos (a) 100 e (b) 950.

Para permitir uma avaliação contextualizada da precisão alcançada pela arquitetura baseada em divisor resistivo, implementou-se e testou-se uma arquitetura alternativa de DAC com rede resistiva  $R-2R$ , conforme ilustrado na Figura 2.14. Os resultados obtidos, detalhados no Apêndice A, evidenciam um erro máximo de  $3,83 \text{ mV}$ , cerca de  $3,92 \text{ LSB}$ , sob as mesmas condições de simulação.

## 5.2. Caracterização do Comparador

A validação do comparador centrou-se essencialmente na análise do seu *offset* e tempo de resposta. Conforme discutido no Capítulo 4, o par diferencial de entrada apresenta elevada sensibilidade a assimetrias estruturais, que podem resultar em desequilíbrios de corrente e, conseqüentemente, em desvios sistemáticos no ponto de comutação, ou seja, um *offset*. De modo a quantificar estes efeitos, foram realizadas simulações Monte Carlo, com o objetivo de analisar o impacto das assimetrias tanto no *offset* como na velocidade de decisão do comparador.

Durante cada simulação, aplicou-se uma tensão de entrada em modo comum,  $V_{CM}$ , variando entre 1,1 V e 2,2 V com incrementos de 100 mV. Para cada valor de  $V_{CM}$ , determinou-se a tensão diferencial mínima capaz de inverter a saída do comparador — este valor foi interpretado como o *offset* de entrada. Em paralelo, registou-se o tempo de resposta, definido como o intervalo temporal entre a ativação do comparador (via o sinal EN) e a comutação de uma das suas saídas. As Figuras 5.3 e 5.4 apresentam os resultados obtidos para diferentes configurações do par diferencial, permitindo observar a evolução do *offset* e do tempo de resposta em função de  $V_{CM}$ .

Com o par diferencial de entrada dimensionado com  $W/L=10$  (razão entre a largura e o comprimento do canal do transistor) e corrente de polarização  $I_0=200\ \mu\text{A}$ , os resultados mostraram um *offset* relativamente estável entre 7 mV e 7,4 mV em toda a gama de  $V_{CM}$ . O tempo médio de resposta registado foi de aproximadamente 2,07 ns. Estes resultados estão ilustrados na Figura 5.3a. Reduzindo a corrente para  $I_0=20\ \mu\text{A}$ , observou-se uma redução significativa no *offset*, para cerca de 5,3 mV, com uma variação máxima de apenas 0,2 mV ao longo da escala de  $V_{CM}$ . No entanto, o tempo médio de resposta aumentou consideravelmente para cerca de 14,67 ns, como mostra a Figura 5.3b.

Estes resultados corroboram as Equações 4.19 e 4.20, discutidas no Capítulo 4, que demonstram que o aumento da corrente de polarização  $I_0$  reduz o tempo total de resposta do comparador. No entanto, este aumento também acelera a fase de amplificação, contribuindo para um maior *offset*, devido à menor duração da integração diferencial.

A fim de estudar o impacto das dimensões do par diferencial, reduziu-se a razão  $W/L$  para 5, mantendo a mesma metodologia. Para  $I_0=200\ \mu\text{A}$ , o *offset* situou-se

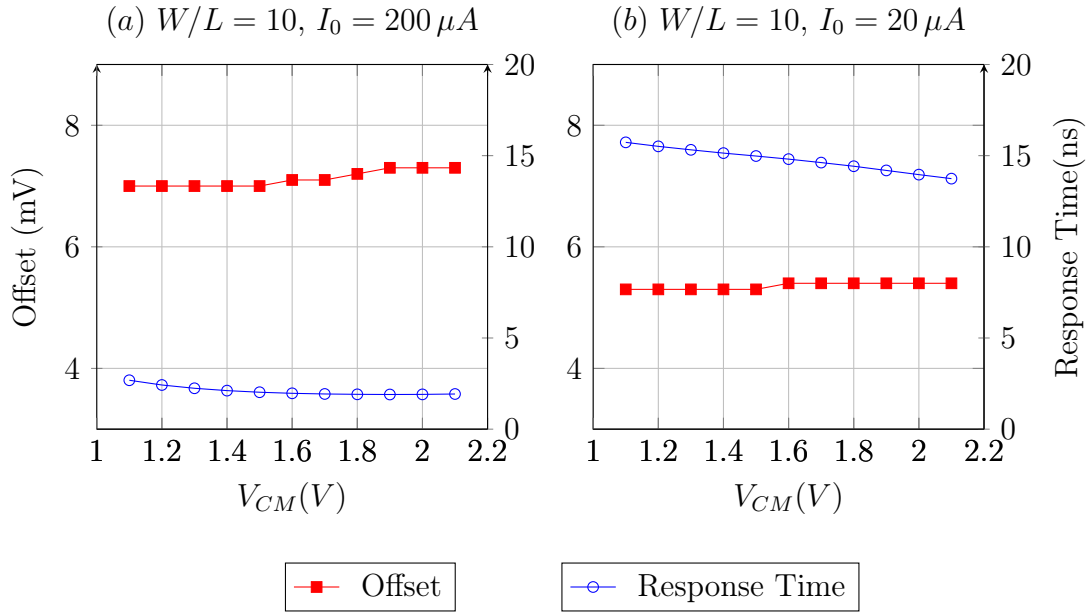


Figura 5.3: Comparativo do *offset* e do tempo de resposta do comparador em função de  $V_{CM}$  para o par diferencial de entrada com  $W/L = 10$  e corrente (a)  $I_0 = 200 \mu A$  e (b)  $I_0 = 20 \mu A$ .

entre 7,2 mV e 7,5 mV, com tempo de resposta médio de 1,78 ns. Para  $I_0 = 20 \mu A$ , o *offset* manteve-se estável nos 7,3 mV, mas o tempo de resposta aumentou para cerca de 11,4 ns. Estes resultados estão apresentados na Figura 5.4.

A Equação 4.21 é útil para complementar esta análise pois modela o contributo do par diferencial de entrada para o *offset* do comparador. Esta equação mostra que o *offset* pode ser visto como o rácio entre o desvio de corrente,  $\Delta I_{M1,2}$ , e a transcondutância,  $g_{m1,2}$ . Recordando que a transcondutância de um MOSFET em saturação é dada por [32]:

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}), \quad (5.2)$$

onde  $g_m$  representa a transcondutância do transístor,  $\mu_n$  representa o parâmetro de mobilidade dos portadores de carga no canal,  $C_{ox}$  é a capacidade por unidade de área do óxido de porta,  $W$  e  $L$  são, respetivamente, a largura e o comprimento do canal,  $V_{GS}$  é a tensão entre porta e fonte, e  $V_{TH}$  é a tensão de limiar. É evidente que  $g_m$  é diretamente proporcional a  $W/L$ , portanto, a redução de  $W$  conduz a uma diminuição de  $g_m$ , o que, por sua vez, aumenta o *offset* — se todos os restantes

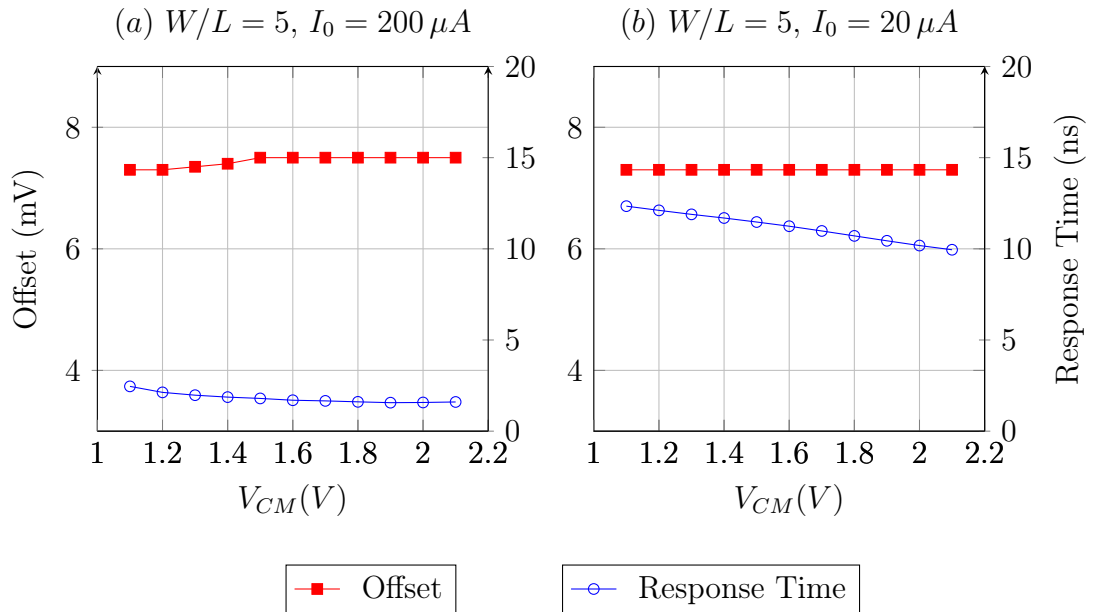


Figura 5.4: Comparativo do *offset* e do tempo de resposta do comparador em função de  $V_{CM}$  para o par diferencial de entrada com (a)  $W/L = 5$  e corrente (a)  $I_0 = 200 \mu A$  e (b)  $I_0 = 20 \mu A$ .

parâmetros se mantiverem constantes. Esta indicação corresponde com os resultados ilustrados na Figura 5.4 onde, para  $W/L = 5$ , o *offset*, de uma forma geral, foi superior ao caso com  $W/L = 10$ . A redução de  $W$  também implica uma diminuição das capacidades parasitas associadas aos transístores, o que se traduz num tempo de resposta ligeiramente melhor do que o registado para  $W/L = 10$ .

Outra nota importante a retirar desta análise é a variação do *offset* para diferentes valores de tensão em modo comum de entrada. A variação máxima de *offset* registada aconteceu para a situação de  $W/L = 10$  e  $I_0 = 200 \mu A$ , com uma diferença de tensão  $\Delta V = 0,4 \text{ mV} \leq 1 \text{ LSB}$ . Esta característica é fundamentalmente importante para a aplicação do CDS no ADC. Caso existisse uma variação de *offset* ao longo da escala superior a  $\pm 1 \text{ LSB}$ , a aplicação do CDS não seria eficaz.

A Tabela 5.1 apresenta os resultados das simulações Monte Carlo realizadas, discriminando a contribuição individual de cada transístor do circuito do comparador para o *offset*, considerando dois valores distintos da tensão em modo comum de entrada,  $V_{CM}$ .

Como previsto pela análise teórica, o par diferencial de entrada ( $M_1$  e  $M_2$ ) revelou-se o principal responsável pelo desvio no ponto de decisão, com uma contri-

Tabela 5.1: Contribuição dos diferentes transístores do comparador no *offset* do mesmo para diferentes valores de  $V_{CM}$  nas simulações Monte Carlo.

Transístor	Máx.	$V_{CM} = 1,4 V$	$V_{CM} = 1,9 V$
$M_1$	46%	46%	42%
$M_2$	38%	36%	38%
$M_3$	8%	7%	8%
$M_4$	10%	8%	10%
$M_5$	1%	1%	1%
$M_6$	1%	1%	1%

buição combinada superior a 80%. Os transístores  $M_3$  e  $M_4$ , localizados na parte inferior da *latch* e conectados aos drenos do par diferencial, apresentaram também uma influência não negligenciável, na ordem dos 7–10%. Por fim, os transístores  $M_5$  e  $M_6$ , posicionados na parte superior da *latch*, demonstraram um impacto mínimo no *offset*, limitado a cerca de 1% cada. Estes resultados confirmam que a variabilidade do par diferencial é o fator dominante no *mismatch* do comparador, sendo crucial garantir um dimensionamento cuidadoso destes dispositivos para melhorar a precisão da decisão.

### 5.3. Testes do *Buffer*

O dimensionamento correto do *buffer* foi alcançado com base numa análise cuidada da sua estabilidade dinâmica. Em circuitos com realimentação negativa, é essencial garantir que o sistema opere com margem suficiente em relação às condições de instabilidade. A instabilidade clássica ocorre quando o ganho de malha – definido por  $L(s) = \beta A(s)$ , sendo  $A(s)$  o ganho em malha aberta do amplificador e  $\beta$  o fator de realimentação – atinge o valor  $-1$  a uma determinada frequência, ou seja, quando  $|L(j\omega)| = 1$  e a fase é igual a  $-180^\circ$  [52].

A estabilidade do sistema é geralmente quantificada por dois parâmetros fundamentais, a frequência de ganho unitário e a margem de fase. A frequência de ganho unitário,  $f_c$ , corresponde à frequência à qual o ganho de malha atinge a unidade. Já a margem de fase é definida como a diferença angular entre a fase real do sistema e  $-180^\circ$ , medida precisamente à  $f_c$ . Em termos práticos, esta margem traduz a distância do sistema ao limiar de instabilidade.

Uma margem de fase elevada está associada a um sistema bem amortecido, menos propenso a oscilações e mais robusto face a variações paramétricas. Contudo, tal robustez tende a comprometer a velocidade de resposta, pois implica uma redução na largura de banda. Por outro lado, uma margem de fase reduzida favorece tempos de resposta mais rápidos, mas à custa de maior *overshoot* e possíveis oscilações transitórias. Uma margem de fase de  $45^\circ$  é considerada o limiar da estabilidade aceitável, sendo comum, na literatura, adotar  $60^\circ$  como valor de compromisso entre estabilidade e desempenho [52] [54].

A análise de estabilidade do *buffer* foi realizada para diferentes condições de operação, com o objetivo de compreender a sensibilidade do sistema à variação dos parâmetros de projeto. Em particular, foram avaliadas combinações distintas de corrente de polarização,  $I_{BIAS}$ , para 25, 50 e 100  $\mu\text{A}$ , e de dimensão dos transistores do segundo estágio ( $M_8$  e  $M_9$  da Figura 4.8), com razões  $W/L=2$  e  $W/L=10$ . Os resultados obtidos encontram-se sintetizados na Tabela 5.2.

Tabela 5.2: Margem de fase e frequência de ganho unitário do *buffer* para diferentes valores de  $I_{BIAS}$  e  $W/L$  ( $M_8, M_9$ ).

$I_{BIAS}$ ( $\mu\text{A}$ )	$W/L$ ( $M_8, M_9$ )	Margem de Fase ( $^\circ$ )	Frequência (MHz)
25	2	47,68	110,84
25	10	39,94	143,88
50	2	60,23	170,91
50	10	49,64	231,11
100	2	86,23	224,13
100	10	59,30	343,62

De uma forma geral, observou-se que o aumento da corrente de polarização provocou um acréscimo significativo na frequência de ganho unitário do *buffer*. Ao aumentar  $I_{BIAS}=25\ \mu\text{A}$  para  $100\ \mu\text{A}$ , a frequência duplicou (de 110,84 MHz para 224,13 MHz no caso de  $W/L=2$ ), acompanhada por um aumento da margem de fase de  $47,68^\circ$  para  $86,23^\circ$ . Este valor, embora indique excelente estabilidade, traduz-se num sistema potencialmente mais lento a estabilizar, devido a uma menor rapidez da resposta transitória. Por outro lado, verificou-se que o aumento do ganho do segundo estágio — associado ao aumento da razão  $W/L$  — resultou numa redução da margem de fase. No entanto, esta configuração foi evitada, uma vez que implica um segundo estágio significativamente maior e um consumo de potência considerável — no transistor  $M_1$ , a corrente seria em torno de  $400\ \mu\text{A}$ . Adicionalmente, verificou-

se que o aumento da corrente  $I_{BIAS}$  conduzia a um acréscimo do *offset* do *buffer*.

Por estas razões, a configuração com  $I_{BIAS} = 50 \mu A$  e  $W/L = 2$  ( $MF = 60,23^\circ$ ,  $f = 170,91$  MHz) revelou-se a mais equilibrada para os objetivos deste trabalho. Esta solução assegura estabilidade adequada e proporciona um bom compromisso entre consumo de potência, área, *offset* e desempenho em frequência.

## 5.4. Análise de Desempenho do ADC SAR

Após a validação individual dos principais blocos constituintes, procedeu-se à integração e análise funcional do ADC completo. Todos os resultados apresentados nesta secção foram obtidos com simulações realizadas sob variações de processo, tensão e temperatura (PVT), permitindo avaliar não só a funcionalidade do sistema — nomeadamente a precisão, o consumo energético e a velocidade de operação — mas também a sua robustez sob condições extremas de fabrico e operação.

### 5.4.1. Velocidade e Consumo de Potência

A avaliação do desempenho temporal do sistema revelou-se essencial para o correto dimensionamento dos sinais de controlo internos, assegurando que todas as transições do ciclo de conversão decorrem corretamente mesmo nos cenários mais desfavoráveis. Para tal, realizaram-se simulações sob regime PVT, com particular enfoque nos *corners* SF, FS e SS — os mais críticos para a análise da velocidade, uma vez que envolvem combinações de transístores NMOS e PMOS mais lentos do que o nominal.

Dado o elevado custo computacional associado à simulação exaustiva dos 1024 códigos possíveis, o estudo foi limitado a um subconjunto representativo de 10 valores de tensão de entrada,  $v_{IN}$ , abrangendo valores próximos dos extremos da gama de conversão, um valor a meia-escala e códigos pares e ímpares, de forma a garantir cobertura adequada dos casos relevantes.

A Figura 5.5 apresenta os tempos de resposta do comparador obtidos nas diferentes simulações PVT, destacando-se três cenários: típico (a verde), melhor caso (a magenta) e pior caso (a azul). A análise centrou-se especialmente no pior caso, pois é este que define o limite inferior para as temporizações dos sinais de controlo.

Para determinar o tempo de decisão do comparador, monitorizou-se o instante

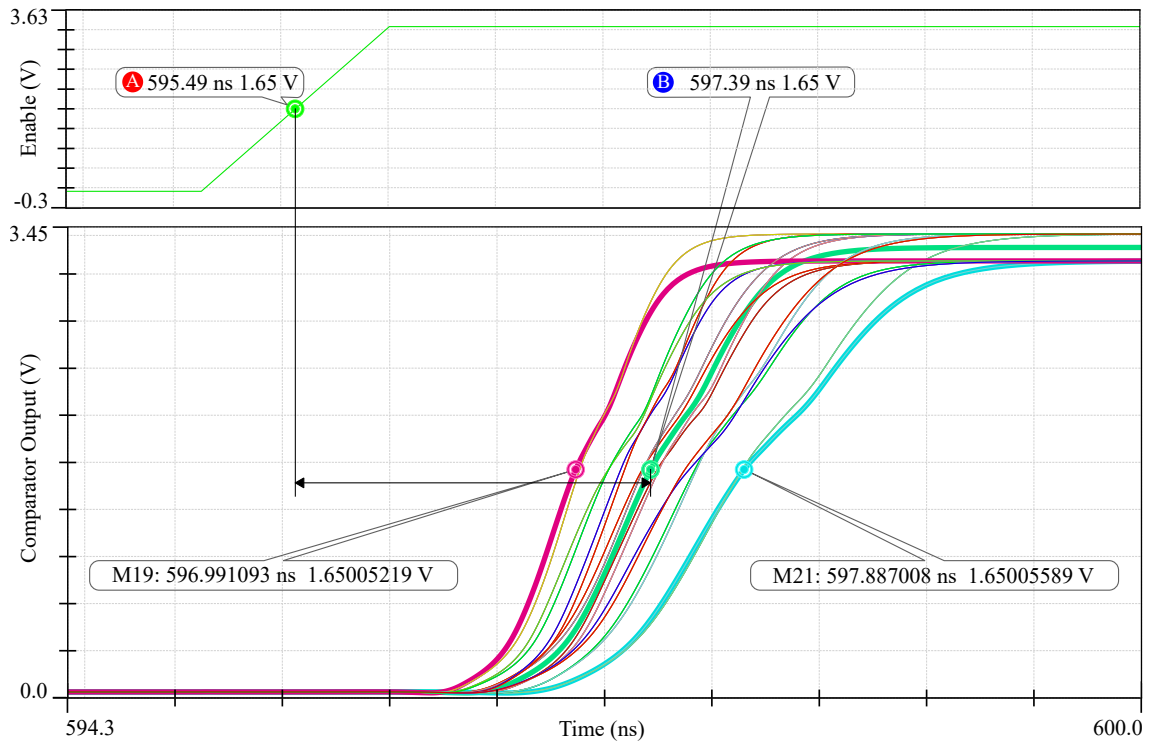


Figura 5.5: Tempo de resposta do Comparador.

em que o sinal de ativação (EN) cruza a tensão de 1,65 V (meia-escala) e o momento em que a saída do comparador alcança esse mesmo valor. A diferença entre ambos foi interpretada como o tempo de resposta. Em condições típicas, este tempo situou-se em torno de 1,9 ns, aumentando para cerca de 2,4 ns no cenário mais desfavorável, correspondente ao *corner* SS.

Esta metodologia foi replicada para os restantes blocos. A lógica de controlo apresentou um tempo típico de 3 ns, atingindo até 4 ns no pior caso. O conversor DAC, com arquitetura de interruptores binários, registou tempos de estabilização até 5 ns. Já o conjunto formado pelo *buffer* e o circuito de amostragem e retenção (S&H) revelou-se o mais exigente, com tempos de estabilização que chegaram aos 23 ns.

A Figura 5.6 resume a contribuição temporal de cada bloco, considerando os piores casos. Para assegurar uma margem de segurança adequada, foi acrescentado um intervalo adicional de 5 ns, o que estabelece um tempo total de 40 ns por *bit* convertido, traduzindo-se numa frequência de relógio máxima de 25 MHz.

A Figura 5.7 apresenta o diagrama temporal representativo de um ciclo completo

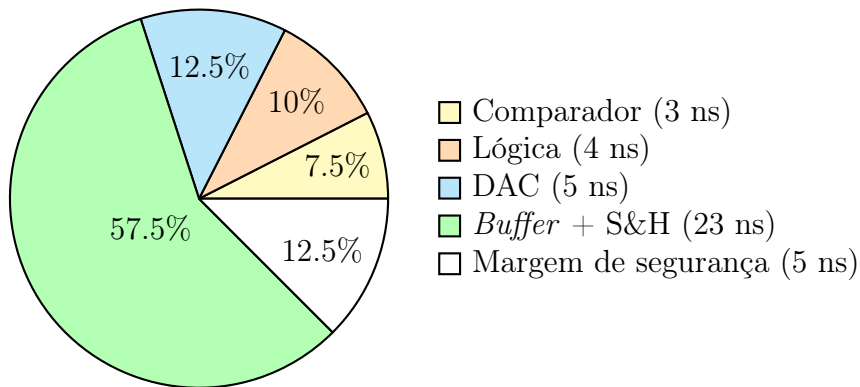


Figura 5.6: Distribuição percentual dos tempos de *settling* dos principais blocos do ADC SAR ao longo de um ciclo de conversão.

de conversão do ADC SAR implementada, ilustrando a sequência de ativação dos blocos de acordo com os tempos de resposta obtidos.

Durante o ciclo de 40 ns, o sinal de relógio SAR\_CLK ativa sequencialmente a lógica de controlo, que interpreta o resultado da comparação anterior e gera um novo código digital de entrada para o DAC. Este, por sua vez, atualiza a tensão analógica à sua saída, que é aplicada ao *buffer* e amostrada no condensador de S&H. Incluindo as margens de segurança, esta fase ocupa cerca de 34 ns.

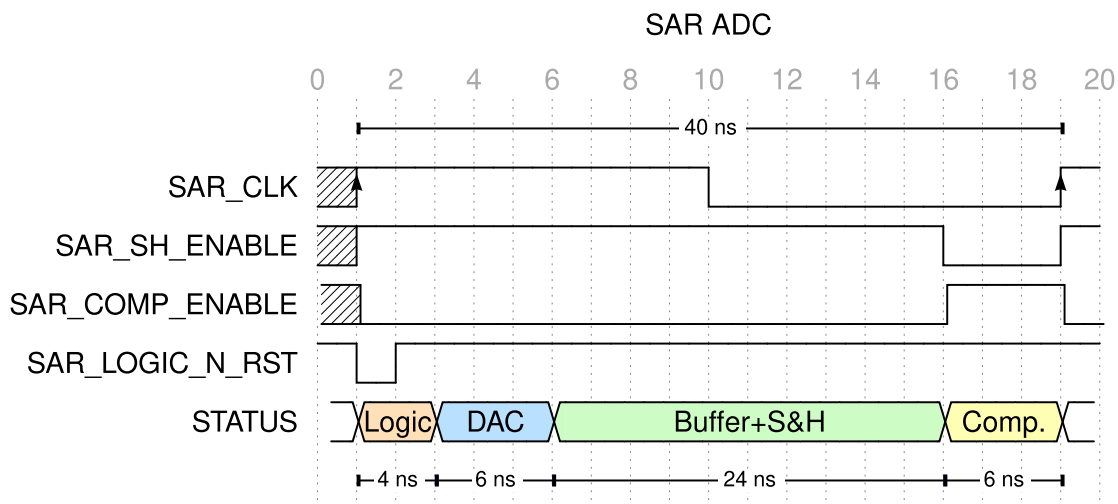


Figura 5.7: Representação temporal dos sinais de controlo que coordenam a operação do ADC SAR com margem de segurança distribuída.

Imediatamente após a estabilização, o interruptor que liga o *buffer* ao condensador de amostragem é desligado, isolando o restante do circuito da operação de comparação. Em seguida o comparador é ativado, permanecendo ligado durante 6 ns (3 ns estimados + 3 ns de margem), tempo suficiente para realizar a comparação.

No que respeita ao consumo energético, a corrente média por conversão registrada foi de aproximadamente  $316 \mu A$ , o que para uma tensão de alimentação de 3,3 V, traduz-se num consumo médio de potência de aproximadamente 1 mW. Esta métrica comprova a eficiência energética da solução proposta, tendo em conta a sua complexidade funcional. A Figura 5.8 mostra a distribuição percentual do consumo de corrente pelos principais blocos do ADC.

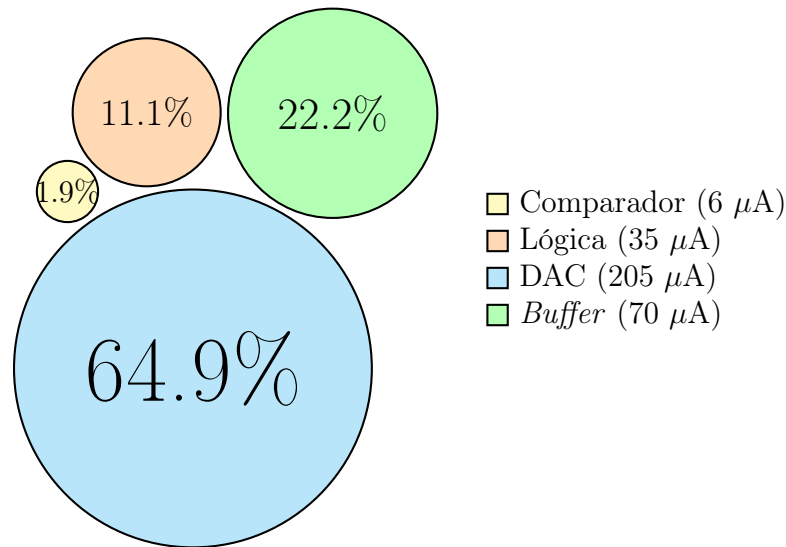


Figura 5.8: Distribuição percentual do consumo médio de corrente pelos blocos principais do ADC.

Como previsto, o DAC revelou-se o componente mais exigente neste aspecto, com uma corrente média de  $205 \mu A$ , o que representa aproximadamente 65% do consumo total — valor justificado pelo seu funcionamento contínuo e estático. Por contraste, o comparador apresentou um consumo médio de apenas  $6 \mu A$  (cerca de 2%), beneficiando da sua natureza dinâmica, com atividade limitada aos instantes de decisão. A lógica de controlo e o *buffer* contribuíram com  $35 \mu A$  e  $70 \mu A$ , correspondendo a cerca de 11,1% e 22,2% do consumo total, respetivamente.

### 5.4.2. Linearidade

Para a avaliação da linearidade estática do ADC, foram analisados os parâmetros de não-linearidade diferencial (DNL) e não-linearidade integral (INL). Diversos métodos são descritos na literatura para esta finalidade, nomeadamente os propostos em [55]. Neste trabalho optou-se por aplicar um sinal de rampa linear à entrada do ADC, cobrindo todo o intervalo de conversão e registrando o código digital de saída a cada conversão, com o conversor a operar nas suas condições normais de funcionamento.

Os dados da simulação foram exportados do ambiente Cadence e processados com um *script* desenvolvido em Python, o qual permitiu calcular e representar graficamente a curva de transferência, bem como os valores de DNL e INL, com auxílio das Equações 2.5 e 2.6. A Figura 5.9 ilustra a curva de transferência obtida. Os pontos azuis representam os resultados simulados, enquanto a linha tracejada indica o comportamento ideal de um ADC linear. A curva a vermelho representa o erro de INL acumulado ao longo da gama de conversão.

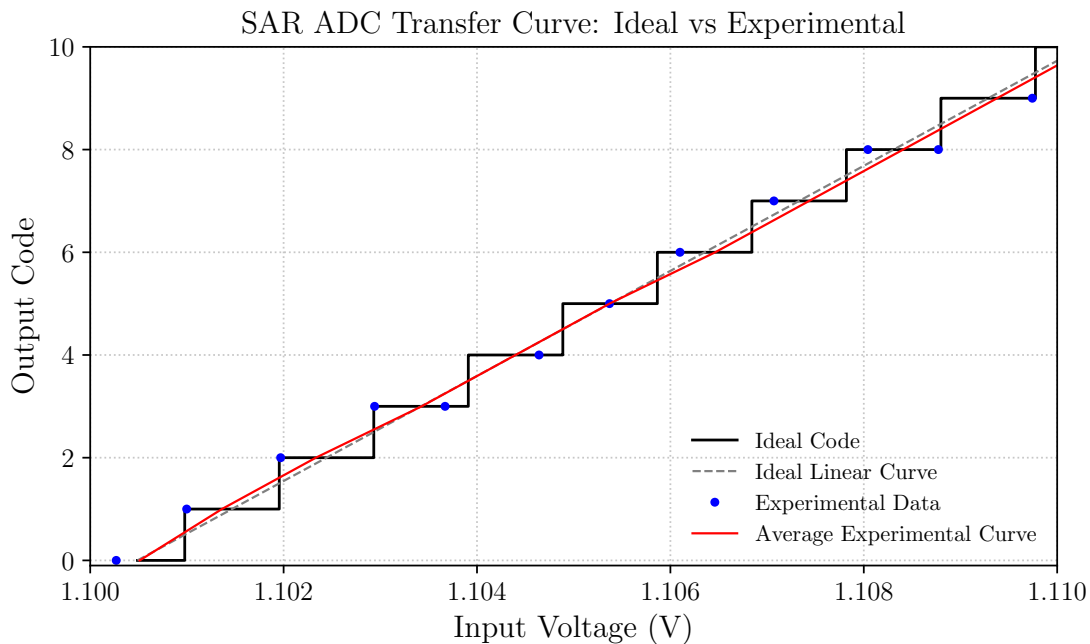
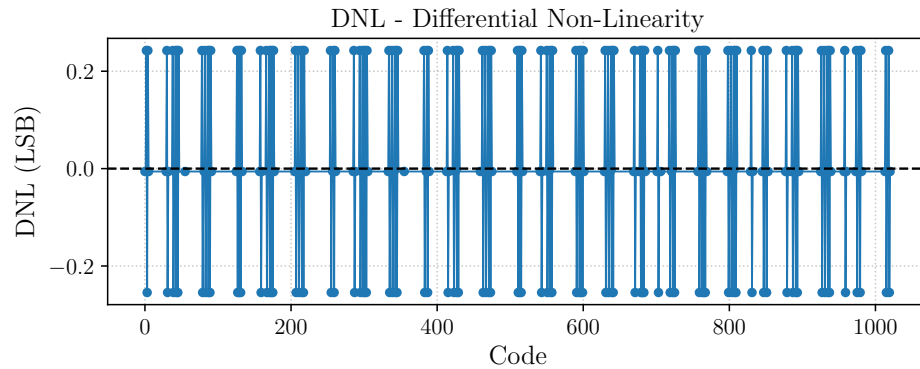
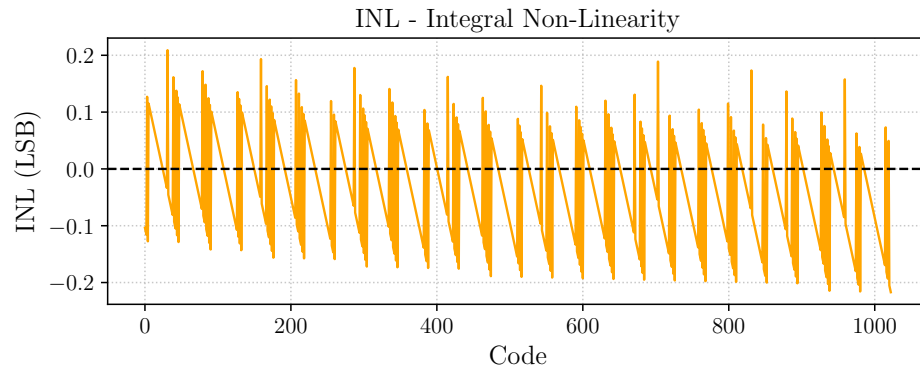


Figura 5.9: Curvas de transferência obtidas do ADC SAR: comparação entre o comportamento ideal e o obtido em simulação.

De forma a obter múltiplas amostras por código, o declive da rampa foi cuidadosamente ajustado para garantir cerca de quatro amostras por código. Com esse ajuste, a tensão de entrada aumentava cerca de 0,25 LSB por conversão, garantindo uma boa resolução temporal sem comprometer excessivamente o tempo de simulação. A Figura 5.10 apresenta os erros de DNL e INL obtidos.



(a)



(b)

Figura 5.10: Resultados obtidos dos erros de (a) DNL e (b) INL do ADC SAR.

Os resultados obtidos revelam que ambos os parâmetros de linearidade permaneceram abaixo de 0,25 LSB, o que atesta o elevado grau de linearidade do sistema. Tal como abordado no Capítulo 4, a utilização de uma arquitetura DAC baseada num divisor resistivo assegura a ausência de códigos faltantes.

Importa ainda sublinhar que o passo de teste adotado introduz uma incerteza na estimativa da posição exata das transições, da ordem de 0,25 LSB. É plausível que

os valores reais de DNL e INL sejam inferiores aos estimados, caso fosse utilizada uma resolução mais fina — por exemplo, com 8 ou 16 amostras por código. Tal melhoria permitiria detetar irregularidades mais subtis na resposta do conversor. Este aumento do número de amostras trás consigo um aumento do custo computacional, tornando-se pouco viável no contexto de simulação.

### 5.4.3. Impacto do CDS no desempenho do ADC

A introdução da técnica de amostragem dupla correlacionada (CDS) para cancelamento do *offset* consistiu na realização sequencial de duas conversões completas no ADC. A primeira conversão visa capturar a tensão de *reset*, enquanto a segunda amostra corresponde ao sinal de interesse propriamente dito. A diferença entre os dois resultados fornece uma estimativa corrigida do sinal, livre do *offset* e de outras perturbações sistemáticas comuns às duas fases. Como consequência direta, o tempo total requerido por cada conversão com CDS é o dobro de uma conversão convencional.

Além disso, cada conversão analógico-digital introduz inevitavelmente um erro de quantização de até  $\pm\frac{1}{2}$  LSB. Como o processo de CDS envolve duas conversões, o erro total pode atingir  $\pm 1$  LSB. O diagrama em árvore da Figura 5.11 detalha as quatro combinações possíveis resultantes dos erros de quantização de  $\pm\frac{1}{2}$  LSB em cada uma das duas conversões envolvidas no CDS.

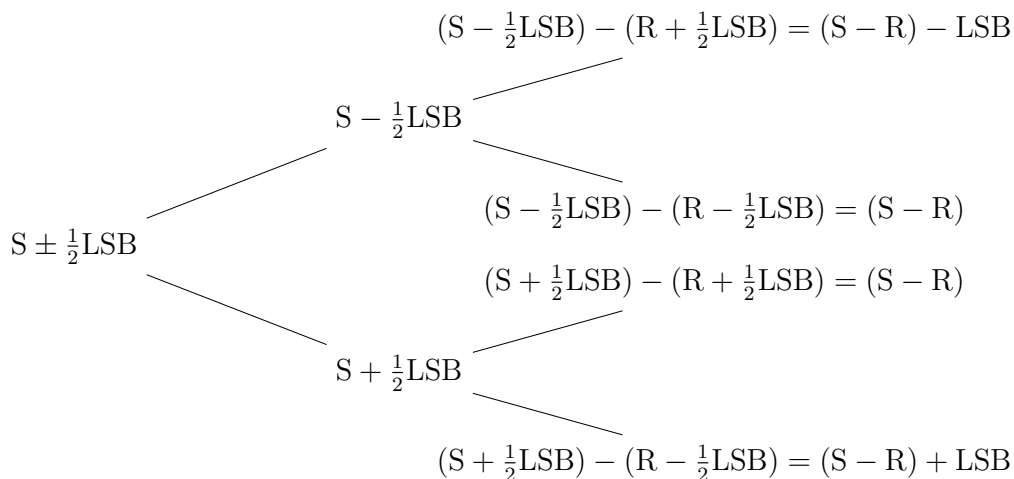


Figura 5.11: Representação em árvore dos possíveis resultados de uma conversão CDS, considerando o erro de quantização associado a duas conversões consecutivas.

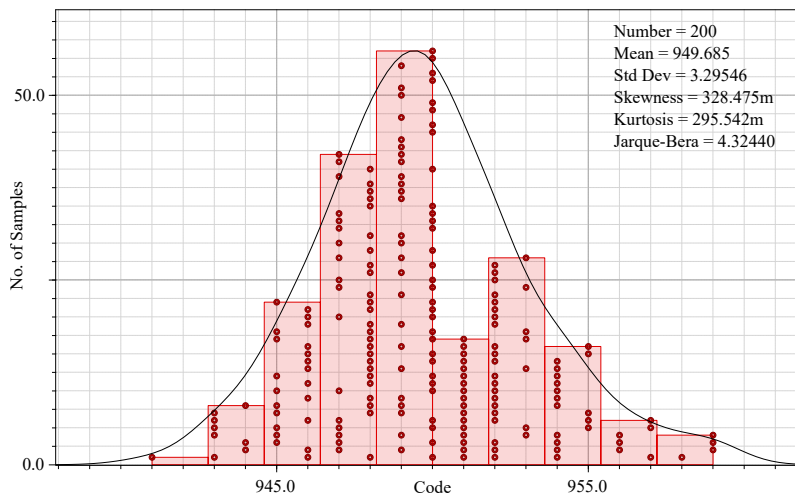
O ponto de partida são os dois possíveis valores para o código do sinal,  $S \pm \frac{1}{2}$  LSB, os quais derivam em dois ramos consoante o código do *reset* que também apresenta dois possíveis valores,  $R \pm \frac{1}{2}$  LSB, após uma conversão analógico-digital. As subtrações entre as combinações possíveis originam três resultados finais distintos:  $(S - R)$ ,  $(S - R) + 1$  LSB e  $(S - R) - 1$  LSB. Assim, mesmo num ADC ideal, o processo de conversão introduz uma incerteza inevitável, associada ao processo de quantização.

O valor da tensão de *reset* foi definido como 1,9 V, garantindo uma cobertura adequada do sinal de *reset* proveniente do *pixel*, cujo valor típico, no caso do píxel do P110 é de 2,1 V na ausência de luz. Este valor corresponde ao código 818 do ADC de 10 *bits*, sendo esse o código de referência utilizado nas simulações. A Figura 5.12 apresenta os histogramas obtidos após a conversão do código 950 com e sem a aplicação de CDS.

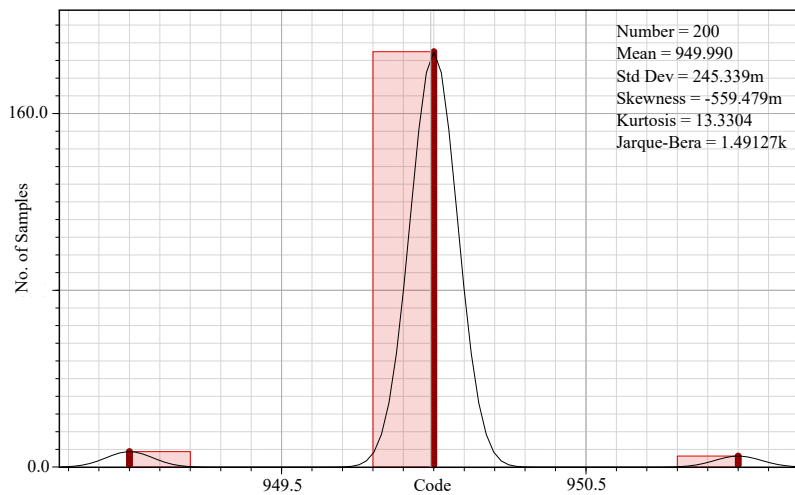
A análise dos histogramas permite verificar o impacto significativo da técnica CDS. Os dados apresentados seguem uma distribuição aproximadamente normal, onde os resultados se distribuem em torno de um valor médio. No caso da conversão sem CDS (Figura 5.12a), o valor médio obtido foi aproximadamente 949,7. Isto significa que, após 200 simulações Monte Carlo de uma conversão do código 950, os resultados tenderam a concentrar-se em torno deste valor. Com base na regra empírica para distribuições normais, pode afirmar-se que há 68 % de probabilidade de uma conversão real resultar num valor entre 946 e 953, 95 % de probabilidade de se situar entre 934 e 957, e 99,7 % de estar entre 940 e 960 [53]. Observa-se, portanto, uma dispersão de até  $\pm 10$  LSB, resultante da acumulação de erros de quantização, *offset* do comparador, imprecisões no DAC e outras fontes de ruído.

Com a introdução do CDS, esta dispersão reduz-se drasticamente, com os códigos finais praticamente todos concentrados no código 950 e um desvio máximo de apenas  $\pm 1$  LSB, atribuível exclusivamente ao erro de quantização. Assim, conclui-se com elevado grau de confiança que a implementação do CDS contribui de forma decisiva para a fiabilidade e robustez da conversão, eliminando os principais erros sistemáticos do sistema.

Adicionalmente, calculou-se o desvio da tensão de saída (DVO), que quantifica a variação máxima esperada da saída do ADC em torno do valor ideal. Neste caso, os resultados da simulação foram obtidos em código digital (LSB), pelo que se procedeu à conversão para unidades de tensão. Considerando uma distribuição



(a)



(b)

Figura 5.12: Comparação do histograma do código final obtido após uma simulação Monte Carlo (a) sem CDS e (b) com CDS.

aproximadamente normal dos dados, utilizou-se o intervalo de três desvios padrão para estimar essa variação [56]. Assim, obteve-se:

$$DVO = 3 \times 3,29546 \times \frac{1 V}{1024} \approx 9,7mV. \quad (5.3)$$

Com base nos resultados obtidos, conclui-se que a implementação da técnica de CDS foi bem-sucedida, reduzindo para os limites teóricos os efeitos de *offset* e das variações de processo no código de saída do ADC.

## 5.5. Análise comparativa com o ADC do sensor P110 e outras implementações SAR da literatura

A Tabela 5.3 resume as principais características de diversas implementações de ADC SAR reportadas na literatura, além do conversor desenvolvido neste trabalho e do ADC em rampa do sensor P110. O conversor do P110 é considerado a principal referência de comparação, uma vez que o ADC desenvolvido neste trabalho tem como objetivo claro a melhoria face à solução existente no P110. Entre os parâmetros incluídos na comparação destacam-se a tecnologia de fabrico, resolução, tensão de alimentação, linearidade, desvio de tensão de saída (DVO), gama de cobertura, consumo de potência e velocidade de conversão.

Observa-se, antes de mais, que os ADC listados foram concebidos em tecnologias bastante distintas, desde processos CMOS antigos, como 350 nm e 500 nm em [56] e [57], até tecnologias mais modernas de 90 nm em [58] e 65 nm (P110 e este trabalho). Naturalmente, a tecnologia influencia diversos aspetos do desempenho. Por exemplo, os conversores implementados em 500 nm tendem a operar com tensões de alimentação mais altas, como 5 V, ao passo que *designs* mais recentes utilizam tensões menores (1 a 3,3 V).

No que diz respeito à resolução, os exemplos apresentados situam-se entre os 10 e 12 *bits*, valores típicos para sensores de imagem. As arquiteturas de maior resolução recorrem frequentemente a estratégias de segmentação para otimização do circuito – por exemplo, o ADC de [59] utiliza uma conversão em dois passos (indicada como 8+4 *bits*) e em [57] foi adotada uma abordagem *dual-ladder* (6+6 *bits*). Estas técnicas dividem a conversão em etapas, combinando diferentes arquiteturas de DAC com o objetivo de maximizar as vantagens de cada uma.

A segmentação, no entanto, pode introduzir desafios adicionais de calibração e linearidade. Efetivamente, os ADC segmentados da tabela apresentam os erros de INL mais elevados. O INL atinge cerca de 1,5 LSB em [59] e 2,0 LSB em [57], valores superiores aos verificados nos *designs* de 10 *bits* não segmentados. O ADC em rampa do P110 revela um erro de INL da ordem de 3 LSB. Por outro lado, o ADC desenvolvido neste trabalho destaca-se neste requisito, com DNL e INL de 0,25 LSB e 0,22 LSB, respetivamente.

O desvio de tensão de saída (DVO) constitui outro parâmetro relevante de com-

Tabela 5.3: Resumo das principais características de diferentes propostas de ADC SAR presentes na literatura, incluindo o ADC do P110 e o desenvolvido neste trabalho.

Artigo	[56]	[57]	[58]	[59]	[60]	[61]	P110	Este trabalho
Tecnologia (nm)	350/500	500	90	350	110	100	65	65
Resolução ( <i>bits</i> )	10	12 (6+6)	10	12 (8+4)	12	10	10	10
VDD (V)	5	±5	5	-	3	1,5 / 5	3,3	3,3
DNL (LSB)	0,44	0,25	0,11/1,37	0,49	0,31 ~ 0,38	0,4	-	0,25
INL (LSB)	0,58	2,0	0,92/1,45	1,51	0,23 ~ 0,39	0,7	3	0,22
DVO (mV)	15,9	-	19,5-22	9,3	-	20	-	9,7
Gama de saída (V)	0,27-4,72	-3,7 - 3,7	0,2-4,7	0,1-3,2	0-2,4	0,25-4,75	-	0-3,3
Consumo (mW)	-	-	-	-	1	20	1	1
Velocidade ( $\mu s$ )	6,2	240000	4	20	2	-	0,6	0,4
Velocidade <i>c</i> /CDS ( $\mu s$ )	-	-	-	-	-	-	≥ 1,17*	0,8

\* Dependente do ganho aplicado à rampa.

paração. Nos trabalhos consultados, este parâmetro situa-se entre 9 mV e 20 mV. O ADC desenvolvido neste trabalho enquadra-se nas topologias com menor DVO apresentadas na tabela, com 9,7 mV, o que evidencia uma boa imunidade ao ruído e variações de fabrico.

No domínio da velocidade de conversão e consumo de potência, as diferenças entre os ADC refletem compromissos de projeto orientados às aplicações-alvo. Por exemplo, o projeto de 12 *bits* em 350 nm de [59] atinge 20  $\mu s$  por conversão (50 kS/s), refletindo possivelmente a penalização de velocidade imposta pela maior resolução e pela arquitetura de dois passos. Em contraste, soluções mais recentes conseguiram reduzir significativamente o tempo de conversão. Em [60], um ADC SAR de 12 *bits* em 110 nm alcança conversões em apenas 2  $\mu s$ , com um consumo de potência de 1 mW. O ADC deste trabalho destaca-se, entre as topologias listadas, pelo menor tempo necessário por conversão – cerca de 0,4  $\mu s$  (equivalente a 2,5 MS/s), mantendo um consumo semelhante aos outros trabalhos. Este resultado deve-se, em parte, à utilização de uma tecnologia de semi-condutores mais moderna, de 65 nm, e a uma forte preocupação em otimizar os diversos circuitos que compõem o ADC.

Comparado com o ADC do P110, o conversor desenvolvido apresenta um desempenho superior em velocidade, particularmente nas conversões com CDS. O tempo

mínimo necessário para completar uma conversão CDS é de aproximadamente  $0,8 \mu\text{s}$  em contraste com os  $1,17 \mu\text{s}$  do ADC do P110, o que representa uma redução superior a 30% no tempo de conversão.

Se aplicado ganho 3 à conversão, o tempo de conversão do ADC do P110 aumenta para  $1,73 \mu\text{s}$ , enquanto o ADC desenvolvido neste trabalho mantém-se nos  $0,8 \mu\text{s}$ , revelando uma otimização superior a 50 % no tempo de conversão. Com ganho 4, a otimização atinge mais de 60% em relação ao ADC do P110, como ilustrado na Figura 5.13. Em termos práticos, isto significa dizer que, para ganho 4, o ADC proposto é capaz de realizar cinco conversões CDS de 10 *bits* no mesmo intervalo de tempo em que o ADC do P110 efetua apenas duas.

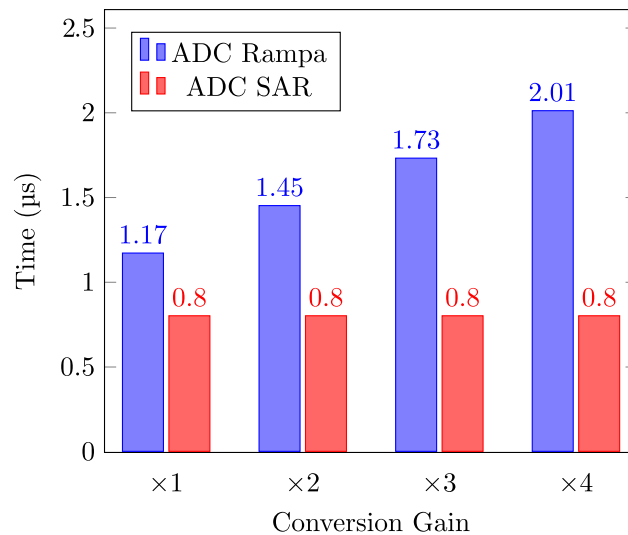


Figura 5.13: Comparação dos tempos totais de conversão para diferentes ganhos do ADC do P110 e o ADC SAR desenvolvido neste trabalho.

Os resultados obtidos confirmam que a arquitetura de ADC SAR desenvolvida neste trabalho oferece vantagens face a soluções em rampa como a do sensor P110, nomeadamente ao nível da linearidade e velocidade de conversão. Esta melhoria alinha-se com a tendência observada na literatura, onde os conversores SAR se destacam cada vez mais como opção dominante para sensores de imagem. A substituição de um ADC em rampa por um SAR pode traduzir-se, portanto, numa otimização significativa do desempenho global do sensor.

# CAPÍTULO 6

## Conclusão

Ao longo desta dissertação, foi desenvolvido um conversor analógico-digital (ADC) do tipo SAR, otimizado para integração em sensores de imagem CMOS. O trabalho teve como principal objetivo superar as limitações da arquitetura de rampa utilizada no sensor P110, nomeadamente em termos de velocidade de conversão, linearidade e consumo energético. A abordagem adotada envolveu o estudo aprofundado do estado da arte, o desenho da arquitetura do ADC, o projeto dos seus blocos funcionais e a análise detalhada dos resultados obtidos em simulação.

### 6.1. Conclusões Gerais

Numa primeira fase foi realizada uma revisão abrangente da bibliografia, centrada nos sensores de imagem e nos conversores analógico-digitais. Discutiram-se as arquiteturas CCD e CMOS, destacando a evolução que levou à adoção generalizada dos sensores CMOS pela sua eficiência e capacidade de integração. Foram ainda analisadas as arquiteturas de píxeis (PPS e APS), bem como os principais tipos de ADC aplicados em sensores de imagem, salientando-se as vantagens e desvantagens de topologias como *flash*, rampa e SAR. Esta análise permitiu enquadrar os desafios de linearidade, consumo e velocidade, fundamentando a escolha de um ADC SAR como solução mais equilibrada para o caso em estudo. Adicionalmente, foi estudada a técnica CDS, com demonstração clara dos seus benefícios na redução de ruído e *offset*.

O desenho global do ADC assentou numa topologia SAR clássica, com requisitos de elevada velocidade de conversão, baixo consumo de potência e boa linearidade. Foram estabelecidos os blocos principais do sistema — DAC resistivo, comparador,

lógica SAR, circuito de amostragem e *buffer* —, clarificando a sua função no desempenho global. A definição da arquitetura mostrou que seria possível atingir tempos de conversão reduzidos, assegurando simultaneamente uma operação robusta com a introdução da técnica de amostragem dupla correlacionada (CDS).

Depois de definida a arquitetura base, foi desenvolvido o projeto detalhado dos circuitos eletrônicos que compõem o ADC. O DAC em cadeia resistiva destacou-se pela sua elevada linearidade intrínseca, ainda que com um consumo estático associado. Para melhorar a velocidade de resposta deste bloco introduziu-se um esquema de interruptores binários de forma a minimizar a capacidade de saída do mesmo. Esta alteração resultou numa otimização de aproximadamente 90% no tempo de resposta do DAC.

O comparador *StrongARM* foi dimensionado com especial atenção ao par diferencial de entrada, dado que as variações de largura, comprimento e corrente de polarização destes transístores constituem a principal fonte de *offset* e afetam diretamente a velocidade de decisão. A escolha das dimensões e do regime de operação permitiu, assim, reduzir o *offset* e maximizar a rapidez da regeneração. O condensador de amostragem foi otimizado para reduzir o ruído térmico, e o *buffer* foi projetado para isolar o DAC do S&H, assegurando estabilidade e precisão. A lógica SAR foi implementada com base num algoritmo clássico de [48], garantindo fiabilidade e sincronismo na conversão.

Os testes realizados confirmaram o desempenho esperado da arquitetura. O conversor atingiu uma taxa de 2,5 MS/s (10 *bits*) representando uma melhoria de cerca de 30% em relação ao ADC rampa do sensor P110. Em modo CDS, duas conversões de 10 *bits* (*reset* + sinal) são completadas em apenas 0,8  $\mu$ s, face a 1,17  $\mu$ s do P110. Importa destacar também a flexibilidade proporcionada pela arquitetura SAR nesta modalidade de operação, que tornou possível aplicar ganho durante a conversão CDS sem qualquer penalização adicional em tempo. Para ganho 4, numa conversão CDS, a otimização temporal pode ir além dos 60%, demonstrando uma clara vantagem desta topologia face ao ADC do P110.

Outro aspecto relevante diz respeito à precisão e linearidade do conversor. O ADC desenvolvido apresentou erros de não-linearidade integral (INL) e diferencial (DNL) inferior a  $\pm 0,25$  LSB. Estes resultados indicam que a nova arquitetura assegura uma conversão praticamente isenta de não-linearidades significativas, não se tendo observado códigos inválidos (*missing codes*) na saída digital.

É importante destacar que todas estas melhorias de desempenho foram alcançadas sem aumento notório do consumo de potência. O DAC de rede resistiva contribuiu para uma linearidade intrinsecamente alta, à custa de um pequeno consumo estático de corrente. O consumo médio do sistema foi de aproximadamente 1 mW, com o DAC responsável por 65% desse valor e o comparador por apenas 1,9%.

A análise dos resultados permitiu identificar o *buffer* como o principal fator limitativo da velocidade de conversão. Devido à sua resposta finita, cerca de 58% do tempo de cada conversão é despendido pelo *buffer* a carregar o condensador de amostragem até ao valor de sinal a converter, o que evidencia que a etapa de aquisição analógica impede tempos de conversão mais interessantes.

## 6.2. Propostas de Melhoria e Trabalhos Futuros

A análise realizada permitiu identificar oportunidades claras de evolução do projeto. A limitação mais evidente é a dependência do *buffer*, responsável por cerca de 65% do tempo total de conversão. O desenvolvimento de topologias de *buffer* mais rápidas e eficientes constitui, por isso, uma linha prioritária de investigação. Também o DAC resistivo, embora muito linear, representa uma fatia elevada do consumo estático do sistema. Uma possibilidade de melhoria seria aumentar a resistividade do divisor resistivo, reduzindo a corrente estática do sistema, assumindo que um aumento da área ocupada fosse aceitável. No entanto, é importante salientar que uma diminuição da corrente estática levaria, potencialmente, a um aumento do tempo de *settling* do DAC.

Outro desafio inerente a esta arquitetura é a sua baixa escalabilidade. De facto, um incremento de apenas 1 *bit* na resolução do ADC implicaria duplicar o número de resistências necessárias. Consequentemente, para resoluções superiores, esta arquitetura torna-se rapidamente desaconselhável. Neste sentido, a exploração de arquiteturas alternativas para o conversor digital-analógico poderia constituir um desenvolvimento vantajoso para a robustez e versatilidade deste sistema. Uma possibilidade seria a exploração da integração de arquiteturas segmentadas, as quais dividem o processo de quantização em etapas de menor resolução com o objetivo de tirar proveito das vantagens de dois ou mais sistemas. É importante salientar,

contudo, que o conversor desenvolvido neste trabalho foi especificamente concebido para aplicações onde uma resolução de 10 *bits* é adequada e suficiente — como é o caso do sensor P110 — estando, por isso, otimizado para esse nicho.

Como proposta para trabalhos futuros, destaca-se a necessidade de evolução do projeto para a *fase* de desenho físico do circuito. A concretização do layout constituiria um passo fundamental para validar as métricas de desempenho numa implementação realista, possibilitando a extração de parâmetros parasitas, considerações da área ocupada e simulações pós-*layout*. Esta etapa é fundamental para depois, eventualmente, preparar o sistema para fabrico e caracterização experimental.

O trabalho realizado resultou num ADC SAR de alta velocidade e elevada precisão adequado a sensores de imagem CMOS modernos, evidenciando vantagens claras face à arquitetura de rampa anteriormente utilizada. A redução do tempo de conversão, a significativa melhoria da linearidade estática e a possibilidade de efetuar CDS com ganho (sem penalização temporal), aliadas à manutenção de um baixo consumo de potência, demonstram a eficácia da abordagem adotada e o cumprimento integral dos objetivos propostos.

Numa perspetiva de aplicabilidade do ADC desenvolvido, as características alcançadas são interessantes para diversas aplicações, como a área biomédica, onde se procuram sistemas que ofereçam um bom equilíbrio entre consumo de potência e fidelidade de imagem. Este sistema também pode servir de base a sistemas eletrónicos noutras áreas, estendendo os benefícios do desenho a domínios como o da Internet das Coisas (IoT) e instrumentação portátil. Assim, considera-se que o trabalho realizado oferece uma base sólida para desenvolvimentos futuros – seja na otimização do circuito ou na demonstração prática do sistema num contexto real.

## Referências Bibliográficas

- [1] ams-OSRAM AG, *ams OSRAM Official Website*. URL: <https://ams-osram.com/>.
- [2] R. Lyon, «A Brief History of 'Pixel,» *Proceedings of SPIE - The International Society for Optical Engineering*, vol. 6069, fev. de 2006. DOI: 10.1117/12.644941.
- [3] T. York. «Fundamentals of Image Sensor Performance.» (2011), URL: <https://www.cse.wustl.edu/~jain/cse567-11/ftp/imgsens/#fig1>.
- [4] J. Nakamura, ed., *Image Sensors and Signal Processing for Digital Still Cameras*. Boca Raton, FL: CRC Press, 2005, ISBN: 9780849335459.
- [5] B. E. Bayer. «Color imaging array.» (1976), URL: <https://patents.google.com/patent/US3971065A/en>.
- [6] E. Fossum, «CMOS image sensors: electronic camera on a chip,» em *Proceedings of International Electron Devices Meeting*, 1995, pp. 17–25. DOI: 10.1109/IEDM.1995.497174.
- [7] S. Morrison, «A new type of photosensitive junction device,» *Solid-State Electronics*, vol. 6, n.º 5, pp. 485–494, 1963, ISSN: 0038-1101. DOI: [https://doi.org/10.1016/0038-1101\(63\)90033-9](https://doi.org/10.1016/0038-1101(63)90033-9). URL: <https://www.sciencedirect.com/science/article/pii/0038110163900339>.
- [8] P. Fry, P. Noble e R. Rycroft, «Fixed-pattern noise in photomatrices,» *IEEE Journal of Solid-State Circuits*, vol. 5, n.º 5, pp. 250–254, 1970. DOI: 10.1109/JSSC.1970.1050122.
- [9] W. Boyle e G. Smith, «Charge Coupled Semiconductor Devices,» *Bell System Technical Journal*, vol. 49, n.º 4, pp. 587–593, 1970.
- [10] E. R. Fossum, «CMOS Image Sensors: Electronic Camera-on-a-Chip,» *IEEE Transactions on Electron Devices*, vol. 44, n.º 10, pp. 1689–1698, 1997. DOI: 10.1109/16.628824.

- 
- [11] M. Bigas, E. Cabruja, J. Forest e J. Salvi, «Review of CMOS image sensors,» *Microelectronics Journal*, vol. 37, n.º 5, pp. 433–451, 2006, ISSN: 1879-2391. DOI: <https://doi.org/10.1016/j.mejo.2005.07.002>. URL: <https://www.sciencedirect.com/science/article/pii/S0026269205002764>.
- [12] A. J. P. Theuwissen, *Solid-State Imaging with Charge-Coupled Devices*. Kluwer Academic Publishers, 1995.
- [13] E. R. Fossum, «Fossum -active Pixel Sensors Active Pixel Sensors,» 2007. URL: <https://api.semanticscholar.org/CorpusID:18831792>.
- [14] G. Weckler, «Operation of p-n Junction Photodetectors in a Photon Flux Integrating Mode,» *IEEE Journal of Solid-State Circuits*, vol. 2, n.º 3, pp. 65–73, 1967. DOI: 10.1109/JSSC.1967.1049795.
- [15] P. Noble, «Self-scanned silicon image detector arrays,» *IEEE Transactions on Electron Devices*, vol. 15, n.º 4, pp. 202–209, 1968. DOI: 10.1109/T-ED.1968.16167.
- [16] A. El Gamal e H. Eltoukhy, «CMOS Image Sensors,» *IEEE Circuits and Devices Magazine*, vol. 21, n.º 3, pp. 6–20, 2005.
- [17] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, 2nd. Hoboken, NJ, USA: IEEE Press / Wiley, 2008, Cap. 28–29: Data Converter Architectures e Especificações de ADC, ISBN: 9780470229415.
- [18] W. Kester, *The Data Conversion Handbook – Chapter 3: Data Converter Architectures*. Oxford, UK: Newnes/Analog Devices, 2005, ISBN: 9780750678414.
- [19] P. M. Rainey, «System for Transmitting Photographs, Pictures and the Like,» pat. US1608527A, First known implementation of flash ADC in a facsimile PCM system, jan. de 1926. URL: <https://patents.google.com/patent/US1608527A>.
- [20] Monolithic Power Systems (MPS). «Analog-to-Digital Converters (ADCs).» Acesso em 9 de setembro de 2025. (2025), URL: <https://www.monolithicpower.com/en/learning/mpscholar/analog-to-digital-converters>.
- [21] M. Uster, «Current-mode analog-to-digital converter for array implementation,» tese de doutoramento, ETH Zurich, 2003.

- [22] A. Lombardi Campos, «Masters Dissertation: Design of a low-power 10-bit 12-MS/s asynchronous SAR ADC,» tese de doutoramento, set. de 2020. DOI: 10.11606/D.18.2020.tde-16122021-162821.
- [23] Z. Zhou, B. Pain e E. Fossum, «CMOS active pixel sensor with on-chip successive approximation analog-to-digital converter,» *IEEE Transactions on Electron Devices*, vol. 44, n.º 10, pp. 1759–1763, 1997. DOI: 10.1109/16.628833.
- [24] C. Mangelsdorf, «Divider Magic [Shop Talk: What You Didn’t Learn in School],» *IEEE Solid-State Circuits Magazine*, vol. 17, n.º 3, pp. 18–25, 2025. DOI: 10.1109/MSSC.2025.3582351.
- [25] P. I. Wold, «Signal-Receiving System,» pat. US1514753A, Thermometer DAC using relays and vacuum tubes, nov. de 1924.
- [26] C. A. Sprague, «Selective System,» pat. US1593993A, Thermometer DAC using relays and vacuum tubes, jul. de 1926.
- [27] L. K. Swart, «Gas-Filled Tube and Circuit Therefor,» pat. US2032514A, Thermometer DAC based on vacuum tube switches, mar. de 1936.
- [28] D. Halliday, R. Resnick e J. Walker, *Fundamentals of Physics* (Fundamentals of Physics). Wiley, 2013, ISBN: 9781118230718. URL: <https://books.google.pt/books?id=HybkAwAAQBAJ>.
- [29] B. D. Smith, «Coding by Feedback Methods,» *Proceedings of the IRE*, vol. 41, n.º 8, pp. 1053–1058, ago. de 1953. DOI: 10.1109/JRPROC.1953.274265.
- [30] TT Electronics, *R/2R Ladder Networks – Application Note*, [http://www.irctt.com/file.aspx?product\\_id=204&file\\_type=datasheet](http://www.irctt.com/file.aspx?product_id=204&file_type=datasheet), Acesso em: 2 jun. 2025, n.d.
- [31] P. E. Allen e D. R. Holberg, «CMOS Analog Circuit Design,» 1987. URL: <https://api.semanticscholar.org/CorpusID:53131018>.
- [32] B. Razavi, *Design of Analog CMOS Integrated Circuits* (Electrical Engineering Series). McGraw-Hill, 2001, ISBN: 9780071188395. URL: <https://books.google.pt/books?id=hdavQgAACAAJ>.
- [33] B. Razavi, «The StrongARM Latch [A Circuit for All Seasons],» *IEEE Solid-State Circuits Magazine*, vol. 7, n.º 2, pp. 12–17, 2015. DOI: 10.1109/MSSC.2015.2418155.

- [34] D. Schinkel, E. Mensink, E. A. M. Klumperink, A. J. M. van Tuijl e B. Nauta, «Double-Tail latch type voltage sense amplifier with 18 ps setup+hold time,» em *2007 IEEE International Solid-State Circuits Conference (ISSCC)*, Piscataway, NJ: IEEE, 2007, pp. 314–315. DOI: 10.1109/ISSCC.2007.373420.
- [35] A. Shukla, A. Girolkar e J. Verma, «Review of Folded Cascode & Telescopic Op-Amp,» *Journal of Emerging Technologies and Innovative Research (JETIR)*, vol. 4, n.º 05, pp. 50–55, 2017, Available online.
- [36] J. Janesick, *DN to  $[\lambda]$* : (Press Monographs). SPIE, 2007, ISBN: 9780819467225. URL: <https://books.google.pt/books?id=4IuH7FtVz90C>.
- [37] J.-Y. Lee, Y.-B. Song, H.-K. Lee e K.-Y. Park, «A High-Speed CMOS Image Sensor with a 4H-Column-Parallel Single-Slope ADC Architecture and Digital Correlated Double Sampling Technique,» *Sensors*, vol. 15, n.º 5, pp. 10 506–10 522, 2015. DOI: 10.3390/s150510506.
- [38] M. F. Snoeij, A. J. P. Theuwissen, K. A. A. Makinwa e J. H. Huijsing, «Multiple-Ramp Column-Parallel ADC Architectures for CMOS Image Sensors,» *IEEE Journal of Solid-State Circuits*, vol. 42, n.º 12, pp. 2968–2977, 2007. DOI: 10.1109/JSSC.2007.908720.
- [39] OmniVision Technologies, Inc., *OCHTA10 Medical Wafer-Level Camera Module*, Online, Consultado em 23 de junho de 2025, mar. de 2021. URL: <https://www.ovt.com/products/ochta10/>.
- [40] J. A. Movshon e L. Kiorpes, «Analysis of the development of spatial contrast sensitivity in monkey and human infants,» *J. Opt. Soc. Am. A*, vol. 5, n.º 12, pp. 2166–2172, dez. de 1988. DOI: 10.1364/JOSAA.5.002166. URL: <https://opg.optica.org/josaa/abstract.cfm?URI=josaa-5-12-2166>.
- [41] S. J. Daly, «Visible differences predictor: an algorithm for the assessment of image fidelity,» em *Electronic imaging*, 1992. URL: <https://api.semanticscholar.org/CorpusID:62129590>.
- [42] P. G. Barten, «Physical model for the contrast sensitivity of the human eye,» em *Human Vision, Visual Processing, and Digital Display III*, SPIE, vol. 1666, 1992, pp. 57–72.
- [43] P. G. Barten, *Contrast sensitivity of the human eye and its effects on image quality*. SPIE press, 1999.

- [44] T. Kimpe e T. Tuytschaever, «Increasing the Number of Gray Shades in Medical Display Systems—How Much Is Enough?» *Journal of Digital Imaging*, vol. 20, n.º 4, pp. 422–432, dez. de 2007. DOI: 10.1007/s10278-006-1052-3. URL: <https://www.ncbi.nlm.nih.gov/pmc/articles/PMC3043920/>.
- [45] American Association of Physicists in Medicine (AAPM) Task Group 18, «Assessment of Display Performance for Medical Imaging Systems,» American Association of Physicists in Medicine, Online Report 3, ago. de 2005, Pre-publication draft dated August 26, 2004. URL: [https://www.aapm.org/pubs/reports/or\\_03.pdf](https://www.aapm.org/pubs/reports/or_03.pdf).
- [46] J. Montanaro, R. Witek, K. Anne et al., «A 160-MHz, 32-b, 0.5-W CMOS RISC microprocessor,» *IEEE Journal of Solid-State Circuits*, vol. 31, n.º 11, pp. 1703–1714, 1996. DOI: 10.1109/JSSC.1996.542315.
- [47] T. Kobayashi, K. Nogami, T. Shirotori, Y. Fujimoto e O. Watanabe, «A current-mode latch sense amplifier and a static power saving input buffer for low-power architecture,» *1992 Symposium on VLSI Circuits Digest of Technical Papers*, pp. 28–29, 1992. URL: <https://api.semanticscholar.org/CorpusID:67412709>.
- [48] T. O. Anderson, «Optimum Control Logic for Successive Approximation Analog-to-Digital Converters,» 1972. URL: <https://api.semanticscholar.org/CorpusID:59664024>.
- [49] R. Kapusta, H. Zhu e C. Lyden, «Sampling Circuits That Break the  $kT/C$  Thermal Noise Limit,» *IEEE Journal of Solid-State Circuits*, vol. 49, n.º 8, pp. 1694–1701, 2014. DOI: 10.1109/JSSC.2014.2320465.
- [50] J. R. Pierce, «Physical Sources of Noise,» *Proceedings of the IRE*, vol. 44, n.º 5, pp. 601–608, 1956. DOI: 10.1109/JRPROC.1956.275123.
- [51] H. Xu e A. A. Abidi, «Analysis and Design of Regenerative Comparators for Low Offset and Noise,» *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, n.º 8, pp. 2817–2830, 2019. DOI: 10.1109/TCSI.2019.2909032.

- [52] H. Zumbahlen, «CHAPTER 1 - The Op Amp,» em *Linear Circuit Design Handbook*, H. Zumbahlen, ed., Burlington: Newnes, 2008, pp. 1–82, ISBN: 978-0-7506-8703-4. DOI: <https://doi.org/10.1016/B978-0-7506-8703-4.00001-8>. URL: <https://www.sciencedirect.com/science/article/pii/B9780750687034000018>.
- [53] Wikipedia contributors, *68–95–99.7 rule — Wikipedia, The Free Encyclopedia*, [Online; accessed 9-September-2025], 2025. URL: [https://en.wikipedia.org/w/index.php?title=68%E2%80%9395%E2%80%9399.7\\_rule&oldid=1308971638](https://en.wikipedia.org/w/index.php?title=68%E2%80%9395%E2%80%9399.7_rule&oldid=1308971638).
- [54] C. P. Basso, «The Link Between The Phase Margin And The Converter Transient Response,» 2008. URL: <https://api.semanticscholar.org/CorpusID:13529568>.
- [55] W. K. (Editor), *Data Conversion Handbook*. Oxford, UK: Newnes/Analog Devices, 2005, Cap. 3: Architectures de Conversores DAC/ADC; Cap. 5: Teste e Especificações de Conversores, ISBN: 9780750678414.
- [56] C.-W. Lu, C.-M. Hsiao e P.-Y. Yin, «A 10-b Two-Stage DAC with an Area-Efficient Multiple-Output Voltage Selector and a Linearity-Enhanced DAC-Embedded Op-Amp for LCD Column Driver ICs,» *IEEE Journal of Solid-State Circuits*, vol. 48, n.º 6, pp. 1475–1486, 2013. DOI: 10.1109/JSSC.2013.2252525.
- [57] F. Yang, C. An, L. Xie e X. Jin, «A 12-bit CMOS Dual-Ladder Resistor String D/A Converter Integrated with Self-adjusted Reference Circuit,» *WSEAS Transactions on Circuits and Systems*, vol. 13, pp. 129–134, 2014, DOI not specified.
- [58] C.-W. Lu, P.-Y. Yin, C.-M. Hsiao, M.-C. F. Chang e Y.-S. Lin, «A 10-bit Resistor-Floating-Resistor-String DAC (RFR-DAC) for High Color-Depth LCD Driver ICs,» *IEEE Journal of Solid-State Circuits*, vol. 47, n.º 10, pp. 2454–2466, 2012. DOI: 10.1109/JSSC.2012.2206684.
- [59] D.-K. Jung, Y.-H. Jung, T. Yoo et al., «A 12-bit Multi-Channel R-R DAC Using a Shared Resistor String Scheme for Area-Efficient Display Source Driver,» *IEEE Transactions on Circuits and Systems*, vol. 65, n.º 11, pp. 3688–3697, 2018. DOI: 10.1109/TCSI.2018.2854849.

- [60] J. Fang, X. Zou, S. Luo, N. Shang, Y. Huang e M. Wan, «A 12-Bit Voltage DAC Based on Dual 8-Bit Resistive Divider DACs,» em *2023 5th International Conference on Circuits and Systems (ICCS)*, 2023, pp. 121–128. DOI: 10.1109/ICCS59502.2023.10367248.
- [61] H.-M. Lee, Y.-J. Jeon, S.-W. Lee et al., «A 10b column driver with variable-current-control interpolation for mobile active-matrix LCDs,» em *2009 IEEE International Solid-State Circuits Conference*, 2009, 266–267, 267a. DOI: 10.1109/ISSCC.2009.4977410.

## Erro do DAC R-2R

Neste apêndice é analisada a precisão de uma arquitetura alternativa para o DAC, baseada numa rede resistiva  $R-2R$ , com o objetivo de avaliar a sua viabilidade face à solução adotada do tipo *resistor string*.

Foram realizadas simulações sob variações PVT, calculando-se o erro absoluto como a diferença entre a tensão de saída obtida na simulação e a tensão ideal teórica. O erro máximo foi de aproximadamente 3,83 mV, o que equivale a aproximadamente 3,92 LSB para uma resolução de 10 *bits*. Os dados são ilustrados na Figura A.1.

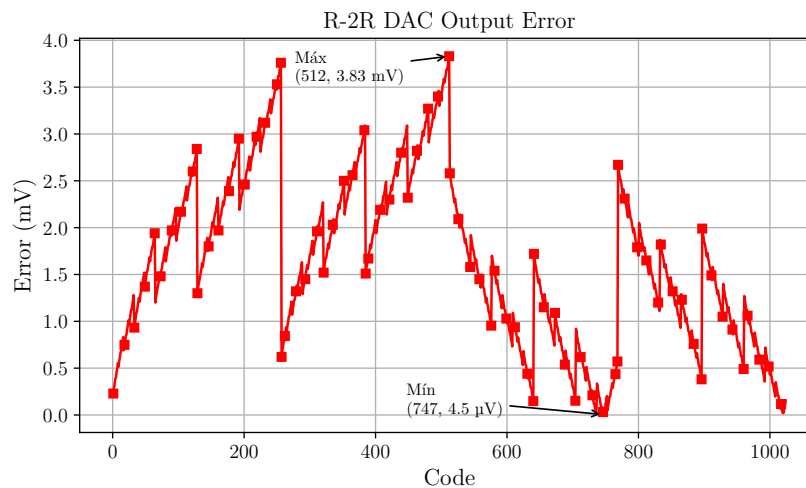


Figura A.1: Erro absoluto da tensão de saída do DAC  $R-2R$ .

Estes resultados evidenciam uma degradação significativa da precisão do DAC face à topologia baseada num divisor resistivo, levando à conclusão de que a arquitetura  $R-2R$  não constitui uma opção viável no contexto do presente projeto.